
QF08L18

用户手册

内置高精度振荡、12 位 ADC、4 个定时器、2 路 UART、1 路 I2C、1 路 SPI、16K Flash 存储器、低失调 OPA 和 256B 可编程 E2PROM 的 QF08L18 系列 8 位 MCU

1. 介绍

QF08L18 是一款集成前端模拟信号处理的增强型 8 位 8051 内核微控制器(1T 工作模式)，指令集与标准的 80C51 完全兼容，整体框图如图 1 所示。

QF08L18 内置 16K 的 Flash，用于存储程序代码(APROM)，256 字节 E2PROM，用于保存用户特定配置信息，这两个区域支持在应用编程(IAP)功能，即用户可在程序中配置程序区和 E2PROM 区。

APROM 区还可划出 2K 区域，作为引导代码区域(LDROM)，该区域一旦划定以后，和 APROM 区域均具有独立的地址空间、中断向量表，任何时刻 CPU 只能工作在一个区域，但可以通过 IAP 相互读写，LDROM 区通常存放用于系统编程(ISP)的引导代码(Boot Code)，串口通常作为 ISP 编程的通讯接口。

为了方便烧录和校验，整个 Flash 区域支持两线 ICP 烧录(在电路烧录)，并和调试接口复用。可通过加密位对 Flash 加密，保障代码的安全。此外，QF08L18 还内置 256 字节 SRAM、768 字节 XRAM 及 256 字节 E2PROM，最多可达 22 个标准管脚，调试时钟引脚与 Reset 复用，调试与下载程序只需占用 2 个引脚。

QF08L18 提供了丰富的功能模块，包括：两个标准 16 位定时器 T0/T1，兼容传统 MCS51 功能，T0 支持方波输出，T1 支持 PWM 输出；一个带有 4 路捕获功能和 1 路 PPG 输出功能的 16 位定时器 T2；一个高级定时器 ATimer(Advanced Timer)，支持 4 通道捕获功能，3 对互补 PWM 输出，支持死区控制和其它模块的灵活同步；一个独立看门狗(IWDT)和一个窗式看门狗(WWDT)；1 个 8 位 WT 定时器，可产生 8K/4K/2K/1KHz 四种频率蜂鸣信号，支持系统的低功耗自动唤醒；两个标准串行口(UART)，支持波特率的灵活配置和同步工作模式；2 个内置低失调运算放大器 OPA，支持 25/50 倍固定放大和用户的自定义放大；一个 SPI，一个 I2C，10 路 12 位 ADC 和一个 DAC；支持 4 路外部中断和键盘(KBI)中断，全引脚覆盖。

QF08L18 支持 3 组时钟源输入，最高工作频率 16MHz，所有时钟源支持软件切换立即生效(on-the-fly)。3 组时钟源包括：外部晶振(支持高低晶振)，32KHz 内部 RCL 振荡时钟和精度为+/-1%的 16MHz 内部高频时钟。QF08L18 提供多个电源检测模块，支持上电复位、低压复位、低压检测，以及专门的低功耗低压检测模块，用于停机(Stop)模式下，电源电压的检测。

QF08L18 可运行在三种工作模式：正常工作模式、休眠(Sleep)模式和停机(STOP)模式。正常工作模式时，可以通过调节工作频率、关闭空闲模块等方式调准系统功耗；休眠(Sleep)模式时，芯片主时钟关闭，处理器停止运行但部分功能模块仍能够正常工作。掉电模式下芯片全部时钟关闭确保芯片功耗达到最低。高能效、丰富的功能模块使 QF08L18 可以灵活用于各种家电产品、无线充、马达控制等应用场合。

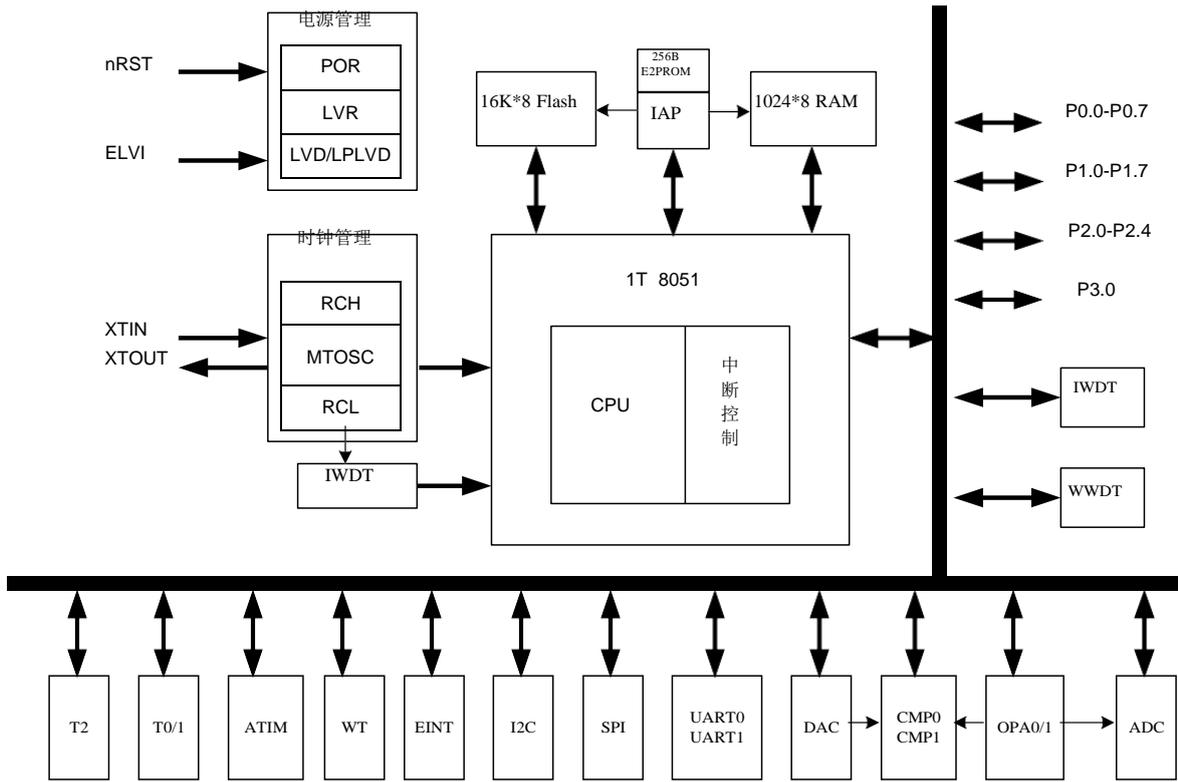


图 1 QF08L18 内部框图

主要特点:

★8 位单周期 8051 内核 CPU

- 兼容 MCS51 指令集;
- 双 DPTR; 增加软件陷阱指令。

★片上存储器

- 16K+64 字节 FLASH, 数据保持时间大于 10 年, 写周期>1000 次。
- 256 字节 EEPROM, 数据保持时间大于 10 年, 写周期>10000 次;
- 1K 字节 RAM: 256 字节 SRAM, 768 字节 XRAM, 其中 256 字节 SRAM 可作为程序缓存(Cache)。
- 支持在系统编程 (ISP), 仅需 4 个管脚 (包括 VDD 和 VSS 在内)。
- 支持 FLASH/E2PROM 的单字节写操作;
- 支持 FLASH 分页加密, 每 512 字节单独读写可控。
- 支持 256 字节程序 Cache, 两路组关联, 块大小 16 字节, 可锁定特定程序到 Cache。

★电源和复位

- 工作电压: VDD=1.8V~5.5V。
- 内置上电复位电路 (POR)。
- 内置低压复位电路 (LVR), 8 个复位点可选: 1.8V, 2.0V, 2.5V, 2.6V, 2.8V, 3.0V, 3.5V, 4.0V。
- 内置低压检测电路 (LVD), 8 个检测点可选: 2.2V, 2.4V, 2.5V, 2.7V, 2.9V, 3.1V, 3.65V, 4.5V。
- 内置低功耗低压复位/检测电路(LPLVD), 8 个检测点可选: 2V, 2.2V, 2.5V, 2.8V, 3V, 3.5V, 4V, 4.5V。

停机模式(Stop)下可用。

★时钟系统

- 内置 32K 低频 RCL。
- 内置 16MHz 高精度 RCH, 精度 $\pm 1.5\%$ @V_{DD}=2.0~5.5V, T_A=-10~50°C。
- 外部高频振荡 4~16MHz, 或者外部低频振荡 32.768KHz, 两者复用同一组管脚, 由软件配置。
- 系统时钟分频: 16/8/4/2/1/0.25MHz。
- CPU 最高主频: 16MHz, Flash 访问时钟周期数根据时钟频率和电压配置。

★输入/输出

- 最大支持 22 个 I/O 端口。
- 每个 IO 都可设置成 4 种模式: 悬空输入/上拉输入/推挽输出/开漏输出。
- I/O 驱动能力和斜率可调节;
- 所有 I/O 均具有键盘中断唤醒功能; 中断极性可设。
- 4 路外部中断输入, 覆盖全部引脚, 每一路均可分配中断极性可设。

★定时器

- 2 个 16 位定时器 (T0、T1), 兼容传统 MCS51 功能。且 T0 支持方波输出, T1 支持 PWM 输出。
- 1 个带捕获功能的 16 位定时器 T2, 支持 4 路捕获通道, 支持 1 对互补 PWM 波输出, 占空比可以任意配置。
- 1 个高级控制定时器(T3): 16 位精度, 支持 4 路捕获通道, 3 对互补 PWM 输出, 支持死区控制和紧急刹车。
- 1 个 8 位 WT 定时器, 可产生四种频率蜂鸣信号: 8K/4K/2K/1KHz, 可作为实时时钟定时器(RTC)。
- 内置独立看门狗定时器 (WDT) 和窗式看门狗定时器(WWDT)。

★串行通信口

- 2路 UART 通讯口，可配置高精度波特率及同步工作模式。
- 1路 I2C ，支持 100Kbps 和 400Kbps 传输速率；支持 Stop 模式下的地址匹配和系统唤醒。

★工作模式

- 正常工作模式。
- 休眠（Sleep）模式。
- 停机（STOP）模式。

★模拟

- 2路轨到轨的模拟比较器（ACMP），内置 16 级电阻分压参考电平，内置基准电压可被选为电阻分压源。
- 2 个轨到轨的运算放大器 OPA， 内置调零功能和电压偏置，支持多种工作模式： 规定放大模式 25/50，自定义放大模式；
- 内置温度传感器(VTS)，精度 4mV/°C；
- 内置 14 通道 12 位精度 ADC，支持内部 OPA 输出，V_{BG} 电压和 VTS 采样，支持外部 10 路外部信号采样；最高采样频率 1Mbps@4.5V，支持外部引脚触、定时器触发等多种工作模式。
- 内置 10 位精度 DAC。

★封装形式：QF08L18S24/QF08L18T20

目录

1. 介绍	1
2. QF51 CPU 核	16
2.1 特征	16
2.2 地址空间	16
2.2.1 数据存储器地址空间	16
2.2.2 程序存储器地址空间	17
2.3 工作寄存器	18
2.4 MCU 内核寄存器	19
2.5 指令集	21
2.5.1 符号说明	21
2.5.2 指令列表	22
3. 特殊功能寄存器 (SFR) 总表	26
4. 高速缓存 Cache	33
4.1 基本特征	33
4.2 寄存器说明	33
4.3 功能说明	34
4.3.1 程序 lock 操作 ^{注1}	34
4.3.2 Cache 作为 XRAM 的操作的操作	34
4.4 Cache 代码例程	35
4.4.1 Cache 的 Tag 初始化	36
4.4.2 Cache 的 Lock 示例	36
5. 通用输入/输出端口(GPIO)	37
5.1 基本特征	37
5.2 工作模式	38
5.3 引脚复用	38
5.4 引脚功能	40
5.5 管脚结构	43
5.5.1 T0:与 RST 复用的 GPIO	43
5.5.2 T4:与晶振/AD 复用的 GPIO ^注	44
5.6 寄存器说明	44
5.7 功能描述	54

5.7.1 模式设置.....	54
5.7.2 功能复用.....	55
5.8 使用提示.....	56
6. 时钟系统.....	57
6.1 基本特征.....	57
6.2 工作模式.....	57
6.3 功能框图.....	57
6.4 管脚设置.....	58
6.5 寄存器说明.....	58
6.6 功能描述.....	65
6.6.1 时钟源.....	65
6.6.2 内部低频 RCL 振荡.....	66
6.6.3 系统时钟配置.....	66
6.6.4 系统时钟切换时序.....	66
6.7 使用提示.....	67
7. 复位系统.....	70
7.1 基本特征.....	70
7.2 工作模式.....	70
7.3 功能框图.....	71
7.3.1 POR 复位时序.....	71
7.3.2 外部复位时序.....	72
7.3.3 LVR 复位时序.....	72
7.3.4 WDT 复位和软件复位.....	73
7.3.5 WWDT 复位.....	73
7.3.6 Boot 模式切换复位 BRST.....	73
7.4 寄存器说明.....	73
7.5 功能说明.....	74
8. 电源管理.....	76
8.1 基本特征.....	76
8.2 工作模式.....	76
8.3 功能框图.....	76
8.4 管脚配置.....	77

8.5 寄存器说明.....	77
8.6 功能描述.....	81
8.6.1 带隙基准 BGR.....	81
8.6.2 低压检测 LVD.....	81
8.6.3 低压复位 LVR.....	82
8.6.4 低功耗低压检测 LPLVD.....	82
8.6.5 温度传感器输出 VTS.....	82
8.7 使用提示.....	82
9. E2PROM/Flash 在线编程控制器(IAP).....	83
9.1 基本特征.....	83
9.2 寄存器说明.....	83
9.3 Flash/E2PROM 写时间参数.....	89
9.4 存储器安全机制简介.....	90
9.4.1 信息区字节说明.....	90
9.4.2 程序区读写说明.....	92
9.5 与 TIM1 联动的 E2PROM 读写操作.....	94
9.6 采用内部计时的 E2PROM 读写操作.....	96
9.7 加密状态下的程序区写操作.....	98
9.8 写保护(IWP)下程序区写操作.....	98
9.9 启动切换操作.....	99
10. 工作模式.....	106
10.1 基本特征.....	106
10.2 模式转换说明.....	106
10.3 寄存器说明.....	107
10.4 待机模式 (SLEEP).....	107
10.4.1 SLEEP 模式下系统工作情况.....	107
10.4.2 SLEEP 标志读写.....	108
10.4.3 SLEEP 唤醒方式.....	108
10.5 停机模式 (STOP).....	108
10.5.1 STOP 模式下系统工作情况.....	108
10.5.2 STOP 标志读写.....	108
10.5.3 STOP 唤醒方式.....	108

10.5.4 唤醒时序图	109
10.6 低功耗设计	109
10.6.1 时钟	109
10.6.2 低压复位和低压监测电路	109
10.6.3 端口	109
10.6.4 待机模式和停机模式	109
10.6.5 WDT 电路	109
11. 中断系统	110
11.1 基本特征	110
11.2 中断表	110
11.3 中断框图	112
11.4 管脚配置	113
11.5 寄存器说明	113
11.6 功能描述	121
11.6.1 中断执行过程	121
11.6.2 中断时序	121
11.6.3 外部中断	122
11.7 使用提示	124
12 定时器 T0/T1	125
12.1 基本特征	125
12.2 工作模式	125
12.3 管脚配置	125
12.4 寄存器说明	125
12.5 功能描述	130
12.5.1 工作模式 0	130
12.5.2 工作模式 1	130
12.5.3 工作模式 2	131
12.5.4 工作模式 3	131
12.5.5 T0 方波输出模式 ^{注1}	132
12.5.6 T1 PWM 输出模式 ^{注1}	132
12.6 使用提示	133
13. 定时器 T2	134

13.1 基本特征	134
13.2 工作模式	134
13.3 管脚配置	134
13.4 寄存器说明	134
13.5 功能描述	141
14. 高级定时器 T3	148
14.1 基本特征	148
14.2 时基单元	149
14.2.1 读写 16 位计数器 CNT	150
14.2.2 16 位 ARR 寄存器的写操作	151
14.2.3 预分频器	151
14.2.4 向上计数模式	151
14.2.5 向下计数模式	152
14.2.6 中央对齐模式(向上/向下计数)	153
14.2.7 重复计数器	154
14.3 时钟/触发控制器	155
14.3.1 预分频时钟	156
14.3.2 内部时钟源(fMASTER)	156
14.3.3 外部时钟源模式 1	156
14.3.4 外部时钟源模式 2	157
14.3.5 触发同步	158
14.3.6 与其它 TIM 定时器的同步	161
14.4 捕获/比较通道	162
14.4.1 16 位 TIM_CCRi 寄存器的写流程	162
14.4.2 输入模块	163
14.4.3 输入捕获模式	163
14.4.4 PWM 输入信号测量	164
14.4.5 输出模块	165
14.4.6 强制输出模式	166
14.4.7 输出比较模式	166
14.4.8 PWM 模式	167
14.4.9 使用刹车功能	171

14.5 中断	172
14.6 TIM3 寄存器描述	172
15. 钟表定时器 WT	199
15.1 基本特征	199
15.2 工作模式	199
15.3 功能框图	199
15.4 管脚配置	200
15.5 寄存器说明	200
15.6 功能描述	202
16. 键盘中断 KBI	203
16.1 基本特征	203
16.2 工作模式	203
16.3 内部框图	203
16.4 管脚配置	203
16.5 寄存器说明	204
16.6 功能描述	205
16.7 使用提示	206
17. 看门狗定时器 WDT	207
17.1 基本特征	207
17.2 工作模式	207
17.3 内部框图	207
17.4 寄存器说明	207
17.5 功能描述	208
17.6 使用提示	209
18. 窗式看门狗 WWDG	211
18.1 基本特征	211
18.2 内部框图	211
18.3 寄存器说明	211
18.4 功能描述	213
18.4.1 计数器的刷新	213
18.4.2 在停止时产生看门狗复位	213
18.4.3 设置看门狗的超时	213

19. 通用串行接口 UART0	214
19.1 基本特征	214
19.2 工作模式	214
19.3 功能框图	215
19.4 管脚配置	215
19.5 寄存器说明	215
19.6 功能描述	218
19.6.1 方式 0	218
19.6.2 方式 1	219
19.6.3 方式 2 和 3	220
19.6.4 单线半双工方式	220
20. 通用串行接口 UART1	221
20.1 基本特征	221
20.2 工作模式	221
20.3 功能框图	222
20.4 管脚配置	222
20.5 寄存器说明	223
20.6 功能描述	225
20.6.1 方式 0	225
20.6.2 方式 1	226
20.6.3 方式 2 和 3	227
20.6.4 单线半双工方式	227
21. I2C 总线	229
21.1 基本特征	229
21.2 工作模式	229
21.3 管脚配置	229
21.4 寄存器说明	229
21.5 功能描述	233
21.5.1 主机发送模式	233
21.5.2 主机接收模式	234
21.5.3 从机发送模式	235
21.5.4 从机接收模式	236

21.5.5 其他状态	237
21.5.6 中断产生	238
21.5.7 SMBus 扩展	238
21.5.8 停机唤醒	238
22. 串行外设接口 SPI	239
22.1 基本特征	239
22.2 工作模式	239
22.3 功能框图	239
22.4 管脚配置	240
22.5 寄存器说明	240
22.6 功能描述	243
22.6.1 信号说明	243
22.6.2 SPI 工作方式	245
22.6.3 中断源	247
22.6.4 串行时序	250
22.6.5 波特率限制	251
22.7 使用提示	254
23. ADC 控制器	255
23.1 基本特征	255
23.2 功能框图	255
23.3 管脚配置	256
23.4 寄存器说明	256
23.5 功能概述	261
23.5.1 工作模式	261
23.5.2 触发机制选择	262
23.5.3 参考电源选择	262
23.5.4 VTS 采样配置	262
23.5.5 ADC 不同工作模式配置参考代码	263
24. DAC 控制器	266
24.1 基本特征	266
24.2 功能框图	266
24.3 管脚配置	266

24.4 寄存器说明.....	266
24.5 功能概述.....	268
24.5.1 工作模式.....	268
24.5.2 DAC 输出电压.....	268
25. 模拟比较器 ACMP.....	269
25.1 基本特征.....	269
25.2 工作模式.....	269
25.3 管脚配置.....	269
25.4 功能框图.....	269
25.5 寄存器说明.....	270
25.6 功能描述.....	273
25.6.1 比较器使能.....	274
25.6.2 比较器输出选择.....	274
25.6.3 比较器输入选择.....	274
25.6.4 比较器中断.....	274
25.7 使用提示.....	275
26. 模拟比较器 ACMP1.....	276
26.1 基本特征.....	276
26.2 工作模式.....	276
26.3 管脚配置.....	276
26.4 功能框图.....	276
26.5 寄存器说明.....	277
26.6 功能描述.....	280
26.6.1 比较器使能.....	281
26.6.2 比较器输出选择.....	281
26.6.3 比较器输入选择.....	281
26.6.4 比较器中断.....	281
26.7 使用提示.....	282
27. 运算放大器 OPA0/OPA1.....	283
27.1 基本特征.....	283
27.2 功能框图.....	283
27.3 管脚配置.....	283

27.4 寄存器	283
27.5 功能概述	287
27.5.1 校正过程	287
27.5.2 带偏置闭环模式(x50)	287
27.5.3 开环模式	288
27.5.4 单端模式(负端接地, 25 倍放大)	288
28. 电气特性	289
28.1 绝对最大值	289
28.2 推荐工作条件	290
28.3 直流电气特性	290
29. 历史版本	295

2. QF51 CPU 核

2.1 特征

QF08L18 中 CPU 采用增强型 8 位 LC51 核，其特点如下：

- ✧ 指令集兼容 MCS-51；双 DPTR；增加软件陷阱指令。
- ✧ 改进的指令架构，90%的指令执行时间为 1 至 2 个系统时钟周期。
- ✧ 内嵌 16K 字节 FLASH
- ✧ 内置 1024 字节 RAM，其中 256 字节可作为 Cache。

2.2 地址空间

QF08L18 的片内存储器由数据存储器 and 程序存储器组成。

2.2.1 数据存储器地址空间

数据存储器分为内部数据存储器(RAM)和外部数据存储器(XRAM)，由 MOV 指令访问内部数据存储器，由 MOVX 指令访问外部数据存储器。

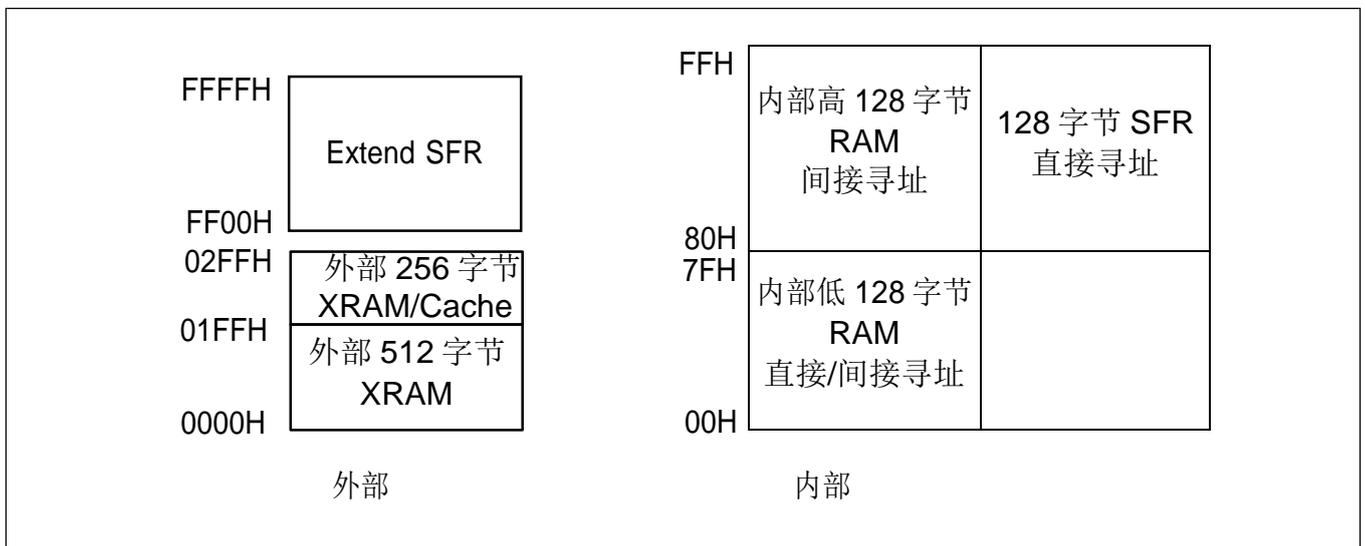


图 2 数据存储器结构

内部数据存储器地址空间为 00H~FFH，分为物理性质不同的几个存储区：RAM 区，特殊功能(SFR)寄存器区。

00H~7FH 的地址空间是低 128 字节 RAM 区，支持直接寻址与间接寻址。

80H~FFH 的地址空间是高 128 字节 RAM 和特殊功能寄存器（SFR）的重叠区，通过不同的寻址方式来区别：直接寻址指令访问 SFR，间接寻址指令访问 RAM。

```

MOV 30H, #0A5H           //RAM 区直接寻址，表示把立即数 A5H 送到地址为 30H 的 RAM 区
MOV 80H, #0A5H           //表示把立即数 A5H 送到地址为 80H 的特殊功能寄存器（P0 口）
MOV @R0, #0A5H           //RAM 区间接寻址，如果 R0 值为 30H，那么该指令表示把立即数 A5H 送到地址
                           为 30H（由 R0 的值决定）的 RAM 区
    
```

外部数据存储器地址只能通过 MOVX 指令访问，其中 0000H~02FFH 作为外部 RAM 区(其中 200H~2FFH 在 Cache 使能的情况下，作为 Cache 存储器)，FF00H~FFFFH 作为扩展 SFR 区。外部数据存储器可通过寄存器间接寻址或 DPTR 指针访问。

假设要访问外部 RAM 的特殊功能寄存器，如系统配置寄存器 SYSCFG（地址：FFA2H）。可以这样实

现:

头文件中定义:

```
SYSCFG EQU FFA2H
```

操作程序如下:

```
MOV DPTR, #SYSCFG
```

```
MOV A, #80H
```

```
MOVX @DPTR, A
```

//通过上面三条指令便可把立即数 80H 装入到寄存器 SYSCFG 中。

2.2.2 程序存储器地址空间

QF08L18 内部集成 16K 字节的 FLASH 程序存储器, 有两种不同的工作模式: 1) 无 LDR0M, 16K 全为用户程序区 APROM; 2) 2K LDR0M 作为 ISP 编程启动代码, 因此, 代码为 2K LDR0M+14K APROM. 任何时刻程序只能跑在一个区, 由信息区 16H 字节最低位或者 CHIPCFG 寄存器决定目前程序跑在哪个区间, 两块区间有独立的中断向量。程序存储器的某些地址被定义为中断程序的入口, 这些地址称为中断向量。关于中断向量的部分描述请参考中断系统。

QF08L18 的 16K 字节 FLASH 程序存储器的空间分布如图 2 所示。

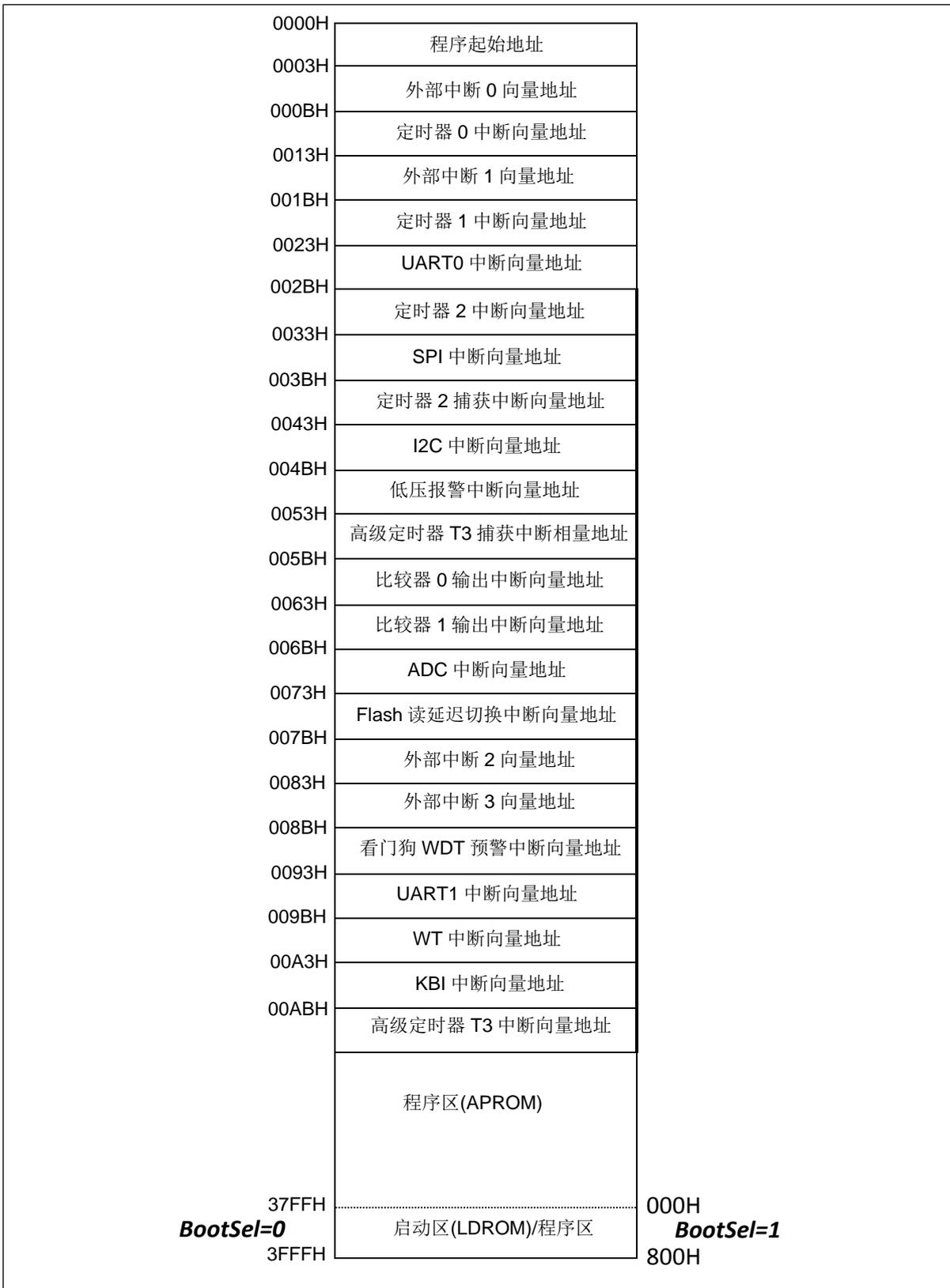


图 3 程序存储器空间分布

2.3 工作寄存器

内部数据存储区的低 32 个字节（地址范围：00H~1FH）也可以作为工作寄存器进行访问。同 MCS-51 一样，LC51 也支持 4 组工作寄存器，每组包括 8 个 8 位寄存器：R0~R7。设置程序状态字（PSW）中的

RS0 (PSW.3) 和 RS1 (PSW.4) 位可选择其中一个工作寄存器组作为当前工作寄存器组。调用子程序或进入中断服务程序时, 可通过设置工作寄存器组进行快速的现场切换。未使用到的工作寄存器组可作为普通数据存储使用。

工作寄存器 R0 和 R1 还可作为间址寄存器。具体用法请参考指令集。

2.4 MCU 内核寄存器

直接寻址空间的 80~FFH 的范围为特殊功能寄存器 (SFR) 区, 其中 MCU 内核寄存器如表 1 所示。

表 1 MCU 内核寄存器

名称	说明	可位寻址	读写权限	复位值	字节地址
SP	堆栈指针	x	R/W	0000_0111B	81H
DPL	数据指针低字节	x	R/W	0000_0000B	82H
DPH	数据指针高字节	x	R/W	0000_0000B	83H
PSW	程序状态字	√	R/W	0000_0000B	D0H
ACC	累加器	√	R/W	0000_0000B	E0H
B	B 寄存器	√	R/W	0000_0000B	F0H
MOVXRH	Ri 间接寻址高 8 位地址寄存器	x	R/W	0000_0000B	A1H
AUXR1	DPTR 选择寄存器	x	R/W	uuuu_0uu0B	A2H

注: x 表示不确定; - 表示未实现; u 表示不受复位影响; c 表示该位复位值因复位源而异 (以后章节同上述)。

MCU 内核寄存器的详细说明如下:

累加器 ACC (E0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
位地址:	E7H	E6H	E5H	E4H	E3H	E2H	E1H	E0H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

B 寄存器 B (F0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
位地址:	F7H	F6H	F5H	F4H	F3H	F2H	F1H	F0H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

程序状态字 PSW (D0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CY	AC	F0	RS[1]	RS[0]	OV	F1	P
位地址:	D7H	D6H	D5H	D4H	D3H	D2H	D1H	D0H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

程序状态字 PSW 是可按位寻址的 SFR, 它包含了程序执行后的状态信息, 供程序查询或判别使用。

Bit7

CY: 进位标志位。

在执行加法指令之后, 若运算结果最高位有向前进位则 CY 置 1, 若运算结果最高位没有向前

进位则 CY 清 0；在执行减法指令之后，若运算结果最高位有向前借位则 CY 置 1，若运算结果最高位没有向前借位则 CY 清 0；乘、除法运算后，CY 总被清 0；CY 也是执行位操作时的位累加器，在指令集的汇编表达式中用 C 作为位累加器 CY 的助记符。

- Bit6** **AC:** 半进位标志。
 在执行加法指令之后，若运算结果低半字节有向高半字节进位则 AC 置 1，若运算结果低半字节没有向高半字节进位则 AC 清 0；在执行减法指令之后，若运算结果低半字节有向高半字节借位则 AC 置 1，若运算结果低半字节没有向高半字节借位则 AC 清 0。
- Bit5** **F0:** 用户标志位。
 其含义由用户自定义。
- Bit4~Bit3** **RS[1:0]:** 工作寄存器组选择位。
 设置 RS1、RS0 的值的组合，可切换当前的工作寄存器组，对应关系如下：
 00: 第 0 组寄存器组，内部 RAM 地址：00H~07H。
 01: 第 1 组寄存器组，内部 RAM 地址：08H~0FH。
 10: 第 2 组寄存器组，内部 RAM 地址：10H~17H。
 11: 第 3 组寄存器组，内部 RAM 地址：18H~1FH。
- Bit2** **OV:** 溢出标志位。
 加、减法运算后，若补码结果超出 (-128, 127) 范围则 OV 置 1，无溢出则 OV 清 0；乘法运算后，若乘积大于 FFH，则 OV 置 1，否则 OV 清 0；除法运算后，正常情况下 OV 被清 0，但若除数为 0 导致结果无法确定，则 OV 置 1。
- Bit1** **F1:** 用户标志位。
 其含义由用户自定义。
- Bit0** **P:** 奇偶校验位。
 任意一条指令执行完之后，若累加器 ACC 中 8 个位的和为奇数时 P 置 1，为偶数时 P 清 0。

堆栈指针 SP (81H)

堆栈指针 SP 的地址为 81H。LC51 核的堆栈结构属于向上生成型。在使用堆栈之前，需先给 SP 赋值。数据进栈时，SP 先自动增 1，再把数据存到 SP 指向的 RAM 单元；数据出栈时，先把 SP 指向的 RAM 单元的值读出，SP 再自动减 1。

SP 的复位值是 07H。

数据指针 DPTR (82H, 83H)

数据指针 DPTR 是一个 16 位的 SFR，不可按位寻址。其高位字节寄存器用 DPH 表示（地址 83H），低位字节用 DPL 表示（地址 82H）。DPTR 在 MOVX, MOV, JMP 指令中主要用作 16 位间址寄存器，也可以作为两个独立的 8 位寄存器（DPH、DPL）使用。

DPTR 的复位值为 0000H。

DPTR 选择寄存器 AUXR1 (A2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	F2	—	SPOVEN	DPS
访问权限:	R-0	R-0	R-0	R-0	R/W	R-0	R/W	R/W
复位值:	U	U	U	U	0	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit7~Bit4** 未实现位。
- Bit3** **F2:** 用户标志位。
 其含义由用户自定义。
- Bit2** 未实现位
- Bit1** **SPOVEN:** 堆栈溢出复位控制位。

- 0: 禁止堆栈溢出复位。
- 1: 使能堆栈溢出复位。

Bit0

DPS: 双 DPTR 切换控制位。

LC51 有 2 个 DPTR 寄存器，使用相同的地址。通过设置 AUXR1 的最低位 DPS 来选择其中一个 DPTR 作为当前的 16 位数据指针（或 DPH、DPL 寄存器）。双 DPTR 在查表操作时可以大大提高执行效率和代码效率。

AUXR1 只能按字节寻址。DPS=0 时，选择系统默认的第一个 DPTR 作为当前的 16 位数据指针（或 DPH、DPL 寄存器）；DPS=1 时，选择第二个 DPTR 作为当前的 16 位数据指针（或 DPH、DPL 寄存器）。

Ri 间接寻址高 8 位地址寄存器 MOVXRH (A1H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	— : 未实现; U : 不受复位影响; R-0: 只读, 读出值为 0;							

LC51 核使用 Ri 的间接寻址时，可以通过设置 MOVXRH 来设定间接地址的高 8 位。

2.5 指令集

2.5.1 符号说明

- ✧ Rn — 当前选中的工作寄存器区的 8 个工作寄存器 R0~R7 (n=0~7)。
- ✧ Ri — 当前选中的工作寄存器区中可作间址寄存器的 2 个寄存器 R0、R1 (i=0, 1)。
- ✧ dir — 8 位内部数据存储器单元的地址。可以是内部 RAM 单元的地址 (00H~FFH) 或 SFR 的地址 (如 I/O 端口、控制寄存器、状态寄存器等)。
- ✧ #data — 包含在指令中的 8 位立即数。
- ✧ #data16 — 包含在指令中的 16 位立即数。
- ✧ addr16 — 16 位目的地址，用于 LCALL 和 LJMP 指令中。
- ✧ addr11 — 11 位目的地址，用于 ACALL 和 AJMP 指令中，它的地址必须与下一条指令的第一个字节的地址的高 5 位相同。
- ✧ rel — 8 位带符号的地址偏移量，用于 SJMP 和所有的条件转移指令中；偏移值相对于下一条指令的第一个字节的地址计算，在 -128~+127 范围内取值。
- ✧ bit — 内部 RAM 或 SFR 中的直接寻址位。
- ✧ A — 累加器。
- ✧ B — B 寄存器，用于 MUL 和 DIV 指令中。
- ✧ C — 进位或借位标志，或布尔处理器中的累加器。
- ✧ @ — 间址寄存器或基址寄存器的前缀，如 @Ri, @A, @DPTR。
- ✧ \ — 表示余数。
- ✧ ~ — 按位取反。
- ✧ (X) — X 中的内容。
- ✧ ← — 箭头左边的内容被箭头右边的内容所代替。
- ✧ → — 箭头右边的内容被箭头左边的内容所代替。
- ✧ ↔ — 箭头两边的内容互换。
- ✧ ∧, ∨, ⊕ — 分别表示与，或，异或。

- ◇ [X1:X0] — 表示第 X1 位至第 X0 位。
- ◇ |←| — 表示循环左移一位。
- ◇ |→| — 表示循环右移一位。
- ◇ , — 用来分隔指令功能一栏顺序执行的步骤。
- ◇ ; — 用来分隔指令功能一栏里并行的步骤。

2.5.2 指令列表

表 2 指令列表

序号	助记符	指令功能	操作码	字节数	周期*	周期 (Cache)	对标志位影响			
							CY	AC	OV	P
数据传送指令										
1	MOV A,Rn	A←Rn	E8H~EFH	1	1	1	×	×	×	√
2	MOV A,dir	A←(dir)	E5H	2	1	2	×	×	×	√
3	MOV A,@Ri	A←(Ri)	E6H,E7H	1	2	2	×	×	×	√
4	MOV A,#data	A←data	74H	2	1	2	×	×	×	√
5	MOV Rn,A	Rn←A	F8H~FFH	1	1	1	×	×	×	×
6	MOV Rn,dir	Rn←(dir)	A8H~AFH	2	1	2	×	×	×	×
7	MOV Rn,#data	Rn←data	78H~7FH	2	1	2	×	×	×	×
8	MOV dir,A	(dir)←A	F5H	2	1	2	×	×	×	×
9	MOV dir,Rn	(dir)←Rn	88H~8FH	2	1	2	×	×	×	×
10	MOV dir1,dir2	(dir1)←(dir2)	85H	3	2	3	×	×	×	×
11	MOV dir,@Ri	(dir)←(Ri)	86H,87H	2	2	2	×	×	×	×
12	MOV dir,#data	(dir)←data	75H	3	2	3	×	×	×	×
13	MOV @Ri,A	(Ri)←A	F6H,F7H	1	1	1	×	×	×	×
14	MOV @Ri,dir	(Ri)←(dir)	A6H,A7H	2	2	2	×	×	×	×
15	MOV @Ri,#data	(Ri)←data	76H,77H	2	1	2	×	×	×	×
16	MOV DPTR,#data16	DPTR←data16	90H	3	2	3	×	×	×	×
17	MOVC A,@A+DPTR	A←(A+DPTR)	93H	1	2	2	×	×	×	√
18	MOVCA,@A+PC	A←(A+PC)	83H	1	2	2	×	×	×	√
19	MOVX A,@Ri	A←(Ri)	E2H,E3H	1	2	2	×	×	×	√
20	MOVX A,@DPTR	A←(DPTR)	E0H	1	1	1	×	×	×	√
21	MOVX @Ri,A	(Ri)←A	F2H,F3H	1	1	1	×	×	×	×
22	MOVX @DPTR,A	(DPTR)←A	F0H	1	1	1	×	×	×	×
23	PUSH dir	SP←SP+1,SP←(dir)	C0H	2	1	2	×	×	×	×
24	POP dir	(dir)←(SP),SP←SP-1	D0H	2	1	2	×	×	×	×
25	XCH A,Rn	A↔Rn	C8H~CFH	1	1	1	×	×	×	√
26	XCH A,dir	A↔(dir)	C5H	2	1	2	×	×	×	√
27	XCH A,@Ri	A↔(Ri)	C6H,C7H	1	2	2	×	×	×	√
28	XCHD A,@Ri	A[3:0]↔(Ri)[3:0]	D6H,D7H	1	2	2	×	×	×	√

序号	助记符	指令功能	操作码	字节数	周期*	周期 (Cache)	对标志位影响			
							CY	AC	OV	P
算术运算指令										
1	ADD A,Rn	$A \leftarrow A + Rn$	28H~2FH	1	1	1	√	√	√	√
2	ADD A,dir	$A \leftarrow A + (dir)$	25H	2	1	2	√	√	√	√
3	ADD A,@Ri	$A \leftarrow A + (Ri)$	26H,27H	1	2	2	√	√	√	√
4	ADD A,#data	$A \leftarrow A + data$	24H	2	1	2	√	√	√	√
5	ADDC A,Rn	$A \leftarrow A + Rn + CY$	38H~3FH	1	1	1	√	√	√	√
6	ADDC A,dir	$A \leftarrow A + (dir) + CY$	35H	2	1	2	√	√	√	√
7	ADDC A,@Ri	$A \leftarrow A + (Ri) + CY$	36H,37H	1	2	2	√	√	√	√
8	ADDC A,#data	$A \leftarrow A + data + CY$	34H	2	1	2	√	√	√	√
9	SUBB A,Rn	$A \leftarrow A - Rn - CY$	98H~9FH	1	1	1	√	√	√	√
10	SUBB A,dir	$A \leftarrow A - (dir) - CY$	95H	2	1	2	√	√	√	√
11	SUBB A,@Ri	$A \leftarrow A - (Ri) - CY$	96H,97H	1	2	2	√	√	√	√
12	SUBB A,#data	$A \leftarrow A - data - CY$	94H	2	1	2	√	√	√	√
13	INCA	$A \leftarrow A + 1$	04H	1	1	1	×	×	×	√
14	INC Rn	$Rn \leftarrow Rn + 1$	08H~0FH	1	1	1	×	×	×	×
15	INC dir	$(dir) \leftarrow (dir) + 1$	05H	2	1	2	×	×	×	×
16	INC @Ri	$(Ri) \leftarrow (Ri) + 1$	06H,07H	1	2	2	×	×	×	×
17	INC DPTR	$DPTR \leftarrow DPTR + 1$	A3H	1	1	1	×	×	×	×
18	DECA	$A \leftarrow A - 1$	14H	1	1	1	×	×	×	√
19	DEC Rn	$Rn \leftarrow Rn - 1$	18H~1FH	1	1	1	×	×	×	×
20	DEC dir	$(dir) \leftarrow (dir) - 1$	15H	2	1	2	×	×	×	×
21	DEC @Ri	$(Ri) \leftarrow (Ri) - 1$	16H,17H	1	2	2	×	×	×	×
22	MUL AB	$BA \leftarrow A \times B$	A4H	1	1	1	0	×	√	√
23	DIV AB	$A \setminus B \leftarrow A \div B$	84H	1	4	4	0	×	√	√
24	DA A	对 A 进行十进制调整	D4H	1	1	1	√	√	×	√
逻辑运算和移位指令										
1	ANL A,Rn	$A \leftarrow A \wedge Rn$	58H~5FH	1	1	1	×	×	×	√
2	ANL A,dir	$A \leftarrow A \wedge (dir)$	55H	2	1	2	×	×	×	√
3	ANL A,@Ri	$A \leftarrow A \wedge (Ri)$	56H,57H	1	2	2	×	×	×	√
4	ANL A,#data	$A \leftarrow A \wedge data$	54H	2	1	2	×	×	×	√
5	ANL dir,A	$(dir) \leftarrow (dir) \wedge A$	52H	2	1	2	×	×	×	×
6	ANL dir,#data	$(dir) \leftarrow (dir) \wedge data$	53H	3	2	3	×	×	×	×
7	ORL A,Rn	$A \leftarrow A \vee Rn$	48H~4FH	1	1	1	×	×	×	√
8	ORL A,dir	$A \leftarrow A \vee (dir)$	45H	2	1	2	×	×	×	√
9	ORL A,@Ri	$A \leftarrow A \vee (Ri)$	46H,47H	1	2	2	×	×	×	√
10	ORL A,#data	$A \leftarrow A \vee data$	44H	2	1	2	×	×	×	√
11	ORL dir,A	$(dir) \leftarrow (dir) \vee A$	42H	2	1	2	×	×	×	×

序号	助记符	指令功能	操作码	字节数	周期*	周期 (Cache)	对标志位影响			
							CY	AC	OV	P
12	ORL dir,#data	$(dir) \leftarrow (dir) \vee data$	43H	3	2	3	x	x	x	x
13	XRL A,Rn	$A \leftarrow A \oplus Rn$	68H~6FH	1	1	1	x	x	x	v
14	XRL A,dir	$A \leftarrow A \oplus (dir)$	65H	2	1	2	x	x	x	v
15	XRL A,@Ri	$A \leftarrow A \oplus (Ri)$	66H,67H	1	2	2	x	x	x	v
16	XRL A,#data	$A \leftarrow A \oplus data$	64H	2	1	2	x	x	x	v
17	XRL dir,A	$(dir) \leftarrow (dir) \oplus A$	62H	2	1	2	x	x	x	x
18	XRL dir,#data	$(dir) \leftarrow (dir) \oplus data$	63H	3	2	3	x	x	x	x
19	CLR A	$A \leftarrow 0$	E4H	1	1	1	x	x	x	v
20	CPL A	$A \leftarrow \sim A$	F4H	1	1	1	x	x	x	x
21	RL A	$\leftarrow A[7] \leftarrow \dots \leftarrow A[0] \leftarrow 1$	23H	1	1	1	x	x	x	x
22	RR A	$1 \rightarrow A[7] \rightarrow \dots \rightarrow A[0] \rightarrow 1$	03H	1	1	1	x	x	x	x
23	RLC A	$\leftarrow CY \leftarrow A[7] \leftarrow \dots \leftarrow A[0] \leftarrow 1$	33H	1	1	1	v	x	x	v
24	RRC A	$1 \rightarrow CY \rightarrow A[7] \rightarrow \dots \rightarrow A[0] \rightarrow 1$	13H	1	1	1	v	x	x	v
25	SWAP A	$A[7:4] \leftarrow A[3:0]$	C4H	1	1	1	x	x	x	x
控制转移指令										
1	AJMP addr11	$PC \leftarrow PC+2,$ $PC[10:0] \leftarrow addr11$	Addr[10:8] 00001B	2	2	2	x	x	x	x
2	LJMP addr16	$PC \leftarrow addr16$	02H	3	3	3	x	x	x	x
3	SJMP rel	$PC \leftarrow PC+2+rel$	80H	2	3	3	x	x	x	x
4	JMP @A+DPTR	$PC \leftarrow (A+DPTR)$	73H	1	4	4	x	x	x	x
5	JZ rel	$PC \leftarrow PC+2,$ 若 A=0,则 $PC \leftarrow PC+rel$	60H	2	1+2	2+1	x	x	x	x
6	JNZ rel	$PC \leftarrow PC+2,$ 若 A≠0,则 $PC \leftarrow PC+rel$	70H	2	1+2	2+1	x	x	x	x
7	CJNE A,dir,rel	$PC \leftarrow PC+3,$ 若 $A \neq (dir)$,则 $PC \leftarrow PC+rel;$ 若 $A \geq (dir)$,则 $CY \leftarrow 0$, 否则 $CY \leftarrow 1$	B5H	3	3+2	3+2	v	x	x	x
8	CJNE A,#data,rel	$PC \leftarrow PC+3,$ 若 $A \neq data$,则 $PC \leftarrow PC+rel;$ 若 $A \geq data$,则 $CY \leftarrow 0$, 否则 $CY \leftarrow 1$	B4H	3	2+2	3+1	v	x	x	x
9	CJNE Rn,#data,rel	$PC \leftarrow PC+3,$ 若 $Rn \neq data$, 则 $PC \leftarrow PC+rel;$ 若 $Rn \geq data$,则 $CY \leftarrow 0$, 否则 $CY \leftarrow 1$	B8H~BFH	3	2+2	3+1	v	x	x	x

序号	助记符	指令功能	操作码	字节数	周期*	周期 (Cache)	对标志位影响			
							CY	AC	OV	P
10	CJNE @Ri,#data,rel	PC←PC+3, 若(Ri)≠data, 则 PC←PC+rel; 若 (Ri)≥data, 则 CY←0, 否则 CY←1	B6H,B7H	3	3+2	3+2	√	×	×	×
11	DJNZ Rn,rel	Rn←Rn-1,PC←PC+2, 若 Rn≠0,则 PC←PC+rel	D8H~DFH	2	1+3	2+3	×	×	×	×
12	DJNZ dir,rel	(dir)←(dir)-1,PC←PC+3, 若(dir)≠0,则 PC←PC+rel	D5H	3	3+2	3+2	×	×	×	×
13	ACALL addr11	PC←PC+2, SP←SP+1,(SP)←PCL, SP←SP+1,(SP)←PCH, PC[10:0]←addr11	Addr[10:8] 10001B	2	3	3	×	×	×	×
14	LCALL addr16	PC←PC+3, SP←SP+1,(SP)←PCL, SP←SP+1,(SP)←PCH, PC←addr16	12H	3	3	3	×	×	×	×
15	RET	PCH←(SP),SP←SP-1, PCL←(SP),SP←SP-1	22H	1	3	3	×	×	×	×
16	RETI	PCH←(SP),SP←SP-1, PCL←(SP),SP←SP-1, 从中断返回	32H	1	3	3	×	×	×	×
17	SWR	复位	A5H	1	2	2	0	0	0	0
18	NOP	PC←PC+1	00H	1	1	1	×	×	×	×
位操作指令										
1	CLR C	CY←0	C3H	1	1	1	√	×	×	×
2	CLR bit	bit←0	C2H	2	1	2	×	×	×	×
3	SETB C	CY←1	D3H	1	1	1	√	×	×	×
4	SETB bit	bit←1	D2H	2	1	2	×	×	×	×
5	CPL C	CY←~CY	B3H	1	1	1	√	×	×	×
6	CPL bit	bit←~(bit)	B2H	2	1	2	×	×	×	×
7	ANL C,bit	CY←CY∧(bit)	82H	2	1	2	√	×	×	×
8	ANL C,/bit	CY←CY∧~(bit)	B0H	2	1	2	√	×	×	×
9	ORL C,bit	CY←CY∨(bit)	72H	2	1	2	√	×	×	×
10	ORL C,/bit	CY←CY∨~(bit)	A0H	2	1	2	√	×	×	×
11	MOV C,bit	CY←bit	A2H	2	1	2	√	×	×	×
12	MOV bit,C	bit←CY	92H	2	1	2	×	×	×	×
13	JC rel	PC←PC+2, 若 CY=1,则 PC←PC+rel	40H	2	1+2	2+1	×	×	×	×

序号	助记符	指令功能	操作码	字节数	周期*	周期 (Cache)	对标志位影响			
							CY	AC	OV	P
14	JNC rel	PC←PC+2, 若 CY=0,则 PC←PC+rel	50H	2	1+2	2+1	×	×	×	×
15	JB bit,rel	PC←PC+3, 若 (bit)=1,则 PC←PC+rel	20H	3	2+2	3+1	×	×	×	×
16	JNB bit,rel	PC←PC+3, 若 (bit)=0,则 PC←PC+rel	30H	3	2+2	3+1	×	×	×	×
17	JBC bit,rel	PC←PC+3, 若 (bit)=1,则 PC←PC+rel, (bit)←0	10H	3	3+2	3+2	×	×	×	×

注 1: 振荡周期是指用于系统时钟的时钟源的周期, 在本电路中时钟源可以是外接晶振也可以是内置 RC 振荡; 有些指令的振荡周期表达成 M+N, 是指当条件满足时再增加 N 个振荡周期。

注 2: 表中假设振荡周期与 CPU 时钟周期一致。当选择不同的分频系数时, 则每条指令执行时间等于上表提供的值与分频系数相乘。

3. 特殊功能寄存器 (SFR) 总表

QF08L18 的所有特殊功能寄存器如下表所示。

表 3QF08L18 寄存器总表

名称	说明	可位寻址	读写权限	复位值	字节地址
MCU 内核					
SP	堆栈指针	×	R/W	0000_0111B	81H
DPL	数据指针低字节 FE0	×	R/W	0000_0000B	82H
DPH	数据指针高字节	×	R/W	0000_0000B	83H
PSW	程序状态字	√	R/W	0000_0000B	D0H
ACC	累加器	√	R/W	0000_0000B	E0H
B	B 寄存器	√	R/W	0000_0000B	F0H
MOVXRH	Ri 间接寻址高 8 位地址寄存器	×	R/W	0000_0000B	A1H
AUXR1	DPTR 选择寄存器	×	R/W	uuuu_0uu0B	A2H
中断控制 INTC					
IE	中断允许寄存器	√	R/W	0u00_0000B	A8H
IP	中断优先级寄存器	√	R/W	uu00_0000B	B8H
EIE1	扩展中断允许寄存器 1	×	R/W	0000_0000B	A9H
EIP1	扩展中断优先级寄存器 1	×	R/W	0000_0000B	B9H
EIE2	扩展中断允许寄存器 2	×	R/W	000u_u000B	AAH
EIP2	扩展中断优先级寄存器 2	×	R/W	000u_u000B	BAH
EINTCS0	外部中断控制与状态寄存器 0	×	R/W	0000_0000B	ACH
EINTCS1	外部中断控制与状态寄存器 1	×	R/W	0000_0000B	BCH
电源管理 PMU					
PCON	电源控制寄存器	×	R/W	uuuu_uu00B	87H
LVDCON	低压检测控制寄存器	×	R/W	uu00_0000B	A5H
LVRCON	低压复位控制寄存器	×	R/W	100u_0011B	A6H
LPLVDCON	低功耗低压检测控制寄存器	×	R/W	uuu0_0000B	FF47H

名称	说明	可位寻址	读写权限	复位值	字节地址
LPLVDTRIM	内部低功耗基准 LPVR 电压修调寄存器	x	R/W	0000_uuuuB	A4H
VRCTRL	VRH_OP 电压选择寄存器	x	R/W	uuuu_uuu0B	BBH
STOPCFG	停机模式配置寄存器	x	R/W	u001_1u0uB	FFA0H
复位 RESET					
RSTSRC	复位源寄存器	x	R	uuuc_ccccB	A7H
看门狗定时器 WDT					
WDTCON	WDT 控制寄存器	x	R/W	1111_1111B	DDH
WDTCLR0	WDT 清零寄存器 0	x	W	uuuu_uuuuB	DEH
WDTCLR1	WDT 清零寄存器 1	x	W	uuuu_uuuuB	DFH
窗口看门狗定时器 WWDT					
WWDG_CR	WWDG 控制寄存器	x	R/W	0111_1111B	F1H
WWDG_WR	WWDG 窗口寄存器	x	R/W	0111_1111B	F2H
WWDG_CFG	WWDG 特殊功能寄存器	x	R/W	0000_0000B	FFA3H
时钟管理 CKM					
MCKSET	系统时钟设置寄存器	x	R/W	00u0_1000B	91H
WPKEY	关键寄存器写保护寄存器	x	W	uuuu_uuuuB	92H
PCGC0	时钟门控寄存器 0	x	R/W	1111_1111B	FF60H
PCGC1	时钟门控寄存器 1	x	R/W	uuu0_1u10B	FF61H
LFSCON	低频时钟源控制寄存器	x	R/W	00u0_0000B	FFEEH
系统配置					
SYSCFG	系统配置寄存器	x	R/W	1000_00u1B	FFA2H
通用 I/O 口 GPIO					
P0	P0 数据寄存器	√	R/W	0000_0000B	80H
P1	P1 数据寄存器	√	R/W	0000_0000B	90H
P2	P2 数据寄存器	√	R/W	0000_0000B	A0H
P3	P3 数据寄存器	√	R/W	0000_0000B	B0H
P0MDL	P0 模式控制寄存器（低字节）	x	R/W	0000_0000B	ECH
P1MDL	P1 模式控制寄存器（低字节）	x	R/W	0000_0000B	EDH
P2MDL	P2 模式控制寄存器（低字节）	x	R/W	0000_0000B	EEH
P3MDL	P3 模式控制寄存器（低字节）	x	R/W	0000_0000B	EFH
P0MDH	P0 模式控制寄存器（高字节）	x	R/W	0000_0000B	FCH
P2MDH	P2 模式控制寄存器（高字节）	x	R/W	uu00_0000B	FEH
P0AEN	P0 模拟通道允许寄存器	x	R/W	0000_0000B	FFC0H
P1AEN	P1 模拟通道允许寄存器	x	R/W	u000_0000B	FFC1H
P2AEN	P2 模拟通道允许寄存器	x	R/W	uuuu_0000B	FFC2H
IOMUX0	IO 管脚复用控制寄存器 0	x	R/W	u000_0000B	FFE0H
IOMUX1	IO 管脚复用控制寄存器 1	x	R/W	0000_0000B	FFE1H
IOMUX2	IO 管脚复用控制寄存器 2	x	R/W	0000_000uB	FFE2H
EINT01RMP	外部中断 0/1 引脚配置寄存器	x	R/W	0000_0000B	FF56H
EINT23RMP	外部中断 2/3 引脚配置寄存器	x	R/W	0000_0000B	FF57H
TIMERRMP	Timer0/1/2 引脚配置寄存器	x	R/W	0000_0000B	FF51H
PWMRMP	Timer PWM 波形输出引脚配置寄存器	x	R/W	0000_0000B	FF52H

名称	说明	可位寻址	读写权限	复位值	字节地址
GPIODS0	P0 驱动能力控制	x	R/W	0000_0000B	FFD5H
GPIODS1	P1 驱动能力控制	x	R/W	0000_0000B	FFD6H
GPIODS2	P2 驱动能力控制	x	R/W	0000_0000B	FFD7H
GPIODS3	P3 驱动能力控制	x	R/W	0000_0000B	FFD8H
GPIOSR	I/O 斜率(SlowRate)调节	x	R/W	u011_1111B	FFE8H
键盘中断 KBI					
KBICON0	P0 口键盘中断使能寄存器	x	R/W	0000_0000B	FFDAH
KBICON1	P1 口键盘中断使能寄存器	x	R/W	0000_0000B	FFDCH
KBICON2	P2 口键盘中断使能寄存器	x	R/W	0000_0000B	FFDEH
KBIPS0	P0 口键盘中断极性选择寄存器	x	R/W	0000_0000B	FFDBH
KBIPS1	P1 口键盘中断极性选择寄存器	x	R/W	0000_0000B	FFDDH
KBIPS2	P2 口键盘中断极性选择寄存器	x	R/W	0000_0000B	FFDFH
KBIFLG	键盘中断标识寄存器	x	R/W	uuuu_uuu0B	9EH
定时器 T0/1/2					
TCON	定时器控制寄存器	√	R/W	0000_0000B	88H
TMOD	定时器方式寄存器	x	R/W	0000_0000B	89H
TL0	定时器 0 低字节	x	R/W	0000_0000B	8AH
TL1	定时器 1 低字节	x	R/W	0000_0000B	8BH
TH0	定时器 0 高字节	x	R/W	0000_0000B	8CH
TH1	定时器 1 高字节	x	R/W	0000_0000B	8DH
TIMPRS	定时器时钟预分频控制寄存器	x	R/W	u000_u000B	FFCAH
TIMRCFG	定时器 0/1 PWM 使能	x	R/W	0000_0000B	C5H
T2MOD	定时器 2 模式寄存器	√	R/W	00uu_0000B	C1H
T2CPL1	T2 捕获寄存器 1 低字节	x	R/W	0000_0000B	C2H
T2CPH1	T2 捕获寄存器 1 高字节	x	R/W	0000_0000B	C3H
T2CPL2	T2 捕获寄存器 2 低字节	x	R/W	0000_0000B	C4H
T2CPH2	T2 捕获寄存器 2 高字节	x	R/W	0000_0000B	C5H
T2CAP	T2 捕获设置寄存器	x	R/W	0100_0000B	C6H
T2CAPS	T2 捕获状态寄存器	x	R/W	0000_0000B	C7H
T2CON	T2 控制寄存器	x	R/W	0000_0000B	C9H
TL2	T2 计数器低字节	x	R/W	0000_0000B	CAH
TH2	T2 计数高字节	x	R/W	0000_0000B	CBH
T2EXS	T2 外部触发源选择寄存器	x	R/W	00u0_u0u0B	CCH
TIMERDTG	死区时间设置寄存器	x	R/W	0000_0000B	FF53H
高级定时器 T3					
CR1	控制寄存器 1	x	R/W	0000_0000B	F3H
CR2	控制寄存器 2	x	R/W	0000_0000B	F4H
SR1	状态寄存器 1	x	R/W	0000_0000B	F5H
SR2	状态寄存器 2	x	R/W	0000_0000B	F6H
EGR	事件产生寄存器	x	R/W	0000_0000B	F7H
CNTH	计数器高 8 位	x	R/W	0000_0000B	84H
CNTL	计数器低 8 位	x	R/W	0000_0000B	85H

名称	说明	可位寻址	读写权限	复位值	字节地址
SMCR	模式控制寄存器	x	R/W	0100_0000B	FF30H
ETR	外部触发控制器	x	R/W	0000_0000B	FF31H
IER	中断允许控制器	x	R/W	0000_0000B	FF32H
CCMR1	CC1 捕获/比较模式寄存器	x	R/W	0000_0000B	FF33H
CCMR2	CC2 捕获/比较模式寄存器	x	R/W	0000_0000B	FF34H
CCMR3	CC3 捕获/比较模式寄存器	x	R/W	0000_0000B	FF35H
CCMR4	CC4 捕获/比较模式寄存器	x	R/W	00u0_u0u0B	FF36H
CCER1	捕获/比较使能寄存器 1	x	R/W	0000_0000B	FF37H
CCER2	捕获/比较使能寄存器 2	x	R/W	0000_0000B	FF38H
PSCH	预分频器高 8 位	x	R/W	0000_0000B	FF39H
PSCL	预分频器低 8 位	x	R/W	0000_0000B	FF3AH
ARRH	自动重装载器高 8 位	x	R/W	0000_0000B	FF3BH
ARRL	自动重装载器低 8 位	x	R/W	uuu0_0000B	FF3CH
RCR	重复计数器	x	R/W	0000_0000B	FF3DH
CCR1H	捕获/比较通道 1 寄存器高 8 位	x	R/W	uuuu_uuu0B	FF3EH
CCR1L	捕获/比较通道 1 寄存器低 8 位	x	R/W	0000_0000B	FF3FH
CCR2H	捕获/比较通道 2 寄存器高 8 位	x	R/W	0000_0000B	FF80H
CCR2L	捕获/比较通道 2 寄存器低 8 位	x	R/W	0000_0000B	FF81H
CCR3H	捕获/比较通道 3 寄存器高 8 位	x	R/W	0000_0000B	FF82H
CCR3L	捕获/比较通道 3 寄存器低 8 位	x	R/W	0000_0000B	FF83H
CCR4H	捕获/比较通道 4 寄存器高 8 位	x	R/W	0000_0000B	FF84H
CCR4L	捕获/比较通道 4 寄存器低 8 位	x	R/W	0000_0000B	FF85H
BKR	刹车控制寄存器	x	R/W	0000_0000B	FF86H
DTR	死区控制寄存器	x	R/W	0000_0000B	FF87H
OSIR	输出空闲状态寄存器	x	R/W	0000_0000B	FF88H
CR1H	控制寄存器 1H	x	R/W	0000_0000B	FF89H
CR1M	控制寄存器 1M	x	R/W	0000_0000B	FF8aH
SMCRH	控制寄存器 H	x	R/W	0000_0000B	FF8BH
DLAMT	延迟触发&防多次触发 控制寄存器	x	R/W	XXXX_XX01B	FF8CH
ATMG	防多次触发窗口控制寄存器	x	R/W	0000_0000B	FF8DH
DTWG	延迟触发窗口控制寄存器	x	R/W	0000_0001B	FF8EH
TIRMP	触发源复用寄存器	x	R/W	0000_0000B	FFCEH
OCRMP	PWM 引脚复用寄存器	x	R/W	0000_0000B	FFCFH
硬件发码模块 WT					
WTCON	WT 控制寄存器	√	R/W	0000_0001B	BFH
T8(T8RL)	8 位下行定时器 (T8 初值) 寄存器	x	R/W	0000_0000B	FF9BH
串口 UART0					
SCON0	UART0 控制寄存器	√	R/W	0000_0000B	98H
SBUF0	UART0 接收发送缓冲寄存器	x	R/W	0000_0000B	99H
BRCON0	UART0 波特率控制寄存器	x	R/W	1000_0uuuB	8EH
BRTIMO	UART0 波特率计数器	x	R/W	0000_0000B	8FH

名称	说明	可位寻址	读写权限	复位值	字节地址
HALFDUPLEX	UART0 半双工模式寄存器	x	R/W	0000_0000B	9CH
串口 UART1					
SCON1	UART1 控制寄存器	√	R/W	0000_0000B	B4H
SBUF1	UART1 接收发送缓冲寄存器	x	R/W	0000_0000B	B5H
BRCON1	UART1 波特率控制寄存器	x	R/W	1000_0uuuB	B6H
BRTIM1	UART1 波特率计数器	x	R/W	0000_0000B	B7H
HALFDUPLEX1	UART1 半双工模式寄存器	x	R/W	0000_0000B	B3H
I2C					
I2CDAT	I2C 数据寄存器	x	R/W	0000_0000B	93H
I2CADR	I2C 地址寄存器	x	R/W	0000_0000B	94H
I2CCON	I2C 控制寄存器	x	R/W	0000_0000B	95H
I2CSTA	I2C 状态寄存器	x	R/W	0000_0000B	96H
SMB_SEL	ADC 工作模式控制	x	R/W	uu00_u000B	97H
SMB_DST	ADC 配置寄存器	x	R/W	0000_uu00B	9AH
I2CSTPEN	I2C STOP 模式配置寄存器	x	R/W	uuuu_uuu0B	9BH
SPI					
SPICON0	SPI 控制寄存器 0	√	R/W	0000_0000B	F8H
SPICON1	SPI 控制寄存器 1	x	R/W	00uu_u000B	F9H
SPIFLG	SPI 标志寄存器	x	R/W	uu01_0000B	FAH
SPIDAT	SPI 数据寄存器	x	R/W	0000_0000B	FBH
模拟比较器 ACMPO					
CPOCON	模拟比较器 0 控制寄存器提示	x	R/W	0000_0000B	AEH
CPOVRCON	模拟比较器 0 内部参考电压控制寄存器	x	R/W	0000_0000B	AFH
CPFRHS	模拟比较器 0 响应时间配置寄存器	x	R/W	0000_0000B	ADH
ACPDLY0	模拟比较器 0 使能触发时延寄存器 0	x	R/W	0000_0000B	FF7BH
ACPDLY1	模拟比较器 0 使能触发时延寄存器 1	x	R/W	uuuu_uuu0B	FF7CH
模拟比较器 ACMPI					
CP1CON	模拟比较器 1 控制寄存器提示	x	R/W	0000_0000B	EAH
CP1VRCON	模拟比较器 1 内部参考电压控制寄存器	x	R/W	0000_0000B	EBH
CPF1RHS	模拟比较器 1 响应时间配置寄存器	x	R/W	0000_0000B	E9H
ACP1DLY0	比较器使能触发时延寄存器 0	x	R/W	0000_0000B	FF7DH
ACP1DLY1	比较器使能触发时延寄存器 1	x	R/W	uuuu_uuu0B	FF7EH
运算放大器 AMPO					
AMPCTRL0	OPA 运放控制寄存器 0	x	R/W	0001_1000	FF40H
AMPCTRL1	OPA 运放控制寄存器 1	x	R/W	0000_0000	FF41H
AMPTRIM	OPA 校准寄存器	x	R/W	0000_0000	FF42H
运算放大器 AMP1					
AMP1CTRL0	OPA1 运放控制寄存器 0	x	R/W	0001_1000	FF43H
AMP1CTRL1	OPA1 运放控制寄存器 1	x	R/W	0000_0000	FF44H
AMP1TRIM	OPA1 校准寄存器	x	R/W	0000_0000	FF45H
测试					

名称	说明	可位寻址	读写权限	复位值	字节地址
TESTCON	测试控制寄存器	x	R/W	uuuu_u000B	FFAFH
模拟模块校正数据					
RCLTRIM	RCL 校准寄存器	x	R/W	uuxx_xxxxB	FFB1H
INFLoad	信息区字节更新寄存器	x	R/W	uuu0_uuu0	FFF6H
CHIPCFG	Boot 配置寄存器	x	R/W	0uuu_uuu0	FFF5H
RCHTRIM	RCH 校准寄存器	x	R/W	uuxx_xxxxB	FFF4H
RCHPT	微调控制信号，控制恒流精度。测试确认后即可固化	x	R/W	uuuu_xxxx	FFF3H
BPGTRIM	带隙基准电压 BGR 校准寄存器	x	R/W	uuxx_xxxxB	FFF2H
ADC					
ADCON	ADC 控制寄存器	v	R/W	0000_0u00B	D8H
ADRL	ADC 转换结果寄存器低位	x	R	xxxx_xxxxB	D9H
ADRH	ADC 转换结果寄存器高位	x	R	xxxx_xxxxB	DAH
CMPDATA	ADC 比较值高 8 位	x	W	xxxx_xxxxB	DAH
ADCSPD	ADC 速度配置寄存器	x	R/W	0000_0000B	FF9EH
ADCTRG	ADC 触发配置寄存器	x	R/W	u000_0000B	FFABH
ADCDLY	ADC 触发时延配置寄存器	x	R/W	0000_0000B	FFACH
ADMOD	ADC 工作模式控制	x	R/W	0000_0000B	FFADH
ADCFG	ADC 配置寄存器	x	R/W	0000_0000B	FFAEH
DAC					
DACCTRL	DAC 控制寄存器	x	R/W	0000_0000B	FF6BH
DACDATL	DAC 转换结果低位寄存器	x	R/W	0000_0000B	FF6CH
DACDATH	DAC 转换结果高位寄存器	x	R/W	uuuu_uu00B	FF6DH
存储器 FLASH/E2PROM 应用编程寄存器(IAP)					
FLASHCtrl	FLASH 控制器	x	R/W	1100_0000B	D1H
FLASHADDRH	存储器单元地址高位	x	R/W	0000_0000B	D2H
FLASHADDRL	存储器单元地址低位	x	R/W	0000_0000B	D3H
FLASHDATAH	存储器数据寄存器高 8 位	x	R/W	0000_0000B	D4H
FLASHDATAL	存储器数据寄存器低 8 位	x	R/W	0000_0000B	D5H
FLASHCLKDIV	FLASH 编程时钟分频寄存器	x	R/W	0000_0110B	D6H
FLASHKEY	FLASH 编程保护寄存器	x	W	uuuu_uuuuB	D7H
FLASHTIMCtrl	FLASH 写操作定时控制寄存器	x	R/W	0000_0000B	E6H
IAPKey0	解锁密钥第 1 字节	x	R/W	1111_1111B	FF62H
IAPKey1	解锁密钥第 2 字节	x	R/W	1111_1111B	FF63H
IAPKey2	解锁密钥第 3 字节	x	R/W	1111_1111B	FF64H
IAPKey3	解锁密钥第 4 字节	x	R/W	1111_1111B	FF65H
FLASHLTY	FLASH 访问周期数控制寄存器	x	R/W	u000_0000B	FFF9H
RUNMODE	FLASH 运行模式控制寄存器	x	R/W	uuuu_uu00B	FFD4H
CACHE					
CacheCfg	高速缓存 Cache 配置寄存器	X	R/W	u000_uu00B	A3H

注： x 表示不确定； - 表示未实现； u 表示不受复位影响； c 表示该位复位值因复位源而异（下同）

4. 高速缓存 Cache

QF08L18 内置指令 Cache，大小是 256 Byte，2 路组相连，每行大小 16Byte。Cache 主要有两个作用：1) 保证 MCU 在不同电压下的工作频率。Flash 一个字节的读取速度最快是 60ns，随着电压的降低，读取速度逐渐降低；最慢的读取速度为 1us；2) Flash 读取一个字节的功耗很大，Cache 可以减少对 Flash 的读取操作，以整体降低系统的功耗。特别是在循环执行一段代码的时，当代码在 Cache 中执行的时候，可以减少 Flash 的访问，降低功耗。

当发生指令未命中，MCU 暂停等待指令，从 Flash 中取 16 字节的指令；Flash 等取完 16 个字节指令，MCU 开始重新运行。Cache 支持 Lock 功能，即用户可以指定从某个地址开始的特定长度被一直锁存在 Cache 中，不能被替换，程序长度可以是 64、128、192 和 256 不等。如果 Cache 的两路组都被 lock，且取的指令不在 Cache 中，则 MCU 直接从外部 flash 取指令，无须经过 Cache。Cache 在使用前必须初始化，初始化完成前 Cache 不能使能，MCU 直接从外 Flash 读取并执行，不经过 Cache 执行。采用 LRF (last recently filled) 替换策略，首先替换无效的块，然后替换最近最少使用的块，如果 2 个块都被 lock 住，则不能替换。

4.1 基本特征

- ◇ 缓存大小 256 字节，块大小 16 字节，2 路组关联。
- ◇ 支持特定程序段的 Lock，Lock 程序长度 64，128，196，256 字节可选。
- ◇ 在 Cache 不使能情况下，可作为 XRAM 高 256 字节使用。

4.2 寄存器说明

Cache 的寄存器如下表：

表 4 Cache 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
CacheCfg	高速缓存 Cache 配置寄存器	X	R/W	u000_uu00B	A3H

相关寄存器详细说明如下：

高速缓存配置寄存器 CacheCfg(A3H)^{注1}

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	LockCfg[1:0]		LockEn	-	-	CacheInvalid	CacheEn
访问权限:	R-0	R/W	R/W	R/W	R-0	R-0	R/W	R/W
复位值:	U	0	0	0	U	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7 保留

Bit6:bit5 LockCfg 加锁长度配置
 00: 64 字节;
 01: 128 字节;
 10: 192 字节;
 11: 256 字节;

Bit4 LockEn Cache 加锁操作(该位必须在 Cache 不使能情况下配置)
 0: 无 Cache 加锁操作;
 1: Cache 加锁使能;

Bit3: 2 保留

Bit1	CacheInvalid: Cache 无效初始化, 该位自动清 0 0: 无 Cache 初始化操作; 1: Cache 无效操作, 在 Cache 使能之前, 需要先进行该操作, 不然结果无法预期;
Bit0	CacheEn: Cache 使能。 0: Cache 关闭。 1: Cache 使能。

注:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
----	---------------------------------------

4.3 功能说明

4.3.1 程序 lock 操作^{注1}

Cache Lock 的方法有两种, 两种方法只能采用一种(建议采用方法 2)。

方法 1: 如果要 lock 某段地址的代码, 可将该段地址的 13~7 位; 再与 valid 位和 lock 位合成 9 位数据; 然后把该数据的低 7 位写到 cache 标志位的 7 位, 把高 2 位写到 cache 标志位的高 2 位。

如下表所示:

表 5 cache tag 组成

VALID	LOCK	PMADDR[13:7]
-------	------	--------------

在配置过程中, Cache 作为 XRAM 操作。采用该方法时, CacheCfg.LockEn 不能使能且该操作要在 CacheInvalid 操作之后。

方法 2: 设置 CacheCfg 的配置寄存器, 使能 Cache Lock 并配置长度, 当 Lock 的长度 ≤ 128 时, 两路组关联中第一路用作 Lock, 当 Lock 的长度超过 128 的时候, 2 路组关联的 Block 中, 超过 128 在第二路中; 下图说明了不同长度下, Cache 的占用情况:

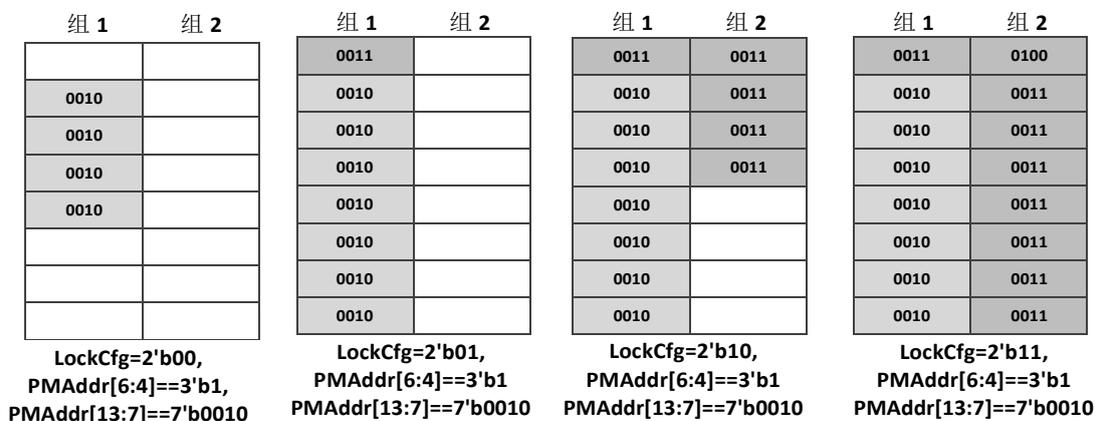


图 4 代码 lock 时 cache 占用情况

注 1:	Cache 由两组 Block, 当 Lock 时候, 组 1 先被用于 Lock; 但正常缓存的时候, 组 2 先被用于缓存。
------	--

4.3.2 Cache 作为 XRAM 的操作的操作

在 Cache 没有使能的情况下, CPU 可以以 External Sram 的形式去访问 Cache 和 Tag, 组织形式如下:

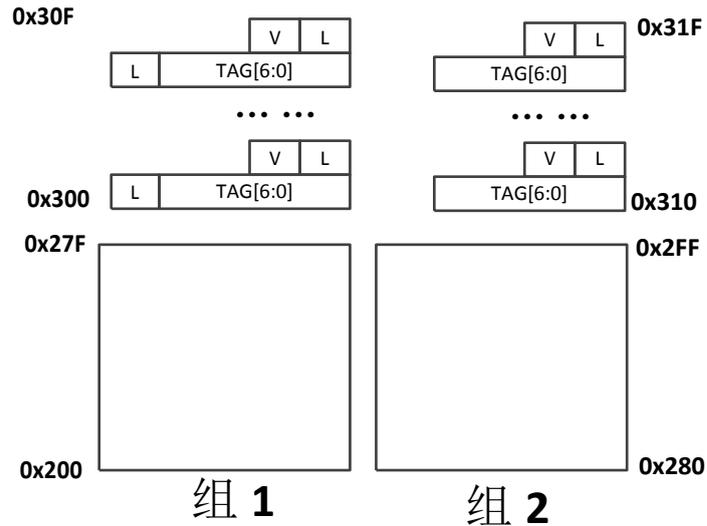


图 5 cache 作为 XRAM 时的空间地址分配

Cache 在不使能情况下，对 Cache SRAM 的直接操作，主要由两个功能：

1. 作为 SRAM 使用，使得 MCU 的整个 SRAM 空间达到 1K；
2. 对 Cache 的 Lock 和 Tag 进行直接操作，达到锁定任意空间的目的。

4.4 Cache 代码例程

```

Void main()
{
    xPCGC1 |= 1<<4;    // Cache Clk Enable
    WPKEY = 0x37;
    CacheCfg |= 0x02;  // Cache Invalid
    WPKEY = 0x37;
    CacheCfg |= 0x01;  // Cache enable

    FLASHAddrL = 0x12;
    FLASHAddrH = 0x00;

    FLASHDataH = 0x55;
    FLASHDataL = 0x55;

    FLASHKey = 0xA5;   // Flash key
    FLASHKey = 0xF1;

    FLASHWrCtrl = 0x05; // Write Information Section;

    WPKEY = 0x37;
    CacheCfg &= 0x00;  // Cache disable

    While(1);
    
```

}

4.4.1 Cache 的 Tag 初始化

```

CACHE_TAG_START    EQU    2000H
CACHE_TAG_LEN      EQU    400H
CACHE_TAG_INIT:
                    MOV    DPTR,#CACHE_TAG_START
                    MOV    R7,#LOW (CACHE_TAG_LEN)
                    IF (LOW (CACHE_TAG_LEN)) <> 0
                        MOV    R6,#(HIGH (CACHE_TAG_LEN))+1
                    ELSE
                        MOV    R6,#HIGH (CACHE_TAG_LEN)
                    ENDF
                    CLR    A
CACHE_TAG_LOOP:    MOVX   @DPTR,A
                    INC    DPTR
                    DJNZ   R7,CACHE_TAG_LOOP
                    DJNZ   R6,CACHE_TAG_LOOP
    
```

4.4.2 Cache 的 Lock 示例

以下程序实现把 spi flash 中 BANK0 中地址 1000H 开始的 500 个字节的指令锁定到开始地址为 C000H 的 CACHE 中。

```

AUXR1              EQU    0A2H
Store_Code_Addr   EQU    8000H
Load_Code_Addr    EQU    1000H
Code_Length       EQU    0500H
Cache_Tag0        EQU    0E000H
Lock_Length       EQU    050H      ;Code_Length/16

Load_Code:
    MOV    R6,#HIGH(Code_Length)
    MOV    R7,#LOW(Code_Length)
    INC    R6
    MOV    DPTR,#Load_Code_Addr      //DPTR
    INC    AUXR1
    MOV    DPTR,#Store_Code_Addr     //DPTR1
    INC    AUXR1

//把 spi flash 的 BANK0 中地址 1000H 开始的 500 个字节指令导入到开始地址为 C000H 的指令 Cache 中
Load_Code_0:
    MOV    A,R7
    JZ     Load_Code_01
    DEC    R7

Load_Code_03:
    CLR   A
    
```

```

MOVCA,@A+DPTR                //DPTR
INC    DPTR
INC    AUXR1

MOVX   @DPTR,A                //DPTR1
INC    DPTR
INC    AUXR1
LCALL  CLR_WDT                //清看门狗
LJMP   Load_Code_0

Load_Code_01:
MOV    A,R6
JZ     Load_Code_02
DEC    R6
MOV    R7,#0FFH
LJMP   Load_Code_03

Load_Code_02:
//对导入到 Cache 中的指令进行 lock,
MOV    R7,#Lock_Length
MOV    DPTR,#Cache_Tag0

Lock_Cache0:
MOV    A,R7
JZ     Lock_Cache1
DEC    R7
MOV    A,#01H                ;Load_Code_Addr 地址的 bit15~bit12
MOVX   @DPTR,A
INC    DPTR
MOV    A,#70H
MOVX   @DPTR,A
INC    DPTR
LCALL  CLR_WDT
LJMP   Lock_Cache0

Lock_Cache1:

```

写入 TAG 中的数值生成说明:

$$\text{Cache_Tag0_L} = (\text{VALID} \ll 13 + \text{LOCK} \ll 12 + \text{BANK}[7:0] \ll 4 + \text{PMADDR}[15:12]) \& 0x7f$$

$$\text{Cache_Tag0_H} = ((\text{VALID} \ll 13 + \text{LOCK} \ll 12 + \text{BANK}[7:0] \ll 4 + \text{PMADDR}[15:12]) \gg 7) \& 0x7f$$

此例子程序中, 要锁定代码的 $\text{BANK}[7:0] = 0x80$, $\text{PMADDR}[15:12] = 0x1$, 所以:

$$\text{Cache_Tag0_L} = (1 \ll 13 + 1 \ll 12 + 0x80 \ll 4 + 0x1) \& 0x7f = 0x01;$$

$$\text{Cache_Tag0_H} = ((1 \ll 13 + 1 \ll 12 + 0x80 \ll 4 + 0x1) \gg 7) \& 0x7f = 0x70.$$

5. 通用输入/输出端口(GPIO)

5.1 基本特征

- ◇ 4 组 IO 口 (P0/P1/P2/P3), 最大支持 22 个 IO 口。
- ◇ 4 组 I/O 均支持位操作;

- ◇ 每组端口均可配置为 4 种模式：输入悬空、输入上拉、推挽输出和开漏输出；
- ◇ P0/P1/P2 端口都具有键盘中断唤醒功能，中断极性可选择；
- ◇ 3 组 I/O 驱动能力按位可调，斜率(slowrate)按组可调；

5.2 工作模式

上电复位后，P3.0 为外部 reset，默认输入上拉，其余端口默认为输入悬空，进入调试模式和烧录模式的命令在该引脚为低时发送。SLEEP 模式和 STOP 模式下，GPIO 端口状态不变。

注：P3.0 上电复位为 RST 功能，若用户程序将 P3.0 配置为通用 GPIO 功能，则在程序运行过程中无法连接调试器，采用领芯的调试器供电情况下，可以将程序擦除；

5.3 引脚复用

表 6 引脚复用表

I/O	驱动能力 ^{注1} (3.3V)		系统	定时器 0/1/2 /WT	高级 定时器 (T3)	键盘 中断	通信接 口	外部中断	OPA	比较器	ADC /DAC
	DS=0	DS=1									
P0.0	2mA	16mA	--	T1/T1O	T3CH1	KI00	MOSI /RX0	INT0/INT1 /INT3	--	--	AD1
P0.1	2mA	16mA	--	--	T3CH2	KI01	MISO /TX0	INT0/INT1 /INT3	--	--	AD2/ DACETR0
P0.2	2mA	8mA	PDAT	T2nPWM	ETR	KI02	[RX1]	INT0/INT1 /INT3	--	--	AD3
P0.3	2mA	16mA	--	T2/T2EX2 /T2PWM	T3CH3	KI03	--	INT0/INT1 /INT3	--	--	AD4
P0.4	2mA	8mA	--	T2EX1	T3CH4	KI04	--	INT0/INT1 /INT3	--	--	AD5/ ADCETR0
P0.5	2mA	8mA	--	T0/T0O/T2EX3/ BZ	T3CH4	KI05	--	INT0/INT1 /INT3	OPP1	CPN0	AD6
P0.6	2mA	8mA	VTS	T2PWM/nBUZ	--	KI06	TX0	INT0/INT1 /INT3	--	--	AD7
P0.7	2mA	8mA	--	T1/T1O/ T2nPWM/nIRQ	T3CH4n	KI07	RX0	INT0/INT1 /INT3	--	CPN1	AD8/ DACETR1
P1.0	2mA	16mA	--	T2/T2EX0	T3CH3n	KI10	SCK	INT1/INT3	--	--	AD9
P1.1	2mA	16mA	CLKO	--	T3CH4/ T3CH2n	KI11	--	INT1/INT3	--	--	AD10
P1.2	2mA	16mA	--	--	T3CH3/ T3CH1n	KI12	--	INT1/INT3	--	--	--
P1.3	2mA	8mA	ADVRH	T0/T0O	T3CH3 /ETR	KI13	SCL	INT1/INT3	--	CPO1	ADCETR1
P1.4	2mA	8mA	--	--	T3CH4 /TBRK	KI14	SDA	INT1/INT3	OPN0	CPO0	--
P1.5	2mA	16mA	ELVI	T2EX2/T2PWM	T3CH3	KI15	NSS	INT1/INT3	OPP0	--	--
P1.6	2mA	8mA	--	--	T3CH4n	KI16	--	INT1/INT3	OPN1	CPP1	--
P1.7	2mA	8mA	--	--	--	KI17	--	INT1/INT3	OPO1	CPP0	--

P2.0	2mA	8mA	OSCI/ CKI	--	--	KI20	TX1	INT1/INT2/ INT3	--	--	--
P2.1	2mA	8mA	OSCO	--	--	KI21	RX1	INT1/INT2/ INT3	--	CPO0/ CPO1	--
P2.2	2mA	8mA	VREF	T2PWM	--	KI22	[TX1]	INT1/INT2/ INT3	OPO0	--	DACO
P2.3	2mA	8mA	--	--	T3CH1	KI23	SCL	INT1/INT2/ INT3	--	--	DACETR2
P2.4	2mA	8mA	--	--	T3CH2	KI24	SDA	INT1/INT2/ INT3	--	CPN0	--
P3.0	2mA	8mA	RST/ PCLK	--	--	--	--	--	--	--	--
VDD	--	--	VDD	--	--	--	--	--	--	--	--
VSS	--	--	VSS	--	--	--	--	--	--	--	--

- 注:**
1. 该驱动能力以 3.3V 标准设计，5V 电压下可以达到更高的驱动能力；
 2. 所有 I/O 的驱动能力都可以调节，请寄存器 GPIODS0~GPIODS3 的描述。
 3. 所有 I/O 的跳转 Rate 均可以按组设置，当使能 SlowRate 以后，可以减少 PAD 干扰，请参见 GPIO SR 寄存器描述；

5.4 引脚功能

表 7 引脚功能描述

I/O	管脚属性	管脚描述	引脚位置
端口			
P0.0-P0.7	I/O	8 位双向 I/O 口，可位操作	P0.0~P0.7
P1.0-P1.7	I/O	8 位双向 I/O 口，可位操作	P1.0~P1.7
P2.0-P2.4	I/O	5 位双向 I/O 口，可位操作	P2.0~P2.4
P3.0	I/O	1 位双向 I/O 口，可位操作	P3.0
烧录			
[PCLK]	I	编程时钟输入脚，与复位引脚复用	P3.0
[PDATA]	I/O	编程数据输入输出脚	P0.2
系统			
nRST	I	外部复位脚，低电平有效	P3.0
CLKO	O	时钟输出	P1.1
INT0	I	外部中断 0	P0.0~P0.7
INT1	I	外部中断 1	P0.0~P0.7, P1.0~P1.7, P2.0~P2.4
INT2	I	外部中断 2	P2.0~P2.4
INT3	I	外部中断 3	P0.0~P0.7, P1.0~P1.7, P2.0~P2.4
ELVI	I	低压检测外部输入电压	P1.5
VREF	O	基准电压	P2.2
OSCI	I	外部晶振输入脚	P2.0
OSCO	O	外部晶振输出脚	P2.1
CLKI	I	外部时钟输入脚	P2.0
定时器(T0,T1,T2)			
T0	I	T0 外部计数时钟输入	P0.5, P1.3
T0O	O	T0 方波输出	P0.5, P1.3
T1	I	T1 外部计数时钟输入	P0.0, P0.7
T1O	O	T1 PWM 输出	P0.0, P0.7
T2	I	T2 外部计数时钟输入	P0.3, P1.0
T2EX0~T2EX3	I	T2 捕获输入	P0.3~P0.5, P1.0, P1.5
T2PWM	O	T2 PWM 输出	P0.3, P0.6, P1.5, P2.2
T2nPWM	O	T2 PWM 方向输出	P0.2, P0.7
nIRQ	O	WT IRQ 输出	P0.7
BUZ	O	蜂鸣器正相输出	P0.5
nBUZ	O	蜂鸣器反相输出	P0.6
KBI			
KI00~KI07	I	P0 口 8 位键盘中断	P0.0~P0.7
KI10~KI17	I	P1 口 8 位键盘中断	P1.0~P1.7
KI20~KI24	I	P2 口 5 位键盘中断	P2.0~P2.4
通信接口(UART0/1, I2C, SPI)			

I/O	管脚属性	管脚描述	引脚位置
TX0	O	UART0 数据输出脚	P0.1, P0.6,
RX0	I	UART0 数据输入脚	P0.0, P0.7,
TX1	O	UART1 数据输出脚	P2.0,P2.2
RX1	I	UART1 数据输入脚	P0.2,P2.1
SDA0	I/O	I2C 数据输入输出脚	P1.4
SCL0	I/O	I2C 时钟输入输出脚	P1.3
SDA1	I/O	I2C 数据输入输出脚	P2.4
SCL1	I/O	I2C 时钟输入输出脚	P2.3
NSS	I/O	SPI 片选信号	P1.5
MISO	I/O	SPI 主入从出	P0.1
MOSI	I/O	SPI 主出从入	P0.0
SCK	I/O	SPI 时钟	P1.0
高级定时器(T3)			
T3CH1	I/O	高级定时器通道 1, 可作为捕获输入 1 和 PWM1 输出;	P0.0, P2.3
T3CH1n	O	高级定时器互补通道 1, 互补 PWM0 输出;	P1.2
T3CH2	I/O	高级定时器通道 2, 可作为捕获输入 1 和 PWM1 输出;	P0.1, P2.4
T3CH2n	O	高级定时器互补通道 2, 互补 PWM1 输出;	P1.1
T3CH3	I/O	高级定时器通道 3, 可作为捕获输入 0 和 PWM0 输出;	P0.3, P1.2, P1.3, P1.5
T3CH3n	O	高级定时器互补通道 3, 互补 PWM0 输出;	P1.0,
T3CH4	I/O	高级定时器通道 4, 可作为捕获输入 0 和 PWM0 输出;	P0.4, P0.5, P1.1, P1.4
T3CH4n	O	高级定时器通道 4, 互补 PWM4 输出	P0.7, P1.6
ETR	I	高级定时器外部触发	P0.2, P1.3
TBRK	I	高级定时器刹车(Break)输入	P1.4
模拟比较器(ACMP0/1)			
CPP0	I	比较器 0 正端输入脚	P1.7
CPP1	I	比较器 1 正端输入脚	P1.6
CPN0	I	比较器 0 负端输入脚	P0.5/P2.4
CPN1	I	比较器 1 负端输入脚	P0.7
CPO0	O	比较器 0 输出	P1.4/P2.1
CPO1	O	比较器 1 输出	P1.3/P2.1
ADC 模数转换			
AD1~AD10	I	AD 电压采通道	P0.0~P0.7; P1.0, P1.1
ADVRH	I/O	AD 正参考电压外接管脚功能或者 ADC 正电压输出管脚, 受 ADPREF 寄存器控制	P1.3
ADCETRO/ ADCETR1	I	ADC 外部触发输入引脚	P0.4, P1.3
运算放大器(OPA0,OPA1)			
OPP0	I	放大器 0 正端输入	P1.5
OPP1	I	放大器 1 正端输入	P0.5
OPN0	I	放大器 0 负端输入	P1.4
OPN1	I	放大器 1 负端输入	P1.6

I/O	管脚属性	管脚描述	引脚位置
OPO0	O	放大器 0 输出端	P2.2
OPO1	O	放大器 1 输出端	P1.7
DAC 数模转换			
DACO	P	DAC 电压输出端	P2.2
DACETR0 / DACETR1	I	ADC 外部触发输入引脚	P0.1, P0.7, P2.3
Power supply			
VDD	P	电源电压	
VSS	P	地	

注：管脚属性这一列中，P 表示 电源管脚，I/O 表示通用输入/输出脚，I 表示输入脚，O 表示输出脚。

5.5 管脚结构

QF08L18 的管脚结构主要有 2 种形式:

5.5.1 T0:与 RST 复用的 GPIO

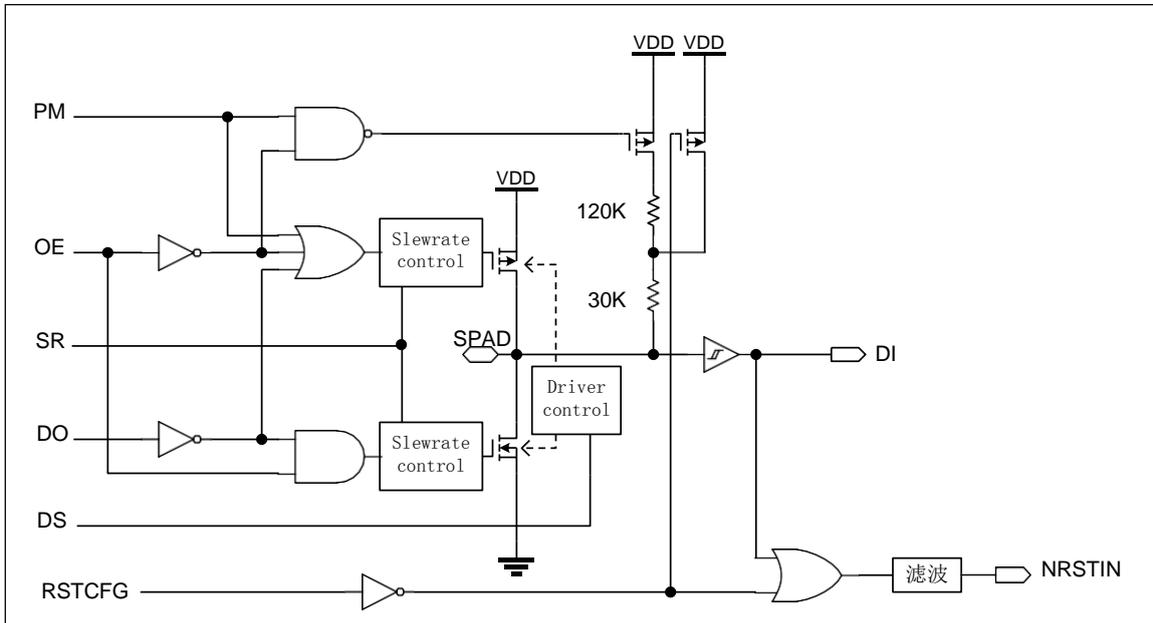


图 6 与 RST 复用的 GPIO

该 IO 适用于 P3.0。

表 8 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空; 01: 输入上拉; 10: 推挽输出; 11: 开漏输出。
DO	I	端口数据寄存器位。推挽输出时, DO=1, 端口输出高电平; DO=0, 端口输出低电平。
DI	O	端口到内核的数字输入信号。
RSTCFG	I	外部复位管脚配置位, 默认为 1, 作为外部复位管脚, 强制端口为输入上拉(30K Ω); 清 0 时, 做 GPIO, 由{OE, PM}控制输入输出属性, RSTIN 一直为 1。
NRSTIN	O	复位输入信号。检测到 0 时复位电路。连接到内核。
SR	I	0: 没有 SLEWRATE; 1: 开启 SLEWRATE; 缺省: 0
DS	I	0: 2mA 驱动; 1: 8mA 驱动

5.5.2 T4:与晶振/AD 复用的 GPIO ^注

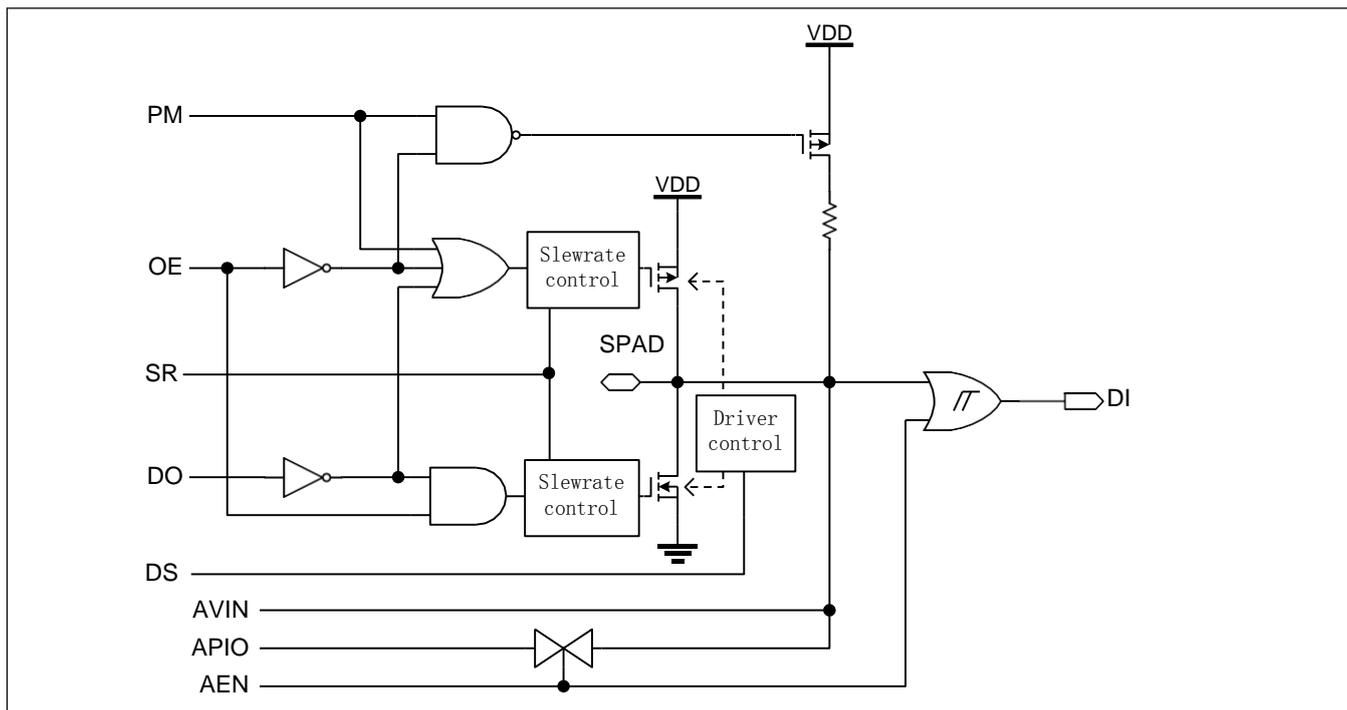


图 7 与晶振/AD 复用的 GPIO
 该 I/O 适用于所有其它 IO
 表 9 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空（缺省）； 01: 输入上拉； 10: 推挽输出； 11: 开漏输出。
DO	I	端口数据寄存器位。推挽输出时，DO=1，端口输出高电平； DO=0，端口输出低电平。
DI	O	端口到内核的数字输入信号。
AEN	I	模拟通道使能信号，高电平有效，默认关闭。当 AEN 置 1 时，开启模拟通道，同时关闭端口到内核的数字输入，读 DI 一直为 1。（模拟优先）
APIO	I/O	模拟信号。用于连接 AD 输入或者比较器输入。
AVIN	I/O	用于连接晶振模块的 XIN 和 XOUT。
DS	I	0: 2mA 驱动； 1: 8mA 或 16mA 驱动，缺省: 0
SR	I	0: 没有 SLEWRATE； 1: 开启 SLEWRATE ;缺省: 0

注：该 IO 结构具有两种不同驱动能力的配置，当 DS=1 时，其中 P0.0、P0.1、P0.3、P1.0、P1.1、P1.2、P1.5 驱动为 16mA，其余 IO 驱动为 8mA。

5.6 寄存器说明

GPIO 的相关寄存器如表 10 所示。

表 10 GPIO 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
P0	P0 数据寄存器	√	R/W	0000-0000B	80H
P1	P1 数据寄存器	√	R/W	0000-0000B	90H
P2	P2 数据寄存器	√	R/W	uuu0-0000B	A0H
P3	P3 数据寄存器	√	R/W	uuuu-uuu0B	B0H
P0MDL	P0 模式控制寄存器 (低字节)	×	R/W	0000-0000B	ECH
P1MDL	P1 模式控制寄存器 (低字节)	×	R/W	0000-0000B	EDH
P2MDL	P2 模式控制寄存器 (低字节)	×	R/W	0000-0000B	EEH
P3MDL	P3 模式控制寄存器 (低字节)	×	R/W	uuuu-uu00B	EFH
P0MDH	P0 模式控制寄存器 (高字节)	×	R/W	0000-0000B	FCH
P1MDH	P1 模式控制寄存器 (高字节)	×	R/W	0000-0000B	FDH
P2MDH	P2 模式控制寄存器 (高字节)	×	R/W	uuuu-uu00B	FEH
POAEN	P0 模拟通道允许寄存器	×	R/W	0000-0000B	FFC0H
P1AEN	P1 模拟通道允许寄存器	×	R/W	0000-0u00B	FFC1H
P2AEN	P2 模拟通道允许寄存器	×	R/W	uuu0-00uuB	FFC2H
GPIODS0	P0 驱动能力控制	×	R/W	0000_0100B	FFD5H
GPIODS1	P1 驱动能力控制	×	R/W	0000_0000B	FFD6H
GPIODS2	P2 驱动能力控制	×	R/W	uuu0_0000B	FFD7H
GPIODS3	P3 驱动能力控制	×	R/W	uuuu-uuu0B	FFD8H
GPIOSR	I/O 斜率(SlowRate)调节	×	R/W	uuuu-1111B	FFE8H
IOMUX0	IO 复用控制寄存器 0	×	R/W	0000-0000B	FFE0H
IOMUX1	IO 复用控制寄存器 1	×	R/W	0000-000uB	FFE1H
IOMUX2	IO 复用控制寄存器 2	×	R/W	00uu-0000B	FFE2H
SYSCFG	系统配置寄存器	×	R/W	1000-1111B	FFA2H
MCKSET	系统时钟设置寄存器	×	R/W	0000-1000B	91H

GPIO 寄存器的详细说明如下:

P0 模式控制寄存器 (低字节) P0MDL (ECH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P0OE3	P0MD3	P0OE2	P0MD2	P0OE1	P0MD1	P0OE0	P0MD0
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

P0 模式控制寄存器 (高字节) P0MDH (FCH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P0OE7	P0MD7	P0OE6	P0MD6	P0OE5	P0MD5	P0OE4	P0MD4
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

提示: 一: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;

{OE,MD} 端口模式控制位, {P0OE[n],P0MD[n]}控制管脚 P0.n。
 00: 输入悬空。
 01: 输入上拉。

- 10: 推挽输出。
 11: 开漏输出。

P0 数据寄存器 P0 (80H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

P0.n 设置为输出时: 写寄存器 P0[n]=0, 则 P0.n 管脚输出逻辑低电平; 写寄存器 P0[n]=1, 则 P0.n 管脚输出逻辑高电平(推挽输出)或高阻(开漏输出)。读寄存器 P0[n]时不受 P0.n 管脚状态的影响, 也是对寄存器 P0[n]进行读操作。

P0.n 设置成输入方式时: 写寄存器 P0[n]不影响 P0.n 端口状态。读寄存器 P0[n]=0, 则表示 P0.n 管脚输入逻辑低电平; 读寄存器 P0[n]=1, 表示 P0.n 管脚输入逻辑高电平。

P1 模式控制寄存器(低字节) P1MDL (EDH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P1OE3	P1MD3	P1OE2	P1MD2	P1OE1	P1MD1	P1OE0	P1MD0
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

P1 模式控制寄存器(高字节) P1MDL (FDH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P1OE7	P1MD7	P1OE6	P1MD6	P1OE5	P1MD5	P1OE4	P1MD4
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

- {OE,MD} 端口模式控制位, {P1OE[n],P1MD[n]}控制管脚 P1.n。
 00: 输入悬空。
 01: 输入上拉。
 10: 推挽输出。
 11: 开漏输出。

P1 数据寄存器 P1 (90H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

注 1: 对于 P1[1:0], 当用作外部晶振管脚时 (CRYIOEN=0), 强制 IO 为输入悬空, {OE, MD}的设置无效。

P1.n 设置为输出时: 写寄存器 P1[n]=0, 则 P1.n 管脚输出逻辑低电平; 写寄存器 P1[n]=1, 则 P1.n 管脚输出逻辑高电平(推挽输出)或高阻(开漏输出)。读寄存器 P1[n]时不受 P1.n 管脚状态的影响, 也是对寄存器 P1[n]进行读操作。

P1.n 设置成输入方式时, 写寄存器 P1[n]不影响端口状态。读寄存器 P1[n]=0, 则表示 P1.n 管脚输入逻辑低电平; 读寄存器 P1[n]=1, 表示 P1.n 管脚输入逻辑高电平。

P2 模式控制寄存器(低字节) P2MDL (EEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P2OE3	P2MD3	P2OE2	P2MD2	P2OE1	P2MD1	P2OE0	P2MD0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

P2 模式控制寄存器 (高字节) P2MDH (FEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	P2OE4	P2MD4
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W
复 位 值:	U	U	U	U	U	U	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

{OE,MD} 端口模式控制位, {P2OE[n],P2MD[n]}控制管脚 P2.n。

00: 输入悬空。

01: 输入上拉。

10: 推挽输出。

11: 开漏输出。

P2 数据寄存器 P2 (A0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	P2.4	P2.3	P2.2	P2.1	P2.0
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

P2.n 设置为输出时: 写寄存器 P2[n]=0, 则 P2.n 管脚输出逻辑低电平; 写寄存器 P2[n]=1, 则 P2.n 管脚输出逻辑高电平 (推挽输出) 或高阻 (开漏输出)。读寄存器 P2[n]时不受 P2.n 管脚状态的影响, 也是对寄存器 P2[n]进行读操作。

P2.n 设置成输入方式时: 写寄存器 P2[n] 不影响端口状态。读寄存器 P2[n]=0, 则表示 P2.n 管脚输入逻辑低电平; 读寄存器 P2[n]=1, 表示 P2.n 管脚输入逻辑高电平。

P3 模式控制寄存器 (低字节) P3MDL (EFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	P3OE0	P3MD0
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

P3 数据寄存器 P3 (B0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	P3.0
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复 位 值:	U	U	U	U	U	U	U	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

注 1: 对于 P3[0], 当用作外部复位管脚时 (RSTCFG=1), 强制 IO 为输入上拉, {OE, MD}的设置无效。

P3.n 设置为输出时: 写寄存器 P3[n]=0, 则 P3.n 管脚输出逻辑低电平; 写寄存器 P3[n]=1, 则 P3.n 管

脚输出逻辑高电平（推挽输出）或高阻（开漏输出）。读寄存器 P3[n]时不受 P3.n 管脚状态的影响，也是对寄存器 P3[n]进行读操作。

P3.n 设置成输入方式时：写寄存器 P3[n]不影响管脚状态。读寄存器 P3[n]=0，则表示 P3.n 管脚输入逻辑低电平；读寄存器 P3[n]=1，表示 P3.n 管脚输入逻辑高电平。

P0 模拟通道允许寄存器 POAEN^{注1} (FFC0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	POAEN[7]	POAEN[6]	POAEN[5]	POAEN[4]	POAEN[3]	POAEN[2]	POAEN[1]	POAEN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit0 POAEN[n]: P0 [n]端口模拟通道使能位。
 0: 关闭模拟通道（默认）。
 1: 开启模拟通道。
 POAEN[7]: AD8 模拟复用
 POAEN[6]: AD7/VTS 模拟复用(温度传感器 VTS 如果输出到 PAD, 需要模拟使能)
 POAEN[5]: AD6/比较器 0 的负端 CPN0 输入/运放 1 的正端 OPP1 输入
 POAEN[4]: AD5 模拟复用
 POAEN[3]: AD4 模拟复用
 POAEN[2]: AD3 模拟复用
 POAEN[1]: AD2 模拟复用
 POAEN[0]: AD1 模拟复用

注 1:	当模拟通道使能信号置 1 时, 打开模拟通道, 同时关闭端口到内核的数字通道, 读端口一直为 1.
------	---

P1 模拟通道允许寄存器 P1AEN^{注1} (FFC1H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P1AEN[7]	P1AEN[6]	P1AEN[5]	P1AEN[4]	P1AEN[3]	—	P1AEN[1]	P1AEN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R-0	R/W	R/W
复位值:	0	0	0	0	0	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit3 P1AEN[n]: P1 [n]端口模拟通道使能位。
 0: 关闭模拟通道（默认）。
 1: 开启模拟通道。
 P1AEN[7]: 运放 1 的输出/比较器 0 的正端 CPP0 输入
 P1AEN[6]: 运放 1 的负端 OPN1 输入/比较器 1 正端 CPP1 输入
 P1AEN[5]: 运放 0 的正端 OPP0 输入/LVD 外部监测电压输入
 P1AEN[4]: 比较器 0 负端 CPN0 输入
 P1AEN[3]: ADC 外部参考电压 ADVRH 输入或内部参考电压 eVRH 输出

Bit2 未实现

Bit1~Bit0 P1AEN[n]: P1 [n]端口模拟通道使能位。
 0: 关闭模拟通道（默认）。
 1: 开启模拟通道。
 P1AEN[1]: AD10 模拟复用
 P1AEN[0]: AD9 模拟复用

注 1:	当模拟通道使能信号置 1 时，打开模拟通道，同时关闭端口到内核的数字通道，读端口一直为 1。PMD/POE 控制均无效
------	---

P2 模拟通道允许寄存器 P2AEN (FFC2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	P2AEN[4]	P2AEN[3]	P2AEN[2]	—	—
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	0	0	0	U	U
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7~Bit5 保留

Bit4~Bit2 P2AEN[4:2]: P2 [n]端口模拟通道使能位。
 0: 关闭模拟通道 (默认)。
 1: 开启模拟通道。
 P2AEN[4]: 比较器 0 负端输入
 P2AEN[3]: 比较器 1 负端输入
 P2AEN[2]: DAC 电压输出/运放 0 输出/VBG 输出的模拟复用

Bit1~Bit0 保留

管脚复用控制寄存器 IOMUX0 (FFE0H) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMP0SEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7:6 UART1EN[1:0] UART1 输入/出引脚复用控制信号
 00: 对应引脚做 GPIO 使用(默认)。
 01: 对应引脚做 GPIO 使用
 10: RX >> P2.1 ,TX >> P2.0
 11: RX >> P0.2 , TX >> P2.2

Bit5:4 UART0EN[1:0] UART0 输入/出引脚复用控制信号
 00: 对应引脚做 GPIO 使用(默认)。
 01: 对应引脚做 GPIO 使用
 10: RX >> P0.0 ,TX >> P0.1
 11: RX >> P0.7 , TX >> P0.6

Bit3 SPIEN : SPI 引脚复用控制信号
 0: P0.0, P0.1, P1.0, P1.5 做 GPIO 使用(默认)。
 1: 对应引脚复用成 SPI 功能脚
 MOSI >> P0.0 , MISO >> P0.1 , SCK >> P1.0 , NSS >> P1.5

Bit2 nIRQEN: WT 中断输出引脚控制信号
 0: P0.7 做 GPIO 使用(默认)。
 1: P0.7 用做 WT nIRQ 中断输出

Bit1 ACMP1SEL : 比较器 1 的比较结果输出引脚控制
 0: P1.3 做 CPO 使用(比较器 1 的使能位 CPEN 必须为 1, 否则 P1.3 仍做 GPIO)。
 1: P2.1 做 CPO 使用(比较器 1 的使能位 CPEN 必须为 1, 否则 P2.1 仍做 GPIO)。

- Bit0** **ACMPOSEL** : 比较器 0 的比较结果输出引脚控制
 0: P1.4 做 CPO 使用(ACMP0 的使能位 CPEN 必须为 1, 否则 P1.4 仍做 GPIO)。
 1: P2.1 做 CPO 使用(ACMP0 的使能位 CPEN 必须为 1, 否则 P2.1 仍做 GPIO)。
 备注: 当 P2.1 同时满足 ACMP0 和 ACMP1 的 CPO 输出的条件时, P2.1 复用成 ACMP1 的 CPO 输出

注 1:	寄存器位置 1 时, 强制将复用管脚设置为功能模块对应的方向;
------	---------------------------------

管脚复用控制寄存器 IOMUX1 (FFE1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BKMODE	BKEN[3:0]				ETRRMP	INT1SEL	—
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R-0
复 位 值:	0	0	0	0	0	0	0	U
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7** **BKMODE** : 定时器 3 (高级定时器) 刹车输入模式选择
 0: 刹车源全或输入 (源包括: 引脚 P1.4, ACMP0, ACMP1, ADC)
 1: 刹车源全与输入 (源包括: 引脚 P1.4, ACMP0, ACMP1, ADC)

- Bit6:3** **BKEN[3:0]**: 定时器 3 (高级定时器) 刹车源使能位, 高电平有效
BKEN[3]: ADC 刹车源使能控制
BKEN[1]: ACMP1 刹车源使能控制
BKEN[0]: ACMP0 刹车源使能控制
BKEN[0]: 引脚 P1.4 刹车源使能控制

- Bit2** **ETRRMP**: 定时器 3 (高级定时器) 外部触发引脚选择
 0: P0.2 复用成触发输入 (默认)
 1: P1.3 复用成触发输入

- Bit1** **INT1SEL**: 外部中断 INT1 输入选择位。
 0: 选择端口, 参见 EINT01RMP (默认)
 1: 选择 RCL/8。

- Bit0** 保留

管脚复用控制寄存器 IOMUX2 (FFE2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T1OE	T0OE	—	—	I2CRMP[1:0]		BUZEN	nBUZEN
访问权限:	R/W	R/W	R-0	R-0	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7** **T1OE**: 定时器 1 PWM 波形输出使能位 (仅 T1PWMEN=1 时有效)。
 0: P0.0 复用成 PWM (默认)
 1: P0.7 复用成 PWM

- Bit6** **T0OE**: 定时器 0 方波输出使能位 (仅 TOPWMEN=1 时有效)。
 0: P0.5 复用成 PWM (默认)
 1: P1.3 复用成 PWM

- Bit5~Bit4** 保留

- Bit3~Bit2** **I2CRMP**: I2C 引脚复用

0x: 对应脚复用成 GPIO
 10: SCL >> P1.3, SDA >> P1.4
 11: SCL >> P2.3, SDA >> P2.4

Bit1 BUZEN: BUZ 复用使能位。
 0: P0.5 用作 GPIO (默认)。
 1: P0.5 用作 BUZ 输出。

Bit0 nBUZEN: nBUZ 复用使能位。
 0: P0.6 用作 GPIO (默认)。
 1: P0.6 用作 nBUZ 输出。

注 1:	T0OE, T1OE 复用控制分别在 T0PWMMEN 和 T1PWMMEN 为高电平时有效
------	--

P0 驱动能力控制寄存器 GPIODS0 (FFD5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PTODS[7]	PTODS[6]	PTODS[5]	PTODS[4]	PTODS[3]	PTODS[2]	PTODS[1]	PTODS[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	1	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7-0 PTODS[n]: P0.n 引脚的驱动能力控制位。
 0: 弱驱动能力 (2mA)。
 1: 强驱动能力 (>=8mA)。注1

P1 驱动能力控制寄存器 GPIODS1 (FFD6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PT1DS[7]	PT1DS[6]	PT1DS[5]	PT1DS[4]	PT1DS[3]	PT1DS[2]	PT1DS[1]	PT1DS[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7-0 PT1DS[n]: P1.n 引脚驱动能力控制位。
 0: 弱驱动能力 (2mA)。
 1: 强驱动能力 (>=8mA)。注1

P2 驱动能力控制寄存器 GPIODS2 (FFD7H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	PT2DS[4]	PT2DS[3]	PT2DS[2]	PT2DS[1]	PT2DS[0]
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7-0 PT2DS[n]: P2.n 驱动能力控制位。
 0: 弱驱动能力(2mA)。
 1: 强驱动能力 (>=8mA)。注1

P3 驱动能力控制寄存器 GPIODS3 (FFD8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	PT3DS[0]

访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复位值:	U	U	U	U	U	U	U	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7-0 PT3DS[0]: P3.0 驱动能力控制位。

0: 弱驱动能力(2mA)。

1: 强驱动能力(>=8mA)。注 1

注 1:	强驱动情况下, PWM 相关的 IO 驱动能力可以达到 16mA 以上, 请参加 5.3 章节
------	---

I/O 斜率(SlowRate)调节寄存器 (FFE8H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	PTSR[3]	PTSR[2]	PTSR[1]	PTSR[0]
访问权限:	R-0	R-0	R-0	R-0	R/W	R/W	R/W	R/W
复位值:	U	U	U	U	1	1	1	1
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit4 保留

Bit3 P3 I/O 转换速率

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

Bit2 P2 I/O 转换速率

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

Bit1 P1 I/O 转换速率调节;

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

Bit0 P0 I/O 转换速率调节;

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

系统时钟设置寄存器 MCKSET^{注 1} (91H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	OSTS[1:0]		MDIV[2]	CRYEN	CRYIOEN ^②	MCKS	MDIV [1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	1	0	0	0
提示:	—: 未实现; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7: 6 OSTS:OSC 稳定延迟计数周期

00: 计数 7FFF (CRYCFG=0) 或 1FFF (CRYCFG=1) (默认)。

01: 计数 3FFF (CRYCFG=0) 或 0FFF (CRYCFG=1)。

10: 计数 1FFF (CRYCFG=0) 或 07FF (CRYCFG=1)。

11: 计数 0FFF (CRYCFG=0) 或 03FF (CRYCFG=1)。

Bit5 MDIV[2]: 主时钟分频寄存器, 与 MDIV[1:0]联合使用

Bit4 CRYEN: 外部晶振使能位

- 1: CRY 使能
 0: CRY 关闭（默认）。
- Bit3** **CRYIOEN:** 外部晶振管脚复用使能位。
 0: P2.0/P2.1 用作外部晶振脚。
 1: P2.0/P2.1 用作普通 IO 端口（默认）。
- Bit2** **MCKS:**主时钟源选择 0: 主
 时钟选择 RCH(默认)。
 1: 主时钟选择 OSC。
- Bit1:0** **MDIV[1:0]:** 主时钟分频选择, 与 Bit5 组成 MDIV[2:0]
 000: 16 分频(1Mhz); (默认)
 001: 4 分频(4Mhz);
 010: 2 分频(8Mhz);
 011: 1 分频(16Mhz);
 100: 32 分频 (500K)
 101: 64 分频 (250K)
 110: 8 分频 (2Mhz)
 111: 8 分频 (2Mhz)

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
注 2:	当 CRYIOEN 清 0 时, P2[1:0]用作外部晶振管脚, 置 1 时作 GPIO 使用。

系统配置寄存器 SYSCFG[®] (FFA2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	RSTCFG	CRYPASS	CRYCFG	WDTCFG	CRYCFG[2:0]			RCLCFG
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	0	0	0	1	1	1	1
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

- Bit7** **RSTCFG :** 外部复位管脚配置位。
 0: P3.0 用作 GPIO 管脚。
 1: P3.0 用作外部复位管脚（默认）。
- Bit6** **CRYPASS:** 外部晶振旁路使能
 0: 外部竞争不旁路, 需要有晶振启振; (默认)
 1: 由 XIN 直接提供时钟。
- Bit5** **CRYCFG:** 外部晶振高振低振选择
 0: 外部晶振 CRY 为低振; (默认)
 1: 外部晶振 CRY 为高振。
- Bit4** **WDTCFG :** 停机模式下 OscWdt 时钟控制位。
 0: 停机/睡眠状态下时钟关闭（默认）。
 1: 停机/睡眠状态下时钟开启。
- Bit3-Bit1** **CRYCFG[2:0] :** 外部晶振增益选择位。
 增益从高到低配置为: 111B > 110B > >000B, 默认最小增益。增益越大, 晶振越容易起振
 电流也越大。可根据需要选择不同的晶振增益。
- Bit0** **RCLCFG:** 停机、睡眠模式下 RCL 时钟控制位。
 0: 停机/睡眠状态下 RCL 时钟开启。

1: 停机/睡眠状态下 RCL 时钟关闭（默认）。

注 1:	该寄存器除 bit4 (WDTCFG), bit3~1 (CRYCFG) 外, 其它位在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。
------	--

5.7 功能描述

QF08L18 共有 4 组 IO, 最大支持 18 个 IO。

5.7.1 模式设置

所有的 IO 都可设置为 4 种模式: 输入悬空、输入上拉、推挽输出、开漏输出, 其中 **P3.0** 作为外部复位输入, 一旦配置成通用 **GPIO** 功能会导致无法进入 **Debug** 模式, 需要采用领芯的调试器供电对程序进行擦除。通常情况下, 每个端口都有 2 个寄存器位{OE, MD}来设置其属性(见寄存器说明)。但某些复用功能使能时, 会强制 IO 为输入或输出, 即此时的{OE, MD}设置无效或部分无效, 详见下表:

表 11 引脚复用总表

GPIO	复用功能		强制为			
	功能	配置	输入悬空	输入上拉	输出 ¹	输入 ²
P0.1	TXD0	UART0EN=10	—	—	√	—
P0.0	RXD0		—	—	—	√
P0.6	TXD1	UART0EN=11	—	—	√	—
P0.7	RXD1		—	—	—	√
P2.0	TXD2	UART1EN=10	—	—	√	—
P2.1	RXD2		—	—	—	√
P2.2	TXD3	UART1EN=11	—	—	√	—
P0.2	RXD3		—	—	—	√
P0.0	T3PWM1	TIM3OC1RMP = 0	—	—	√	—
P2.3	T3PWM1	TIM3OC1RMP = 1	—	—	√	—
P0.1	T3PWM2	TIM3OC2RMP = 0	—	—	√	—
P2.4	T3PWM2	TIM3OC2RMP = 1	—	—	√	—
P0.3	T3PWM3	TIM3OC3RMP = 00	—	—	√	—
P1.2	T3PWM3	TIM3OC3RMP = 01	—	—	√	—
P1.3	T3PWM3	TIM3OC3RMP = 10	—	—	√	—
P1.5	T3PWM3	TIM3OC3RMP = 11	—	—	√	—
P0.4	T3PWM4	TIM3OC4RMP = 00	—	—	√	—
P0.5	T3PWM4	TIM3OC4RMP = 01	—	—	√	—
P1.1	T3PWM4	TIM3OC4RMP = 10	—	—	√	—
P1.4	T3PWM4	TIM3OC4RMP = 11	—	—	√	—
P1.2	T3nPWM1	配置 T3 反向 PWM 使能即可	—	—	√	—
P1.1	T3nPWM2		—	—	√	—
P1.0	T3nPWM3		—	—	√	—
P0.7	T3nPWM4	TIM3OC4NRMP = 0	—	—	√	—
P1.6	T3nPWM4	TIM3OC4NRMP = 1	—	—	√	—

P0.3	T2PWM	T2PWMEN = 1, T2PWMRMP = 00	—	—	√	—
P0.6	T2PWM	T2PWMEN = 1, T2PWMRMP = 01	—	—	√	—
P1.5	T2PWM	T2PWMEN = 1, T2PWMRMP = 10	—	—	√	—
P2.2	T2PWM	T2PWMEN = 1, T2PWMRMP = 11	—	—	√	—
P0.2	T2nPWM	T2NPWMEN = 1, T2NPWMRMP = 0	—	—	√	—
P0.7	T2nPWM	T2NPWMEN = 1, T2NPWMRMP = 1	—	—	√	—
P0.0	T1O	T1OE=0, T1PWMEN=1	—	—	√	—
P0.7	T1O	T1OE=1, T1PWMEN=1	—	—	√	—
P0.5	T0O	T0OE=0, T0PWMEN=1	—	—	√	—
P1.3	T0O	T0OE=1, T0PWMEN=1	—	—	√	—
P0.5	BUZ	BUZEN=1	—	—	√	—
P0.6	NBUZ	NBUZEN=1	—	—	√	—
P0.7	WTIRQ	NIRQEN = 1	—	—	√	—
P1.1	CLKO	CKTE=1	—	—	√	—
P1.3	CPO1	CPOEN = 1, CMP1SEL = 0	—	—	√	—
P1.4	CPO0	CPOEN = 1, CMP0SEL = 0	—	—	√	—
P2.1	CPO1	CPOEN1 = 1, CMP1SEL = 1	—	—	√	—
P2.1	CPO0	CPOEN1 = 0, CPOEN = 1 CMP0SEL = 1	—	—	√	—
P2.1	XTOUT	CRYIOEN=0	—	—	√	—
P2.0	XIN		√	—	—	√
*	ADx	相应的 AEN	—	—	—	√(模拟)
P2.2	VREF	VBGBUFEN=1	—	—	√(模拟)	—

注 1: 输出指的是该 IO 的 OE 被强制为 1, 但 MD 却没有被强制设置, 所以此时写{OE, MD}, 仍会影响 MD 的值。I/O 模拟功能使能情况下, 自动会讲数字输出功能屏蔽;

注 2: 输入指的是该 IO 的 OE 被强制为 0, 但 MD 却没有被强制设置, 所以此时写{OE, MD}, 仍会影响 MD 的值。

I/O 模拟功能使能情况下, 自动会将数字输入功能屏蔽;

虽然上述复用功能使能时, 会将 IO 强制为某种输入/输出状态, 但为了可靠, 建议客户也对{OE, MD}赋值, 将 IO 设置为想要的状态。

5.7.2 功能复用

QF08L18 的 IO 除了做通用 IO 外, 还可以灵活复用做其它功能。

✧ 复用作 XTIN/XTOUT

QF08L18 的时钟源可以选择外部晶振（高频和低频复用同一 IO）。通过设置 CRYIOEN=0，将 P2.0/P2.1 用作 XTIN/XTOUT，同时强制 P2.0/P2.1 为输入悬空，并关闭端口到内核的数字通道，读端口始终为 1。如果 CRYEN=0，即外接晶振关闭，则 P2.1/XOUT 强制下拉，P2.0/XTIN 强制上拉。

◇ 复用作 nRST

P3.0 默认用作外部复位脚 nRST，强制 IO 为输入上拉，上拉电阻典型值约为 30K Ω 。如果检测到有效的低电平（低电平宽度>滤波宽度（5us）），则复位电路。作为 GPIO 时，设置 RSTCFG 为 0，此时 P3.0 的模式由{OE, MD}来设置。

◇ 复用作模拟输入

QF08L18 内置模拟比较器、低压检测、AD 采用输入等需要外部输入模拟电压的电路。需要先设置相应 IO 的{OE, MD}将其设置为输入悬空，然后设置 PnAEN（n=0/1/2）的相应位为 1，打开模拟通道，同时关闭端口到内核的数字通道，读端口始终为 1。

◇ 复用作 KBI

QF08L18 的 P0/P1/P2 可复用作键盘中断输入，用于唤醒 STOP/SLEEP。通过设置 KBICON 和 KBIWKP 可以选择相应的 IO 是否作为 KBI 输入和输入极性。

注：	用作 KBI 时，要先将 IO 设置为输入。上拉可根据需要使能。
----	----------------------------------

◇ 复用作外部中断

QF08L18 有 4 路外部中断，用于唤醒 STOP/SLEEP。通过设置 EINTCS1 和 EINTCS0 可以选择相应的 IO 是否作为 EINT 输入和输入极性。

注：	用作外部中断时，要先将 IO 设置为输入。上拉可根据需要使能。
----	---------------------------------

5.8 使用提示

通用输入/输出引脚是电路与外界沟通的主要通道，正确配置使用 GPIO 有助于改善系统的性能。

- 1) 除 P3.0 默认为输入上拉外，其余管脚复位后默认为输入悬空，容易引起静态电流，也很容易受到静电冲击，因此未使用的管脚必须通过软件设置或添加外部电路使对应管脚进入确定状态。设置成输入时，建议外部接 1k Ω 电阻上拉到电源或下拉到地；也可以设置成输出状态。
- 2) 没引出的 IO 管脚最好设置成输出口，而不是输入上拉，因为内部上拉电阻较大，易受干扰。
- 3) 任何 IO 口的输出驱动能力都有限制。拉/灌电流超过额定范围长期工作的电路容易引起 IO 失效。典型应用如直接使用某些 IO 直接驱动多个 LED，这一点请用户尽力避免。

6. 时钟系统

QF08L18 共有 3 个时钟源，分别为：

- ◇ RCL: 内部 32KHz 低频 RC 时钟。
- ◇ RCH: 内部 16MHz 高频 RC 时钟。
- ◇ CRY: 外接晶振（高频和低频复用），32.768KHz 或 1~16MHz。灵活配置这些时钟源，可适应多种供电方案的需求。在稳压系统中，如果需要更快的处理能力，那么可以外接高频晶振。在普通方案中，用内置 16MHz 时钟作为主时钟，可以降低成本，同时多出两个 IO 脚。

6.1 基本特征

- ◇ 丰富的时钟源选择，极大提高系统开发的灵活性。
- ◇ 复位后默认 RCH 为系统时钟，支持系统快速启动。
- ◇ WDT 时钟源来自 RCL，不依赖当前系统时钟，极大提高了系统的可靠性。
- ◇ 外接高频晶振和低频晶振复用，通过寄存器配置；
- ◇ 外部晶振管脚与 IO 复用，不接晶振时可用作普通 IO 口。
- ◇ 系统时钟源可来自 RCH 或 CRY，有 7 种分频系数可选：1/2/4/8/16/32/64。
- ◇ 时钟切换保护：与时钟系统相关的寄存器具有写保护功能，以提高系统可靠性。

6.2 工作模式

QF08L18 有 3 种工作模式，每种模式下的时钟工作如下：

- ◇ RUN 模式：所有时钟源经配置后可工作。
- ◇ SLEEP 模式：RCH, CRY（配置为高频），RCL 经配置后可工作；MCLK 停止，SYSCLK 以及 FCLK 继续工作。
- ◇ STOP 模式：高频时钟源（RCH 与 CRY（配置为高频））停止工作；RCL 经配置后可工作。系统复位后，CRY 默认关闭，对应管脚用作普通 IO 口；RCH 默认开启；RCL 默认开启。选择 RCH 的 16 分频 作为系统时钟。

时钟源		RUN	SLEEP	STOP
RCH		MCKS=0 时运行		停止
CRY ^{注1}	CRYH	CRYEN=1, CRYIOEN=0 同时满足时运行，MCKS 根据需求设置 ^{注1} ；		停止
	CRYL			CRYLCFG=0 时，CRYEN=1, CRYIOEN=0 同时满足运行。 CRYLCFG=1 时停止
RCL		运行	RCLCFG=0 时运行，RCLCFG=1 时停止	

注 1：若系统时钟切换到 CRY，则 MCKS = 1，若 SYSRCLEN=1，则 CRY 时钟的源变为 RCL 时钟；

6.3 功能框图

QF08L18 的时钟系统模块的内部结构如下图：

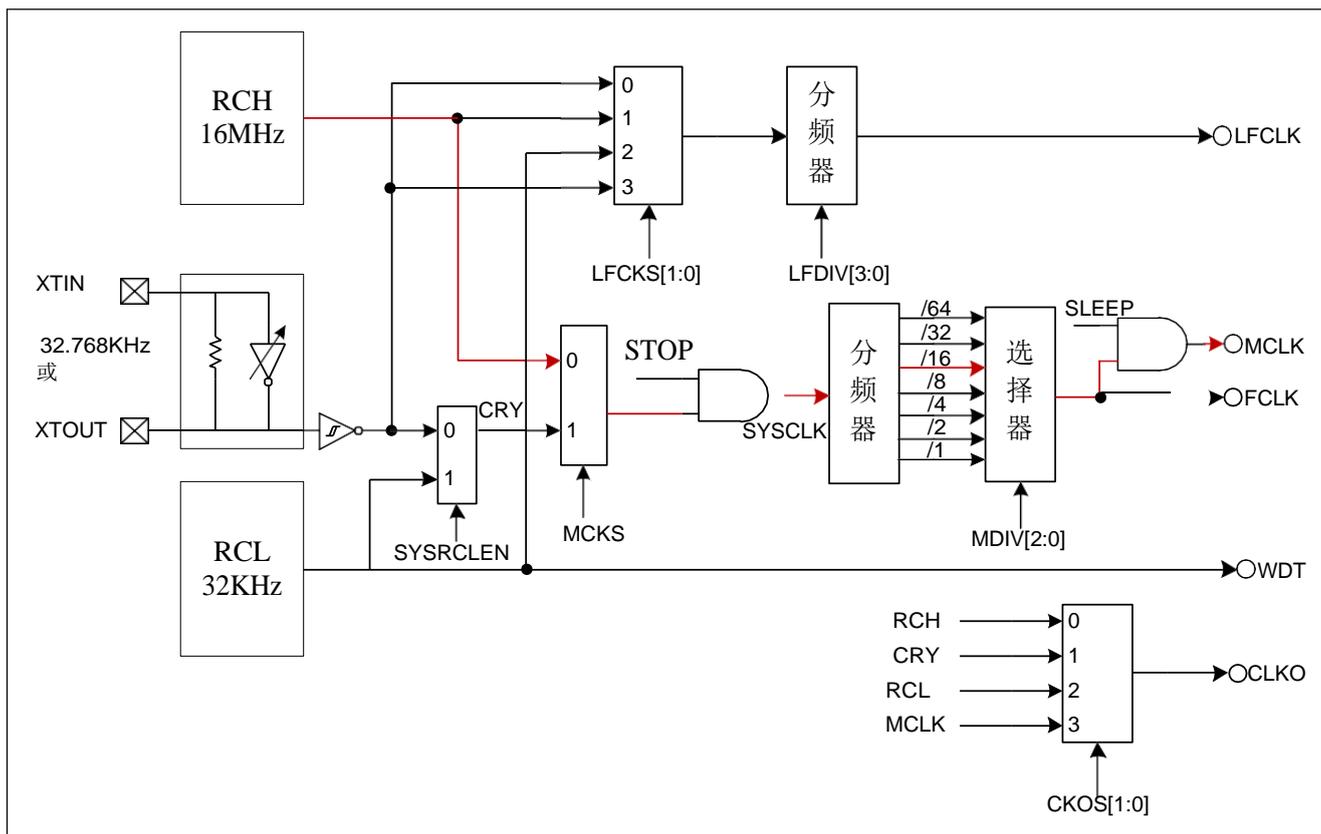


图 8 时钟系统结构

提示：红线表示系统时钟的默认路径

上图中部分时钟名解释如下：

- SYSCLK** CPU 的时钟源，来自 RCH、CRY 或者 RCL，分频后供给 MCLK/FCLK。
- MCLK** CPU 时钟，SLEEP 模式下该时钟停止，本文中提到的系统时钟也指该时钟。
- FCLK** 与 MCLK 时钟频率相同，但是在 SLEEP 模式下仍继续工作。FCLK 主要供给 SLEEP 模式需要工作的外设模块，如中断控制系统、T0、T1 等各个模块的时钟单独可控制。
- LFCLK** 低频时钟，给 WT 提供时钟。

6.4 管脚设置

与时钟系统复用的外部管脚有 3 个，其配置如下表：

表 12 时钟系统管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
OSCI	I	外部晶振输入脚	P2.0	CRYIOEN (91H.3) 清 0。
OSCO	O	外部晶振输出脚	P2.1	CRYIOEN (91H.3) 清 0。
CLKO	O	时钟输出管脚	P1.1	CKTE (FFAF.4 置 1) CKOS (FFAF.1, FFAF.0.) 00: RCH; 01: CRY; 10: RCL; 11: MCLK;

6.5 寄存器说明

时钟管理模块相关寄存器如下：

时钟系统相关寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
MCKSET	系统时钟设置寄存器	×	R/W	00u0_1000B	91H
WPKEY	写保护控制寄存器	×	R/W	uuuu_uuuuB	92H
STOPCFG	停机模式配置寄存器	×	R/W	u001_1u0uB	FFA0H
SYSCFG	系统配置寄存器	×	R/W	1000_0011B	FFA2H
LFCSCON	低频时钟源控制寄存器	×	R/W	00u0_0000B	FFEEH
RCLTRIM	RCL 频率校准寄存器	×	R/W	uuxx_xxxxB	FFB1H
RCHTRIM	RCH 频率校准寄存器	×	R/W	uuxx_xxxxB	FFF4H
TESTCON	测试控制寄存器	×	R/W	uuuu_u000B	FFAFH

时钟管理模块寄存器详细说明如下：
系统时钟设置寄存器 MCKSET^{注1} (91H) (WPKEY 保护)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	OSTS[1:0] ^{注2}		MDIV[2]	CRYEN	CRYIOEN	MCKS ^{注3}	MDIV [1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	1	0	0	0
提示:	— : 未实现; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7~Bit6 **OSTS[1:0]:** 外部晶振稳定时间选择位。
 对于高频晶振 (CRYCFG=1) :
 00: 外部晶振起振稳定时间为 $2^{15} \times T_{CRY}$ ^{注4} (默认)。
 01: 外部晶振起振稳定时间为 $2^{14} \times T_{CRY}$ 。
 10: 外部晶振起振稳定时间为 $2^{13} \times T_{CRY}$ 。
 11: 外部晶振起振稳定时间为 $2^{12} \times T_{CRY}$ 。对于低频晶振 (CRYCFG=0) :
 00: 外部晶振起振稳定时间为 $2^{13} \times T_{CRY}$ (默认)。
 01: 外部晶振起振稳定时间为 $2^{12} \times T_{CRY}$ 。
 10: 外部晶振起振稳定时间为 $2^{11} \times T_{CRY}$ 。
 11: 外部晶振起振稳定时间为 $2^{10} \times T_{CRY}$ 。

Bit 5 **MDIV[2]:** 系统时钟 MCLK 频率选择位。
 与 MDIV[1:0]结合使用。

Bit4 **CRYEN:** CRY 使能位
 1: CRY 使能
 0: CRY 关闭 (默认)。

Bit3 **CRYIOEN:** 外部晶振管脚复用使能位。
 0: P2.0/P2.1 复用作 OSCI/OSCO。
 1: P2.0/P2.1 用作 GPIO (默认)。

Bit2 **MCKS:** 系统时钟源选择位。
 0: 系统时钟选择 RCH (默认)。
 1: 系统时钟选择 CRY 或者 RCL。(由 SYSRCLEN 决定)

Bit1~Bit0 **MDIV[1:0]:** 系统时钟 MCLK 频率选择位, 与 MDIV[2](Bit5)结合使用。
 000: MCLK 为 SYSCLK 的 16 分频 (默认)。
 001: MCLK 为 SYSCLK 的 4 分频。
 010: MCLK 为 SYSCLK 的 2 分频。

- 011: MCLK 为 SYSCLK。
 100: MCLK 为 SYSCLK 的 32 分频。
 101: MCLK 为 SYSCLK 的 64 分频。
 110: MCLK 为 SYSCLK 的 8 分频。
 111: MCLK 为 SYSCLK 的 8 分频。

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
注 2:	外部晶振使能后, 经过 OSTC 设置的延时后释放。以 4MHz 晶振为例, 开启振荡后默认需要计数满 2^{15} 周期, 即 $0.25\mu\text{s} \times 2^{15} \approx 8\text{mS}$ 延时后该时钟才生效。考虑到晶振起振到真正开始有效计数还有一段时间, 实际上从开启晶振到提供有效时钟间隔要大于 8mS。
注 3:	MCKS(bit2)读出来的值反映 RCH 与 CRYH 的实际切换状态。该位置 0 或 1 后一般需要等目标时钟稳定并切换成功后才能真正读出 0 或 1。
注 4:	T_{CRY} 为外接晶振的周期。

写保护控制寄存器 WPKEY^① (92H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WPKEY[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	U	U	U	U	U

系统关键寄存器的写入操作硬件上采取了写保护控制。要修改系统关键寄存器, 必须先向 WPKEY 寄存器写入 37H, 使写保护解除, 然后要立即向系统关键寄存器写入数据, 否则延迟 3 个指令周期, 写保护就会重新生效, 从而禁止修改系统关键寄存器。

注 1:	有写保护功能的寄存器包括: MCKSET (91H) 和 PCON (87H)。
------	--

系统配置寄存器 SYSCFG^① (FFA2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	RSTCFG	BYPASS	CRYCFG	WDTCFG	CRY_CG[2:0]			RCLCFG
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	0	0	0	1	1	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7 RSTCFG: 外部复位管脚配置位。

- 0: P3.0 用作 GPIO 管脚。
 1: P3.0 用作外部复位管脚 (默认)。

Bit6 BYPASS: 晶振旁路;

- 0: 晶振旁路无效;
 1: 晶振旁路, 时钟直接由 OSCI 输入;^②

Bit5 CRYCFG: 外部晶振配置。

- 0: 外部晶振是低振;
 1: 外部晶振是高振;

Bit4 WDTCFG: 停机模式下 OscWdt 时钟控制位。

- 0: 停机状态下时钟关闭 (默认)。
 1: 停机状态下时钟开启。

Bit3-Bit1 CRY_CG[2:0]: 外部晶振增益选择位。

增益从高到低配置为: 111B > 110B > > 000B, 默认最大增益。增益越大, 晶振越容易起振电流也越大。可根据需要选择不同的晶振增益。

- Bit0** RCLCFG: 停机、睡眠模式下 RCL 时钟控制位。
 0: 停机/睡眠状态下 RCL 时钟开启。
 1: 停机/睡眠状态下 RCL 时钟关闭 (默认)。

注 1:	该寄存器除 Bit4 (WDTCFG), Bit3~Bit1 外, 其它位在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。
注 2:	在 BYPASS 情况下, 从外部输入时钟, 也需要使能 CRYEN

停机模式配置寄存器 STOPCFG^{注1} (FFA0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	LPLVDWAKEN	LPLVDRSTCFG	LPLVDCFG	LVRCFG	-	CRYLCFG	-
访问权限:	R-0	R/W	R/W	R/W	R/W	R-0	R/W	R/W
复位值:	U	0	0	1	1	U	0	U
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit6** LPLVDWAKEN: 停机模式下低功耗 LVD 的唤醒功能配置位。
 0: LPLVD 不能唤醒停机模式 (默认)。
 1: LPLVD 可以唤醒停机模式。

- Bit5** LPLVDRSTCFG: 停机模式下低功耗 LVD 的复位功能配置位。
 0: LPLVD 在 STOP 模式下不具有复位功能 (默认)。
 1: LPLVD 在 STOP 模式下作为复位源。

- Bit4** LPLVDCFG: 停机模式低功耗 LVD(LPLVD)配置位。
 0: 停机模式下, LPLVD 由软件控制。
 1: 停机模式下, LPLVD 关闭 (默认)。

- Bit3** LVRCFG: 停机模式下电源配置位。
 0: 停机模式下, LVR/LVD 由软件控制。
 1: 停机模式下, LVR/LVD 关闭 (默认)。

Bit2 保留

- Bit1** CRYLCFG: 停机模式下, 低频 CRYRCL 配置位。
 0: 停机模式下, 低频 CRY 由 CRYEN 控制 (默认)。
 1: 停机模式下, 低频 CRY 关闭。

Bit0 保留

注 1:	该寄存器在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。
------	---------------------------------------

低频时钟源控制寄存器 LFCSCON (FFEEH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	LFCKS[1:0]		—	SYSRCLEN ^{注1}	LFDIV[3:0]			
访问权限:	R/W	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	U	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7~Bit6** LFCKS[1:0]: 低频时钟源选择位。
 00: CRY。
 01: RCL。
 10: RCH。

	11: CRY。
Bit5	保留
Bit4	SYSRCLEN: 系统时钟 SYSCLK 选择。 0: 系统时钟在 CRY 和 RCH 之间切换 (默认)。 1: 系统时钟在 RCL 和 RCH 之间切换。 在时钟切换之前, 需要先配置好该位。
Bit3~Bit0	LFDIV[3:0]: 低频时钟分频选择位。 0000: /1。 0001: /2。 0010: /4。 0011: /8。 0100: /16。 0101: /32。 0110: /64。 0111: /128。 1000: /256。 1001: /512。 其它: /1。

注 1: 写 SYSRCLEN 时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。

RCL 频率调节寄存器 RCLTRIM^{注 1} (FFB1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	RCLTRIM[5:0]					
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	u	u	x	x	x	x	x	x
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; X: 复位值由 Flash 信息区配置字节决定;							

Bit7~Bit0

RCLTRIM[5:0]: RCL 输出频率校准值。

RCLTRIM[5:0]	输出频率
111-1111	输出频率最高
...	
011-1111	默认频率中间值
...	
000-0000	输出频率最低

注 1:	出厂前会对 RCL 校准, 然后将校准后的值写入 Flash 信息区配置字节中。复位发生时 TRIM 的值自动从 Flash 信息区配置字节中载入, 程序在应用过程中, 可以通过修改该寄存器的值, 动态调整 RCL 的频率。 全 1 时输出频率最高 (约 48kHz/TT/3.3v), 全 0 时为频率最低值 (约 25KHz/TT/3.3v)。校准值从 Flash 信息区中取出。
注 2:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。

RCH 频率调节寄存器 RCHTRIM^① (FFF4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
--------	------	------	------	------	------	------	------	------

位 定义:	RCHTRIM[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	X	X	X	X	X	X	X	X
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; X: 复位值由 Flash 信息区配置字节决定;							

Bit7~Bit0

RCHTRIM[7:0]: RCH 输出频率校准值。

RCHTRIM[7:0]	输出频率
1111-1111	输出频率最高
...	
0111-1111	默认频率中间值
...	...
0000-0000	输出频率最低

注 1:	出厂前会对 RCH 校准, 然后将校准后的值写入 Flash 信息区配置字节中。复位发生时 TRIM 的值自动从 Flash 信息区配置字节中载入, 程序在应用过程中, 可以通过修改该寄存器的值, 动态调整 RCH 的频率
注 2:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。

测试控制寄存器 TESTCON (FFAFH) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	LVRTE	—	CKTE	CPOEN1	CPOEN0	CKOS[1:0]	
访问权限:	R-0	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	0	U	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; C (上标): 特殊复位源							

- Bit7 保留位。
- Bit6 LVRTE:测试模式下 LVR 使能位;
0: 使能。
1: 禁止。
- Bit5 保留位。
- Bit4 CKTE:测试时钟输出引脚选择。
0: 无效。
1: P1.1 输出
- Bit3 CPOEN1:比较器 1 输出使能位;
0: 禁止输出;
1: 允许输出, IOMUX0.1 决定输出引脚位置。
- Bit2 CPOEN0: 比较器 0 结果输出使能位。
0: 禁止输出。
1: 允许输出, IOMUX0.0 决定输出引脚位置。
- Bit1~Bit0 CKOS[1:0] : 时钟 CLKO 输出选择位。
00: 输出 RCH。
01: 输出 CRY。
10: 输出 RCL。

11: 输出系统时钟 MCLK。

注 1: 写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。

时钟门控寄存器 PCGC0 (FF60H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADGC	SPIGC	UART1GC	UART0GC	KBIGC	T2GC	IAPGC	T01_GC
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7 ADGC: ADC 时钟门控位。
 0: ADC 时钟禁止。
 1: ADC 时钟使能。(默认)
- Bit6 SPIGC: SPI 时钟门控位。
 0: SPI 时钟禁止。
 1: SPI 时钟使能(默认)。
- Bit5 UART1GC: UART1 时钟门控位。
 0: UART1 时钟禁止。
 1: UART1 时钟使能(默认)。
- Bit4 UART0GC: UART0 时钟门控位。
 0: UART0 时钟禁止。
 1: UART0 时钟使能(默认)。
- Bit3 KBIGC: KBI 时钟门控位。
 0: KBI 时钟禁止。
 1: KBI 时钟使能(默认)。
- Bit2 T2GC: T2 时钟门控位。
 0: T2 时钟禁止。
 1: T2 时钟使能(默认)。
- Bit1 IAPGC: IAP 模块时钟门控位。
 0: IAP 时钟禁止。
 1: IAP 时钟使能(默认)。
- Bit0 T01_GC: T01 时钟门控位。
 0: T01 时钟禁止。
 1: T01 时钟使能(默认)。

时钟门控寄存器 PCGC1 (FF61H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	CACHAGC	T3GC	-	I2CGC	WWDTGC
访问权限:	R-0	R-0	R-0	R/W	R/W	R-0	R/W	R/W
复 位 值:	U	U	U	0	1	U	1	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit5 保留。

Bit4	高速缓存 Cache 时钟门控位。 ^{注1} 0: Cache 时钟禁止(默认)。 1: Cache 时钟使能。
Bit3	T3GC: 高级定时器时钟 T3 门控位。 0: 高级定时器 T3 时钟禁止。 1: 高级定时器 T3 时钟使能(默认)。
Bit2	保留
Bit1	I2CGC: I2C 模块时钟门控位。 0: I2C 时钟禁止。 1: I2C 时钟使能(默认)。
Bit0	WWDTGC: WWDT 模块时钟门控位。 0: WWDT 时钟关闭(默认)。 1: WWDT 时钟使能。

注 1:	使能 Cache 和 WWDT 前一定要把相应的门控时钟位使能。
------	----------------------------------

6.6 功能描述

6.6.1 时钟源

QF08L18 系统中, 时钟系统包含 3 个时钟源: 外部晶振 CRY (含高频和低频); 内部高精度 16MHz RC 振荡 RCH; 内部低频 32KHz RC 振荡 RCL。

6.6.1.1 内部高频 RCH 振荡

内部 RCH 振荡提供 16MHz 的时钟, 该振荡在出厂时会校准, 但是频率随工作电压/温度/工艺离散性有一定变化, 因此在需要特别高精度的应用中不建议使用该时钟作为 CPU 时钟源。

内部 RCH 振荡没有专门的寄存器使能位, 上电后默认开启, 计数 256 个周期后切换给 MCLK, 默认是 RCH 的 16 分频。当成功切换到外部晶振 (读 MCKS (91H.2) 为 1) 时自动关闭。

SLEEP 模式下, RCH 继续运行。

STOP 模式下, RCH 停止运行。

6.6.1.2 外部晶振

外接晶振包含高频和低频, 两者共用两个管脚, 由信息区配置: 当 CRYCFG 为 0 时选择低频晶振, 外接 32.768KHz 晶振, 当 CRYCFG 为 1 时选择高频晶振, 外接 4~16MHz 晶振。尽管 RCH 能满足多数低成本系统的时钟需求, 但是在下面两种应用中需要外接晶振:

- ✧ 应用所需系统时钟非 1M/2M/4M/8MHz/16Mhz。RCH 只能输出相对稳定的 16MHZ 时钟, 可选择 1/2/4/8/16/32/64 分频。如果系统需要其他时钟频率的话, 则必须外接晶振。
- ✧ 如果系统对于时钟的精度要求特别高, RCH 不能满足要求时, 须外接高频晶振以满足频率精度需求。使用外部晶振时, 将占用两个 IO 口: P2.0/XTIN 和 P2.1/XOUT, 由 CRYIOEN 来选择是用作 GPIO 还是外部晶振脚。当 CRYIOEN 置 0 时, 用作外部晶振脚, 此时如果 CRYEN 为 1 则开启外部晶振, 如果 CRYEN 为 0 则 XTIN 被下拉, XTOUT 被上拉。

SLEEP 模式下, 高频或低频晶振继续运行。

STOP 模式下, 高频晶振停止, 低频晶振在 CRYLCFG 为 0 时可继续运行, CRYLCFG 为 1 时停止。

考虑到不同工作环境下, 电压/温度/晶振频率/类型等的差异, 晶振的起振时间也将不同。可靠起见, 晶振起振后要经过适当的延时才会释放时钟给系统使用。本电路中为外部振荡添加了晶振稳定延时计数器,

延时时间通过 OSTS[1:0] 设置。高频晶振下，默认计数 215 个周期后才会释放外部振荡时钟。如频率为 4MHz 的振荡，将增加约 8mS 的延时。

6.6.2 内部低频 RCL 振荡

RCL 振荡没有专门的寄存器使能位，上电后默认开启，可以给 WDT、WT 提供时钟，典型频率为 32KHz。

RCL 由 RCLCFG 控制，为 0 时，RCL 始终开启；为 1 时，RCL 由工作模式决定：运行模式下始终开启；SLEEP/STOP 模式下自动关闭。

上面这三个时钟源（RCH/CRY/RCL）连同系统主时钟 MCLK 可通过 TESTCON 寄存器设置输出到管脚。这样，既方便测试，又能为外围电路提供时钟源。

6.6.3 系统时钟配置

外部晶振 CRY、内部 RCL 和内部高频 RCH 都可以作为系统时钟源。QF08L18 的系统时钟经过 3 级选择产生（图 4-1），第一级在 CRY 和 RCL 之间进行选择(SYSRCLEN)，第二级通过 MCKS 位选择 RCH 或第一级的选择结果(RCL/CRY)，输出时钟 SYSCLK 再经过 MDIV[2:0]选择合适的分频系数然后供给 CPU 核。分频比有 7 种可选：1/2/4/8/16/32/64，复位后默认系统主时钟 RCH/16。

6.6.4 系统时钟切换时序

根据不同的应用，主系统时钟会在 RCH 与 CRY 之间切换（RCH 与 RCL 之间切换，只需要将 SYSRCLEN 设置为 0，然后不使能 CRY，其余过程与 RCH 切换到 CRYH 一致）。

6.6.4.1 RCH 切换到 CRYH

电路上电后，RCH 默认打开，SYSCLK 来自 RCH。如果需要切换到外部振荡，有两种常用的切换流程。

✧ 最直接的切换过程：通过写寄存器 MCKSET，将外部晶振使能位 CRYEN（若 RCH 与 RCL 切换，以配置 SYSRCLEN 替换这个步骤）和时钟源选择位 MCKS 置 1，切换时序见图 4-2。

由于 CRYEN 和 MCKS 同时置 1，考虑到晶振需要一段时间起振稳定，因此只有 OSTS 设置的晶振稳定延时结束后才能切换。稳定时间结束前，系统时钟依然来自 RCH。CRY 稳定时间结束后，切换到 CRY 供给系统时钟。

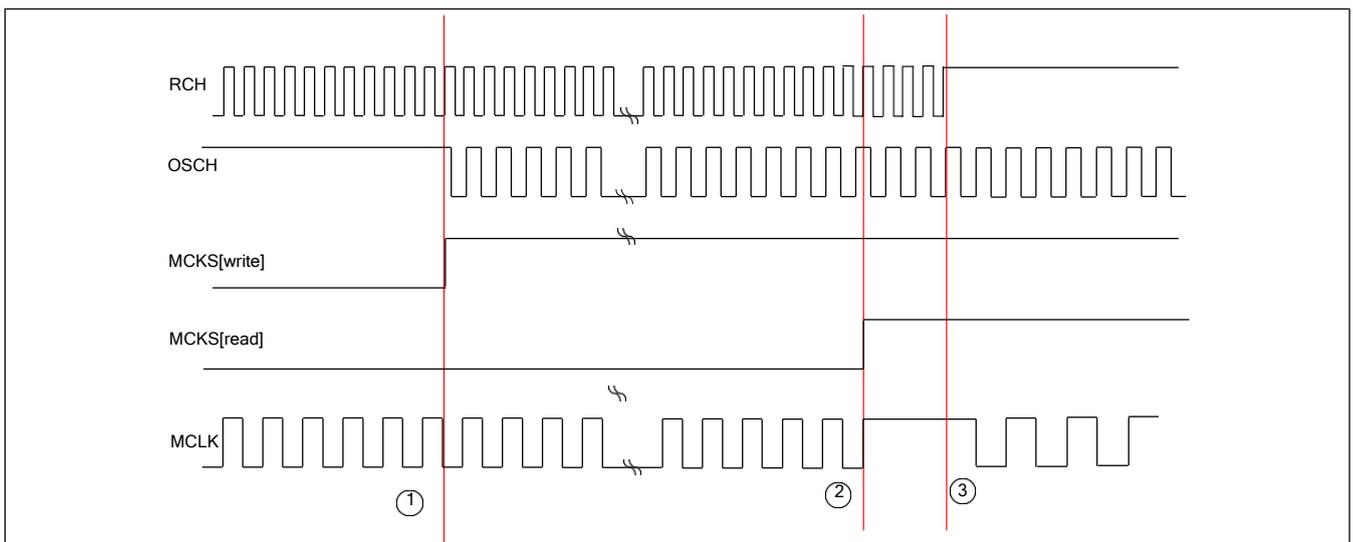


图 9 RCH 切换到 CRYH 时序

图 1 中①表示写入 MCKS 位，②表示 CRYH 时钟稳定（OSTS 设置的时间结束），下一节拍启动切换。③表示系统时钟切换到 CRYH。①和②之间为等待外部振荡稳定的延时时间，②和③之间为两个时钟交互

的区域，该时间最长为 1 个 RCH 周期加上 3 个 CRYH 周期。

注 1: 示意图选择 SYSCLK 的 2 分频作为系统时钟。

✧ 更可靠的切换过程：先开启外部振荡（CRYEN=1），利用软件控制延时时间（至少要大于 OSTS 设定的时间），确认外部振荡稳定后写 MCKS 位为 1 进行切换。

由于晶振稳定时间最大为 215 个 CRY 周期（对高频晶振来说），在一些特殊情况下可能无法满足晶振稳定时间的要求。该切换方式弥补了硬件延时的不足，进一步提高了系统的可靠性。

6.6.4.2 CRY 切换到 RCH

如果需要将系统时钟源从 CRYH 切换到 RCH，只需将 MCLKSET 寄存器的 MCKS 位置 0。由于主时钟工作在外部振荡时，RCH 强制关闭，因此需要等待 RCH 启动（数十 uS）后再经过 256 个周期的延时，等待过程中电路仍然工作在 CRY。等到 RCH 稳定后，开始切换。如果读 MCKS 位为 0，表示切换已完成。然后才能设置 CRYEN=0，关闭外部振荡。否则说明时钟切换未完成，禁止关闭外部振荡。时序见下图：

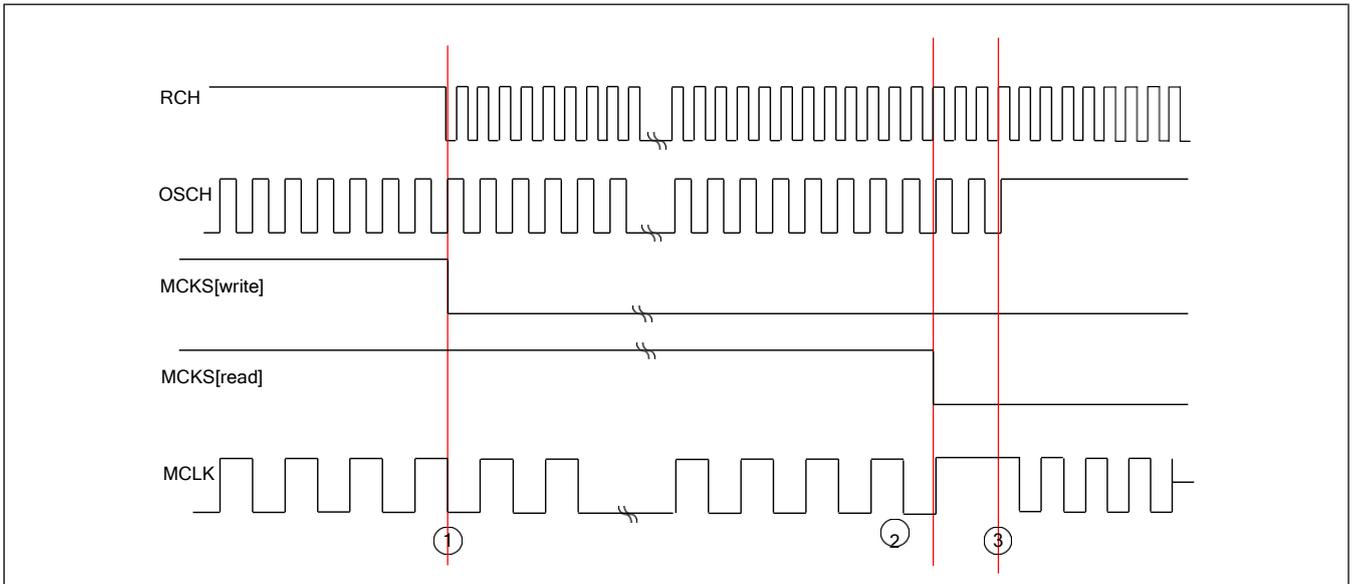


图 10 CRYH 切换到 RCH 时序

图 10 中①表示写入 MCKS 比特位；②表示 RCH 振荡稳定，下一个时钟开始切换；③表示时钟已经切换到 RCH。①和②之间为等待外部振荡稳定的延时时间，②和③之间为两个时钟交互的区域，该时间最长为 1 个 CRYH 周期加上 3 个 RCH 周期。

注 1: 示意图中 2 个时序切换示例图的 MCLK 为所选时钟源的 2 分频。

6.7 使用提示

QF08L18 的时钟配置较灵活，不同的应用有不同的时钟方案。本小节从用户程序到板级以及可靠性等多个角度阐述时钟系统设计的提示。

- 1) 写 MCKS 位可进行时钟切换，但是只有时钟切换成功后，读该寄存器位才表示当前时钟的准确状态。例如 RCH 向 CRYH 切换，写 MCKS 为 1，在 CRYH 没有稳定前读 MCKS 结果都是 0。同样从外部振荡向内部 RCH 切换时也是如此。
- 2) MCLK 来自外部时钟源 CRYH 时，则无法通过软件关闭该振荡器，只有进入 STOP 模式才能强制关掉晶振。系统时钟源重新切换到 RCH 后，通过设置 CRYEN=0 可关闭外部振荡。
- 3) 为确保内部 RCH 的精度和稳定性，应用时请在 VDD 与 GND 之间并联一个 100nf 以上容量的电容，且电容两个管脚尽可能分别靠近 VDD 和 VSS 端（电容管脚到 VDD 和 VSS 的走线长度之和以小于 1cm 为佳）；
- 4) 外部晶振的配置说明

典型配置如下：

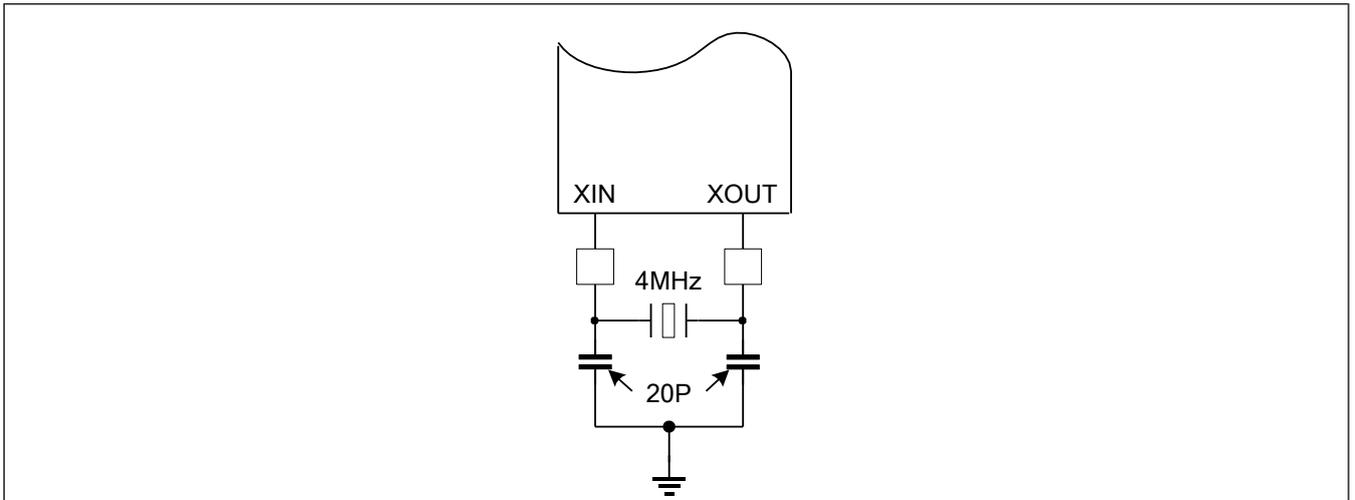


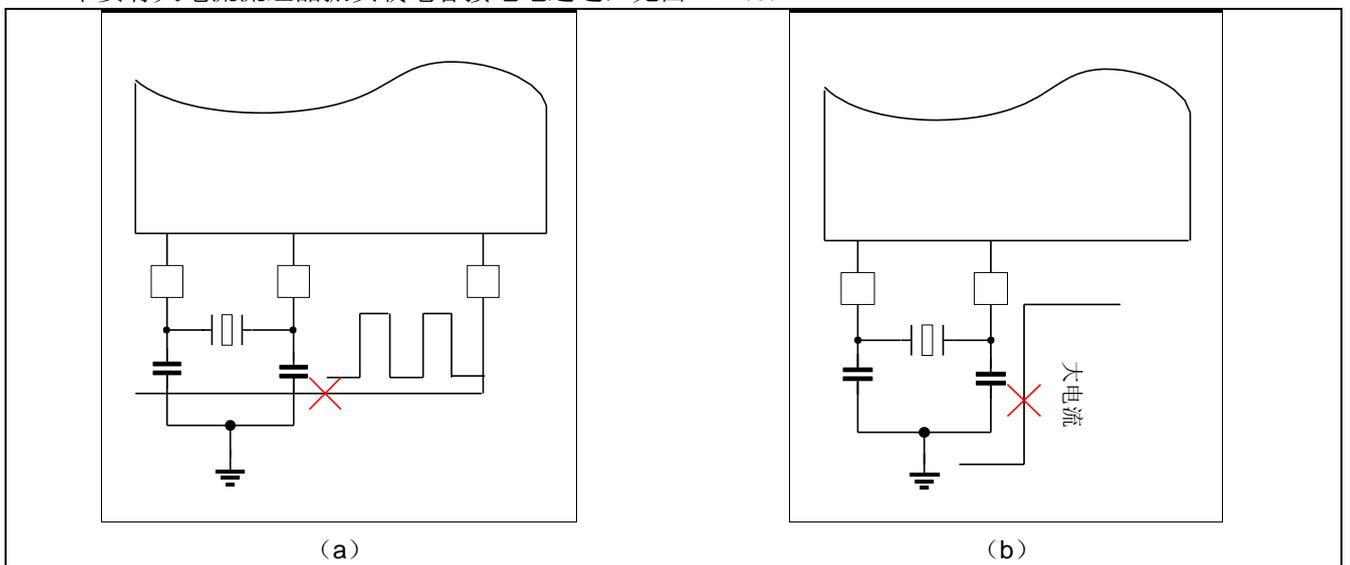
图 11 外部晶振典型配置

4MHz 晶振外部负载电容可选为 20~50PF 之间。外部晶振频率越高，建议负载电容适当接小些，以缩短起振时间。

无论采用何种外部晶振，用户都需要仔细评估。即使同一供应商提供的晶振也可能存在批次性问题。所以建议选择好的供应商，以获取高品质晶振。

使用外部晶振要注意：

- ✧ PCB 走线尽可能短而粗，晶振相关器件（两个电容一个晶振）尽量用地包围，把外部干扰降到最低。
- ✧ 晶振电路附近尽量不要走高频信号，见图 12（a）。
- ✧ 晶振电路附近尽量不要有大电流回路，见图 12（b）。
- ✧ 不要有大电流流经晶振负载电容接地地通道，见图 12（c）。



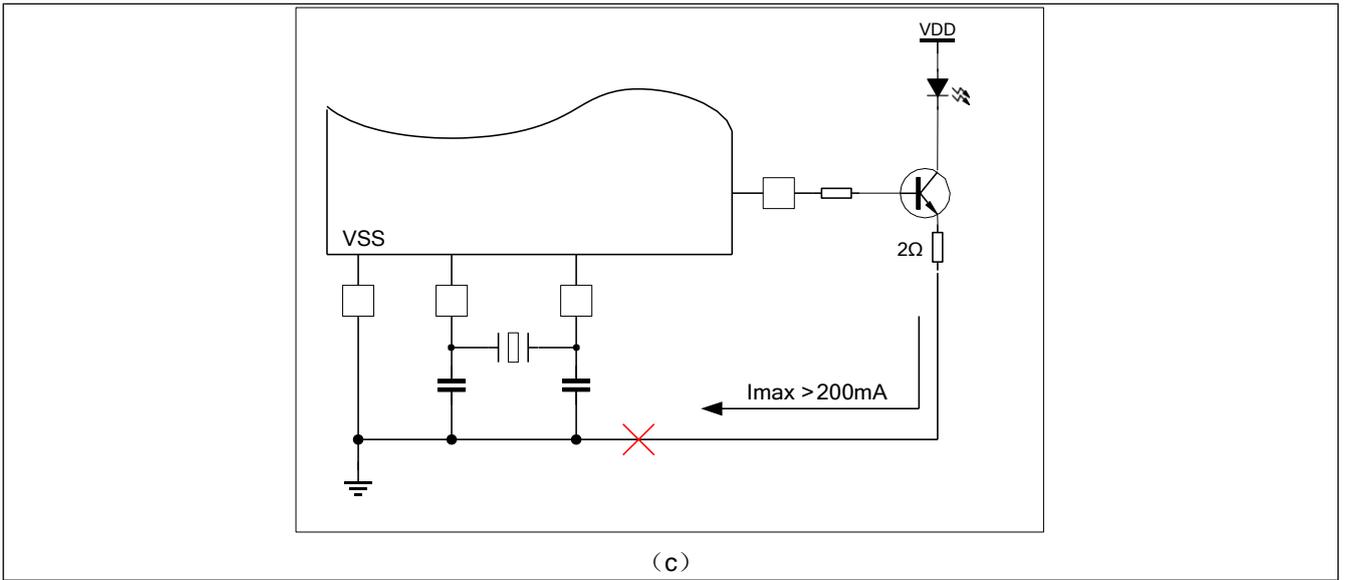


图 12 外接晶振不恰当走线

7. 复位系统

QF08L18 有 7 个复位源，分别是：

- ◇ 外部管脚复位 ERST
- ◇ 上电复位 POR
- ◇ 低压复位 LVR
- ◇ 看门狗 WDT 复位 WDTR
- ◇ 窗式看门狗 WWDT 复位 WWDT
- ◇ 软件指令复位 SOFTR
- ◇ Boot 模式切换复位 BRST

7.1 基本特征

QF08L18 中的复位系统具备以下特征：

- ◇ 具有丰富的复位源，共有 7 种复位。
- ◇ 外部复位/LVR/POR 三种复位具有去抖动功能。
- ◇ STOP 模式下 LVR 是否工作可配置。
- ◇ STOP 模式下可以切换到低功耗 LPLVD 作为复位源。
- ◇ Boot 模式切换复位可以用在 boot 模式和功能模式之间的切换。

7.2 工作模式

上电后，POR 默认开启，外部复位、LVR 和 Boot 模式切换复位 BRST 默认开启，WDT 默认关闭，WWDT 复位默认关闭，软件复位默认关闭。

运行模式下，POR 无效，软件复位有效，Boot 模式切换复位有效。P3.0 如果配置成外部复位，则外部复位有效；如果配置成 GPIO，则外部复位无效。低功耗 LPLVD 无效，LVR，WDT，WWDT 是否有效由软件控制。

SLEEP 模式下，POR 有效，WWDT 复位、软件复位和 Boot 模式切换复位无效，WDT 复位由软件控制。P3.0 如果配置成外部复位，则外部复位有效；如果配置成 GPIO，则外部复位无效。LVR 是否有效由软件控制，低功耗 LPLVD 无效。

STOP 模式下，POR 有效、软件复位、Boot 模式切换复位和窗式看门狗 WWDT 无效。P3.0 如果配置成外部复位，则外部复位有效；如果配置成 GPIO，则外部复位无效。LVR、WDT 复位、LPLVD 复位是否有效由软件控制。

表 13 复位情况工作表

模式	POR	LVR	ERST	WDTR	WWDT	BRST	LPLVD	SOFTR
上电后	√	√	√	×	×	√	×	×
RUN	×	LVREN=1:√	RSTCFG=1:√	清 WDT:√	WDGA=1: √	√	×	√
		LVREN=0:×	RSTCFG=0:×	否则:×	否则:×			
SLEEP	√	LVREN=1:√	RSTCFG=1:√	WDTCFG=1:√	×	×	×	×
		LVREN=0:×	RSTCFG=0:×	WDTCFG=0:×				
STOP	√	LVRFCFG=1:×	RSTCFG=1:√	WDTCFG=1:√	×	×	LPLVDCFG=1: ×	×
		LVRFCFG=0, 由 LVREN 决定	RSTCFG=0:×	WDTCFG=0:×			LPLVDCFG=0: 由LPLVDEN决 定	

注：“√”表示开启，“×”表示关闭。

7.3 功能框图

复位系统结构如下图：

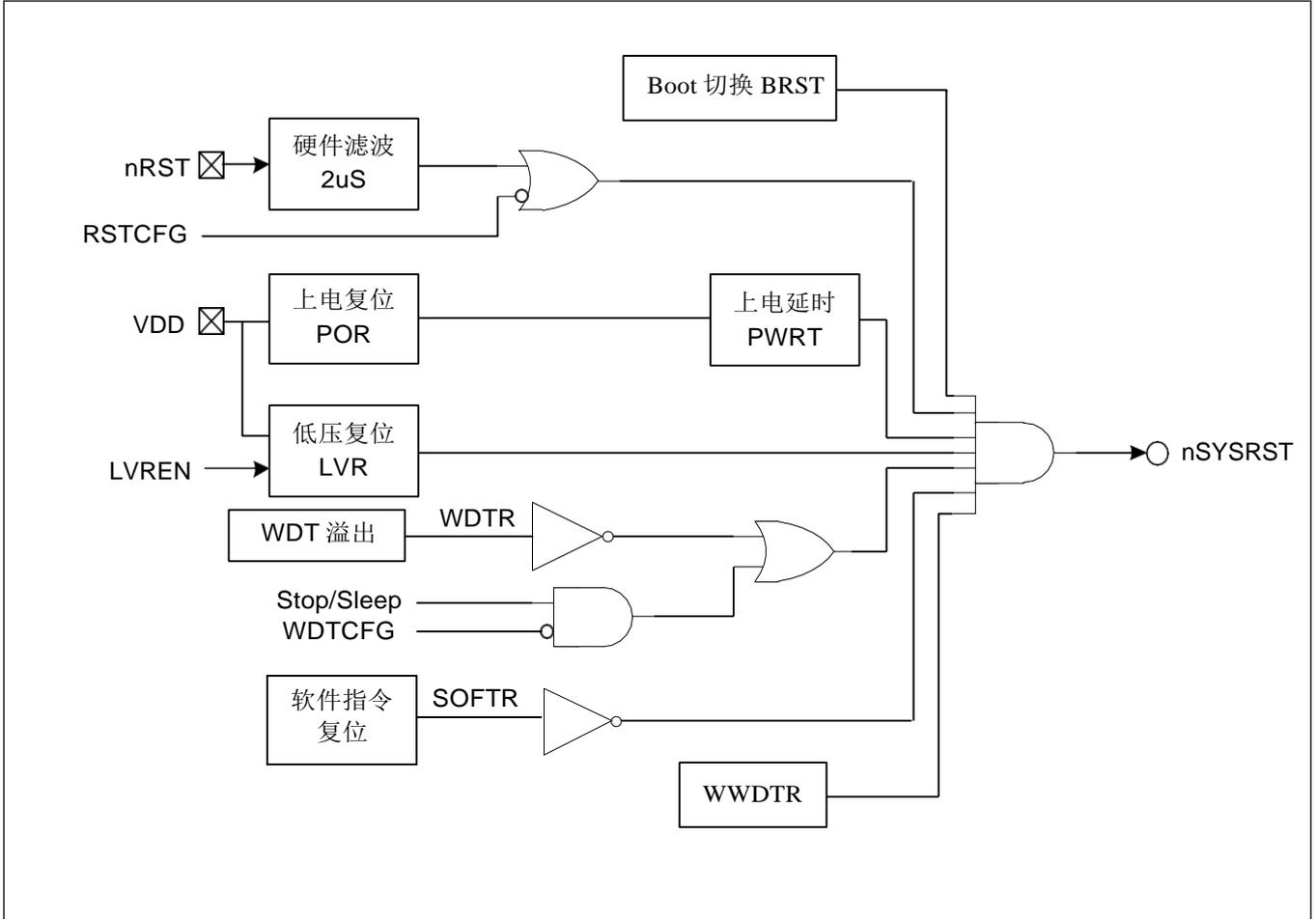


图 13 复位简化逻辑

上图最后输出一个全局复位信号 nSYSRST，低电平有效。并非所有的寄存器都受该全局复位信号影响，该电路中有些特殊的寄存器复位源并非来自该信号，而是前级就产生了。

7.3.1 POR 复位时序

不同的复位源，触发条件与释放条件略有不同。对于 POR 复位，为了保证电路开始工作时电源电压已经进入安全工作区，QF08L18 对 POR 复位增加了一个上电复位延时定时器（PWRT）。如图 14 所示，该定时器采用内部低频 RC 振荡时钟作为计数时钟源，POR 复位时，将复位 PWRT。POR 复位释放后，计数器开始计数，计满 518 个周期后溢出。按照典型 RCL 时钟频率为 32KHz 计算，PWRT 为上电复位 POR 提供一个约 25ms^①（标称值）的固定延时。

注 1：由于上电时，RCL 频率较低，所以实际延时值要 >25ms。

复位后 RCL/RCH 都是使能的，低压复位 LVR 模块默认也是开启的。

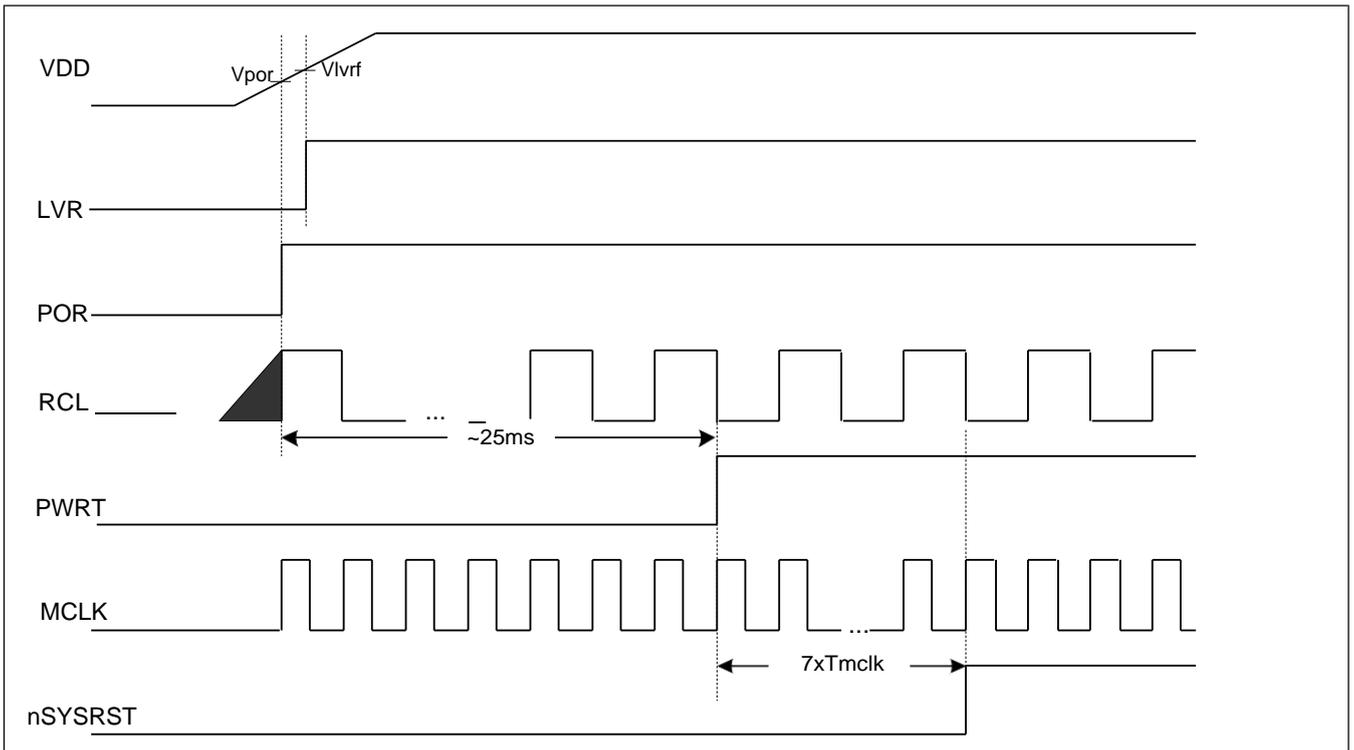


图 14 上电复位典型时序

7.3.2 外部复位时序

P3.0/nRST 默认用作外部复位脚，复位输入要经过去抖动电路，典型工作条件下（3V@25°C）能过滤掉宽度约 5 μ S 的脉冲。上述参数会随电压、温度和工艺有很大偏差，外部复位脚输入波形如图 15 所示。

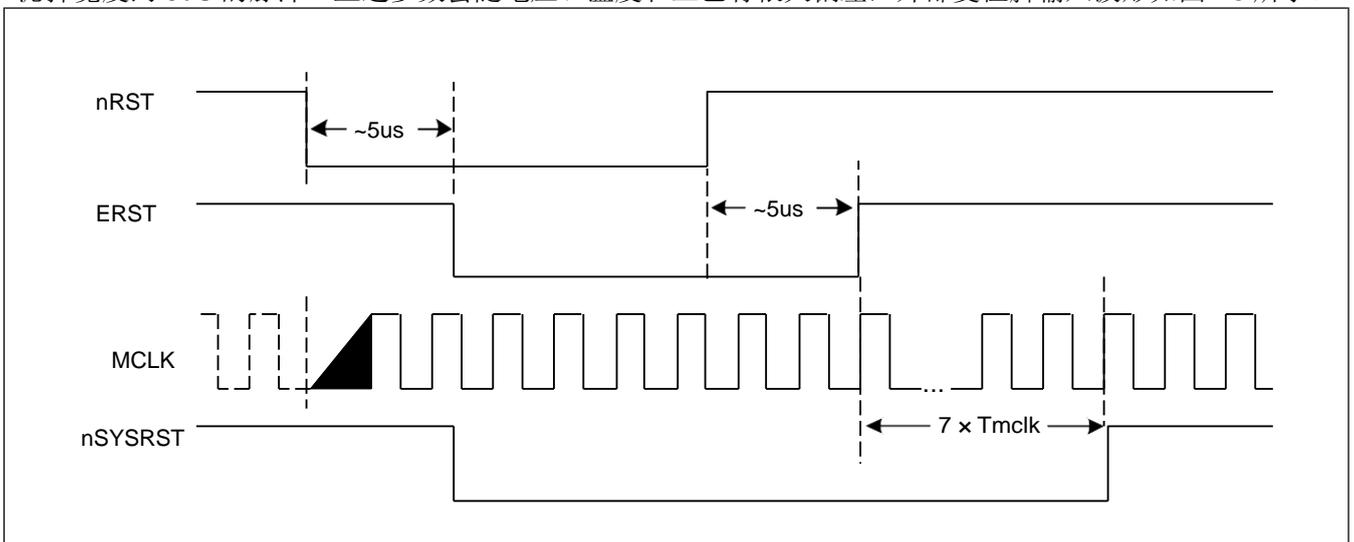


图 15 外部复位时序

7.3.3 LVR 复位时序

默认情况下，LVR 使能，如果检测到 VDD 低于低压复位检测点 Vlvrf 时，LVR 输出低电平，使电路进入复位状态。当 VDD 上升超过低压复位释放点 Vlvrr 时，释放复位状态。上电默认的释放电压为 2.0V，最低可以配置到 1.8V。

如果第一次低压复位延时未到又产生了第二次低压复位，那么整个复位过程重新开始。必须等待一个完整的延迟过程结束后内部电路才开始工作。

在低功耗情况下可以将 LVR 关闭，使用低功耗 LPLVD 作为复位源，LPLVD 只能在 STOP 模式下使用，并且 STOPCFG 寄存器的 FFA0H.5 被设置为 1；LPLVD 的复位时序与 LVR 一致。

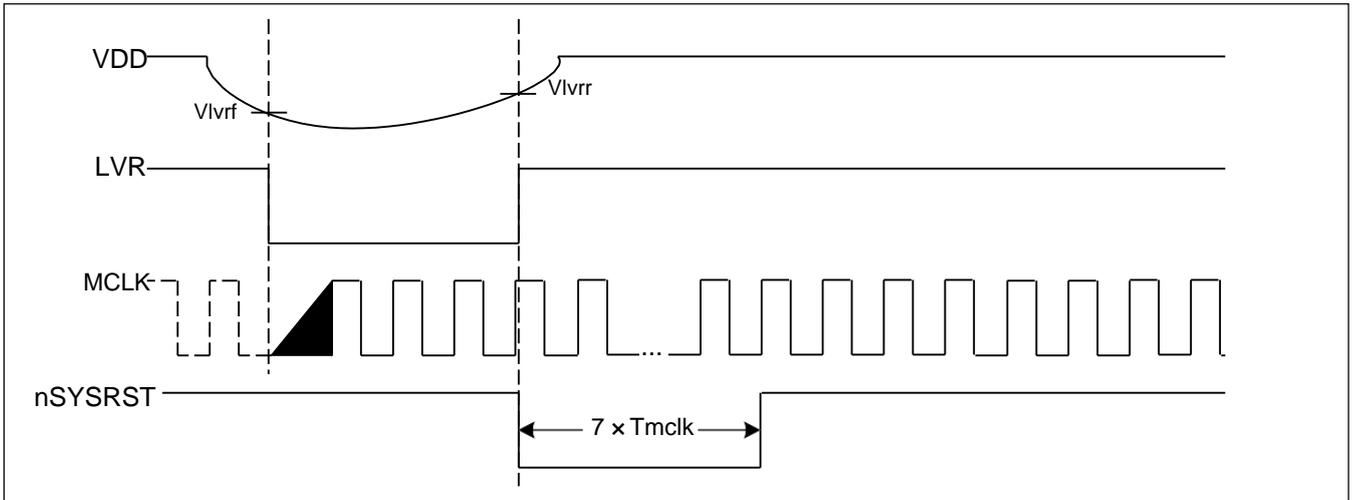


图 16 低压复位时序

7.3.4 WDT 复位和软件复位

这两个复位发生后经一段时间延迟并与 MCLK 两级同步后释放，程序指针跳转到 0000H 开始执行。看门狗复位的具体细节见“看门狗定时 WDT”章节。

7.3.5 WWDT 复位

窗式看门狗复位计时采用的是系统时钟，因此该复位一旦发生即可有效，两个时钟后复位释放，具体细节见“窗式看门狗 WWDT”章节。

7.3.6 Boot 模式切换复位 BRST

Boot 模式切换指令，允许软件复位整个系统类似于外部复位，初始化 MCU 为复位状态。Boot 模式切换复位，在 ISP 动作结束以后非常有。例如，如果通过 ISP 启动代码更新用户代码完成，Boot 模式切换复位重启 CPU 立即执行用户代码(BootSel 由 1 变为 0)，配置 BRST 位是设备复位之前执行的最后指令，必须和 BootSel 位一起配置，例程参见文档末代码示例。

7.4 寄存器说明

表 14 复位系统相关寄存器寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
RSTSRC	复位源标志寄存器	x	R/W	uuu0_0000B	A7H
CHIPCFG	芯片配置寄存器	x	R/W	0uuu_uuu0B	FFF5H

复位源标志寄存器 RSTSRC

名称/地址:	RSTSRC/A7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	LPLVDF	SOFTF	WDTF	LVRF	PORF	nRSTF
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	0c	0c	0c	0c	0c	0c

提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写; C (上标): 特殊复位源, 参见表 15 特殊复位源寄存器;
------	---

- Bit5 LPLVDF: 低功耗低压检测标志。
 0: 低压检测未触发。
 1: 低电压检测被触发 (触发电平可通过 LPLVDCON 设置), 可软件清零或被 POR 清零。
- Bit4 SOFTF: 软件复位标志位。
 0: 系统未发生软件复位。
 1: 系统发生软件复位, 可软件清零或被 POR 清零。
- Bit3 WDTF: 软件复位标志位。
 0: 未发生看门狗复位。
 1: 发生看门狗复位, 可通过清看门狗操作或 POR 清零。
- Bit2 LVRF: 低压复位标志。
 0: 低压复位未发生。
 1: 发生了低压复位, 可软件清零或被 POR 清零。
- Bit1 PORF: 上电复位标志位。
 0: 未发生上电复位。
 1: 发生上电复位, 需要软件清零。
- Bit0 nRSTF: 外部复位标志位。
 0: 没有发生外部复位。
 1: 发生了外部复位, 可软件清零或被 POR 清零。

芯片配置寄存器 CHIPCFG (FFF5H)

名称/地址:	CHIPCFG/FFF5H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BRST	-	-	-	-	-	-	BootSel
访问权限:	W/R	R-0	R-0	R-0	R-0	R-0	R-0	W/R
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现; U: 不受复位影响; R-0:只读, 读为 0;							

- Bit7 BRST: Boot 模式切换复位寄存器, 可以作为应用程序的软件复位使用。^p0: 不复位; ^p1: 产生复位, 并自动清 0;
- Bit6~Bit1 保留
- Bit0 BootSel
 0: 程序区启动 (物理地址 0x0000 启动)
 1: 由 BootLoad Rom 启动 (物理地址 0x3800), 在 BootSel 位发生改变时候, 地址空间映射会发生变化, 具体见图 1-2, 因此该位发生改变时, 一定要将 BRST 位设置为 1, 不然程序会发生不可恢复错误。

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
------	---------------------------------------

7.5 功能说明

复位源在上电或电源电压波动或其它特定异常条件发生时使电路 (重新) 初始化, 并进入确定状态。

任何复位发生后，程序指针指向地址 0000H。从引发复位的机制看，复位源可分为两类：冷复位与热复位。

冷复位主要与电源变化有关，电源电压

第一次从 0V 逐步升高时触发的复位叫上电复位。电路正常工作中如果电压跌落安全工作电压范围边界时可触发低压复位。热复位有很多种类，除外部复位（某个管脚拉低或拉高触发的复位）外，所有内部逻辑只要检测到异常都可以触发复位动作。QF08L18 中看门狗溢出或软件指令触发的复位都归结到此类中。

绝大多数寄存器在任意复位发生后，都将进入各自的“复位”状态。本文档中描述寄存器时提到的“缺省”或“默认”状态就是指复位后的状态。但是有部分寄存器不受某些复位的影响，具体见表 15。

表 15 特殊复位源寄存器

复位源 寄存器（位）	POR	LVR	nRST	WDTR	SOFTTR	LPLVD	WWDTR	BRST
LVDCON(A5H)	√	x	√	x	x	x	x	x
LVRCON(A6H)	√	x	√	x	x	x	x	x
LPLVDF(A7H.5)	√	x	x	x	x	√	x	x
LPLVDCON(FF47H)	√	x	√	x	x	x	x	x
SOFTF(A7H.4)	√	√	√	x	√	√	x	x
WDTF(A7H.3)	√	√	√	√	√	√	√	√
LVRF(A7H.2)	√	√	x	x	x	x	x	x
PORF(A7H.1)	√	x	x	x	x	x	x	x
nRSTF(A7H.0)	√	x	√	x	x	x	x	x
WDTCLR0(DEH)	√	√	√	x	√	√	√	√
WDTCLR1(DFH)	√	√	√	x	√	√	√	√
TESTCON(FFAFH)	√	√	√	x	x	√	x	x
WTCON	√	x	x	x	x	x	x	x
T8(T8RL)	√	x	x	x	x	x	x	x

注：√ 表示对应复位源可引起该寄存器（位）的复位动作；x 表示不受影响。LPLVD 仅在 Stop 模式下产生低压复位。

8. 电源管理

QF08L18 的电源管理模块主要有带隙基准 BGR 模块，用于给其它模块提供偏置电流和基准电压；低压检测 LVD 和低压复位 LVR 模块，用于检测电源电压并产生低电压报警中断或复位，确保电路工作在安全工作电压区间。

8.1 基本特征

- ◇ 基准电压 VBG 出厂校准：1.25V。
- ◇ 低压复位 8 级可选。
- ◇ 低压检测 8 级可选，支持外部电压采样输入，有独立的低压报警中断向量地址。

8.2 工作模式

上电后，VBG 和 LVR 默认开启，LVD 默认关闭。

STOP 模式下，各个模块的工作情况见下表

表 16 STOP 模式下，电源管理模块的工作情况

模式	LVD	LVR	LPLVD
LVRCFG=0	LVDEN=1: √	LVREN=1: √	N/A
	LVDEN=0: ×	LVREN=0: ×	
LVRCFG=1	×	×	N/A
LPLVDCFG=0	N/A	N/A	LPLVDWAKEN=1: 唤醒; √
			LPLVDWAKEN=0: 唤醒; ×
			LPLVDRSTCFG=1: 复位; √
			LPLVDRSTCFG=0: 复位; ×
LPLVDCFG=1	N/A	N/A	×

8.3 功能框图

QF08L18 电源管理模块的功能框图如下所示。

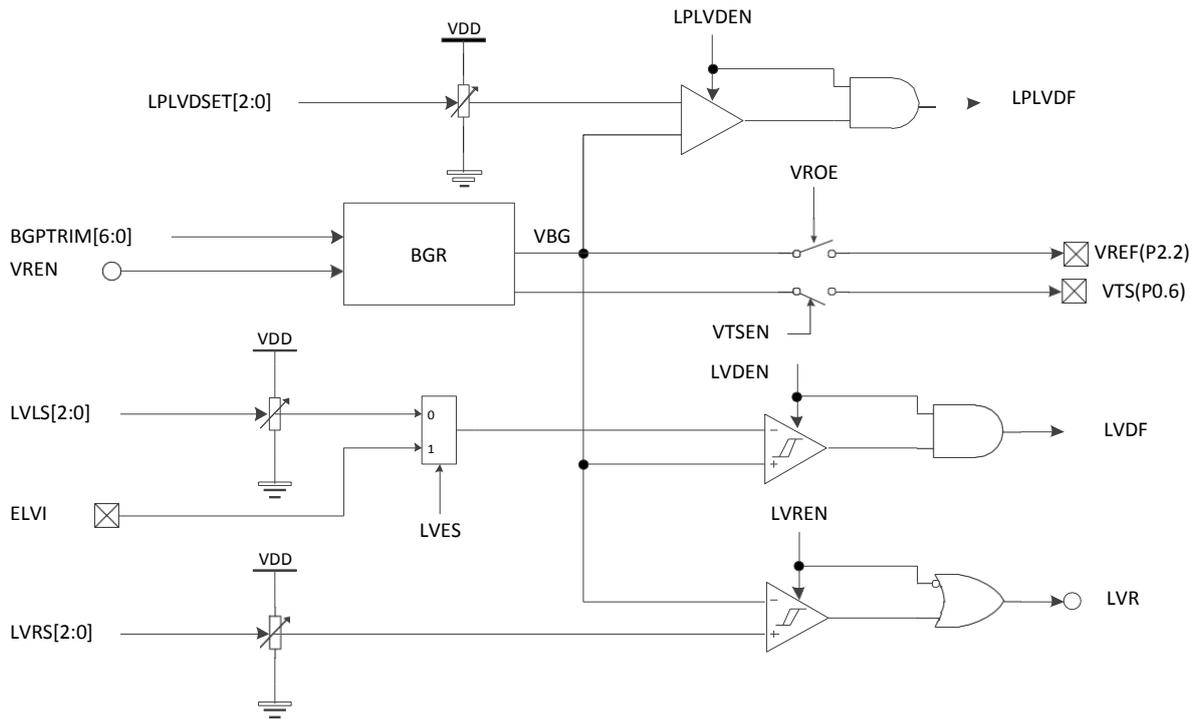


图 17 PMU 结构框图

8.4 管脚配置

系统监控模块用到 1 个外部管脚，是 ELVI，其配置如下表。

表 17 PMU 管脚复用配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
ELVI	A	低压检测外部输入电平	P1.5	LVES (LVDCON.4) 置 1。

8.5 寄存器说明

电源管理模块相关寄存器如下表所示。

表 18 电源管理模块寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
LVDCON	低压检测控制寄存器	x	R/W	uu00_0000B	A5H
LVRCON	低压复位控制寄存器	x	R/W	100u_0011B	A6H
LPLVDTRIM	内部低功耗基准 LPVR 电压修调寄存器	x	R/W	0000_uuuu	A4H
VRCTRL	VRH_OP 电压选择寄存器	x	R/W	uuuu_uuu0B	BBH
LPLVDCON	低功耗低压检测控制寄存器	x	R/W	0000_0000B	FF47H
STOPCFG	停机模式配置寄存器	x	R/W	u001_0uuuB	FFA0H
BGPTRIM	待机基准电压 BPG 校准寄存器	x	R/W	0000_0000B	FFF2H

电源管理模块寄存器详细说明如下：

低压检测控制寄存器 LVDCON^① (A5H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
------	------	------	------	------	------	------	------	------

位 定义:	—	—	LVDF	LVES	LVLS[2:0] ^②			LVDEN ^③
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	0	0 ^c	0 ^c	0 ^c	0 ^c	0 ^c
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7~6** 未实现位。
- Bit5** LVDF: 低压检测标志位。当 LVD 功能关闭时, 该位为低电平。
 0: VDD 高于低压检测电平或低压检测不使能。
 1: VDD 低于低压检测电平。
- Bit4** LVES: 低压检测外部输入电平使能位。
 0: 选择内部电阻分压 (默认)。
 1: 选择外部输入电压, 由 ELVI 脚输入。
- Bit3~Bit1** LVLS[2:0]: 低压检测电平选择位。
 000: 电源上升 2.25V 以上 LVFLG 清除, 下降到 2.2V 设置 LVFLG
 001: 电源上升 2.45V 以上 LVFLG 清除, 下降到 2.4V 设置 LVFLG
 010: 电源上升 2.55V 以上 LVFLG 清除, 下降到 2.5V 设置 LVFLG
 011: 电源上升 2.8V 以上 LVFLG 清除, 下降到 2.7V 设置 LVFLG
 100: 电源上升 3.0V 以上 LVFLG 清除, 下降到 2.9V 设置 LVFLG
 101: 电源上升 3.2V 以上 LVFLG 清除, 下降到 3.1V 设置 LVFLG
 110: 电源上升 3.75V 以上 LVFLG 清除, 下降到 3.65V 设置 LVFLG
 111: 电源上升 4.6V 以上 LVFLG 清除, 下降到 4.5V 设置 LVFLG
- Bit0** LVDEN, 低压检测使能位。
 0: 关闭 LVD (默认)。
 1: 使能 LVD。

注 1:	该寄存器只受外部复位和上电复位的影响。
注 2:	LVLS[2:0]设置的电压是 LVF 置位电压, 即当 VDD 低于该设置值时, LVF 置 1。LVF 清 0 时有 Δ 的迟滞。 $\Delta=150\text{mV}@VLVD$
注 3:	在 STOP 模式下, LVD 受 LVRGCFG 的控制, LVRGCFG 置 1 时强制关闭 LVD, LVRGCFG 置 0 时由 LVDEN 控制 LVD。

低压复位控制寄存器 LVRCON^{注 1} (A6H)

位 序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定义:	VREN	VROE ^{注 3}	VTSEN	LVR_Rst	LVRS[2:0]			LVREN ^{注 2}
访问权限:	R/W	R/W	R/W	R-0	R/W	R/W	R/W	R/W
复 位 值:	1 ^c	0 ^c	0 ^c	U	0 ^c	0 ^c	1 ^c	1 ^c
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7** VREN: 内部基准电压 (BGR) 使能位。
 0: 关闭 BGR。
 1: 开启 BGR (默认)。
- Bit6** VROE: VBG 输出到端口使能位。
 0: 禁止 VBG 输出到端口 P2.2。
 1: 允许 VBG 输出到端口 P2.2。
 VROE 为 1 的时候, 只有 DAC 和 AMP1 没与输出到引脚时才有效。
- Bit5** VTSEN 温度传感器电压输出使能位(VTS)
 0: 禁止温度传感器输出电压(高阻);

1: 允许温度传感器电压 VTS。

Bit4 LVR_Rst, 只读, LVR 的状态。当 LVR 功能关闭时, 该位为高电平。

Bit3-1 LVRS: 复位电压选择位。

000: 电源上升 1.9V 以上复位释放, 下降到 1.8V 触发复位

001: 电源上升 2.1V 以上复位释放, 下降到 2.0V 触发复位 (默认)

010: 电源上升 2.6V 以上复位释放, 下降到 2.5V 触发复位

011: 电源上升 2.7V 以上复位释放, 下降到 2.6V 触发复位

100: 电源上升 2.95V 以上复位释放, 下降到 2.8V 触发复位

101: 电源上升 3.15V 以上复位释放, 下降到 3.0V 触发复位

110: 电源上升 3.7V 以上复位释放, 下降到 3.5V 触发复位

111: 电源上升 4.2V 以上复位释放, 下降到 4.0V 触发复位

Bit0 LVREN: LVR 使能位。

0: 关闭 LVR。

1: 使能 LVR (默认)。

注 1:	该寄存器只受外部复位和上电复位的影响。
注 2:	在 STOP 模式下, LVR 受 LVRCFG 的控制, LVRCFG 置 1 时强制关闭 LVR, LVRCFG 置 0 时由 LVREN 控制 LVR。
注 3:	VBG 的输出引脚和 DAC, 运放 AMP1 复用, 因此 VROE 为 1 的时候, 只有 DAC 和 AMP1 没与输出到引脚时才有效。

低功耗低压检测控制寄存器 LPLVDCON^① (FF47H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	LPLVDF	LPLVDSSET[2:0]			LPLVDEN ^②
访问权限:	R-0	R-0	R-0	R-0	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0 ^c	0 ^c	0 ^c	0 ^c
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit5 未实现位。

Bit4 LPLVDF: 低压检测标志位。LPLVD 功能关闭时, 该位输出低电平。

0: VDD 高于低压检测电平或低压检测不使能。

1: VDD 低于低压检测电平。

Bit3~Bit1 LPLVDSSET[2:0]: 低压检测电路阈值档位选择信号:

000: 电压下降检测阈值 2V (默认)

001: 电压下降检测阈值 2.2V

010: 电压下降检测阈值 2.5V

011: 电压下降检测阈值 2.8V

100: 电压下降检测阈值 3V

101: 电压下降检测阈值 3.5V

110: 电压下降检测阈值 4V

111: 电压下降检测阈值 4.5V

Bit0 LPLVDEN, 低功耗低压检测使能位。

0: 关闭 LPLVD (默认)。

1: 使能 LPLVD。

注 1:	该寄存器只受外部复位和上电复位的影响。
注 2:	Bit0 与 RCL 模块的 RCLEN 为同一个信号; RCLEN 和 LVDLP_EN 只要有一个为 1, 就会开启 LPVR 模块;

内部低功耗基准电压修调寄存器 LPLVDTRIM^① (A4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	T[3:0]			
访问权限:	R-0	R-0	R-0	R-0	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	U	U	U	U
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit3~0 T[3:0]: 内部低功耗基准 LPVR 电压修调信号

注 1:	该寄存器只受外部复位和上电复位的影响。复位值由信息区特殊字节决定, 该值经芯片中测过程而得, 并固化在信息区。
------	---

VRH_OP 电压选择寄存器 (BBH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	-	-	VRHOP_SEL
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复 位 值:	U	U	U	U	U	U	U	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~1 保留。

Bit0 VRHOP_SEL: 提供给运放的 VRH 电压选择信号。

0: VRH_OP = 2.5V (默认)。

1: VRH_OP = 4V。

停机模式配置寄存器 STOPCFG^{‡1} (FFA0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	LPLVDWAKEN	LPLVDRSTCFG	LPLVDCFG	LVRCFG	—	CRYLCFG	-
访问权限:	R-0	R/W	R/W	R/W	R/W	R-0	R/W	R/W
复 位 值:	U	0	0	1	1	U	0	U
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit6 LPLVDWAKEN: 停机模式下低功耗 LVD 的唤醒功能配置位。

0: LPLVD 不能唤醒停机模式 (默认)。

1: LPLVD 可以唤醒停机模式。

Bit5 LPLVDRSTCFG: 停机模式下低功耗 LVD 的复位功能配置位。

0: LPLVD 在 STOP 模式下不具有复位功能 (默认)。

1: LPLVD 在 STOP 模式下作为复位源。

Bit4 LPLVDCFG: 停机模式低功耗 LVD(LPLVD)配置位。

0: 停机模式下, LPLVD 由软件控制。

1: 停机模式下, LPLVD 关闭 (默认)。

Bit3 LVRCFG: 停机模式下电源配置位。

0: 停机模式下, LVR/LVD 由软件控制。

1: 停机模式下, LVR/LVD 关闭 (默认)。

Bit2 保留

Bit1 CRYLCFG: 停机模式下, 低频 CRYRCL 配置位。

0: 停机模式下, 低频 CRY 由 CRYEN 控制 (默认)。

1: 停机模式下, 低频 CRY 关闭。

Bit0 保留

注 1:	该寄存器在复位后只能写一次，再次写入无效，只有等到复位后才能再次写入。
------	-------------------------------------

停机模式配置寄存器 BGPTRIM (FFF2H) 注

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	TRIM[5]	TRIM[4]	TRIM[3]	TRIM[2]	TRIM[1]	TRIM[0]
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	x	x	x	x	x	x	x	x
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写; X: 复位值由信息区配置值决定;							

 Bit5~Bit0 **BGPRIM[5:0]: 带隙基准(BGP)输出电压校准值。**

BGPTRIM[5:0]	输出电压
1-1111	输出频率最低
...	
0-1111	默认频率中间值
...	
0-0000	输出频率最高 (默认)

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
------	---------------------------------------

注: 带隙基准电压出厂前被校准到 1.25V, 校准值固化在存储区信息区, 上电复位后被读取到该寄存器, 用户可以根据需求调整给寄存器的值从而修改带隙基准电压输出。

8.6 功能描述

电源管理模块主要有带隙基准模块 BGR、低压检测模块 LVD 和低压复位模块 LVR 模块, 其功能描述如下:

8.6.1 带隙基准 BGR

上电复位释放后, BGR 默认开启。

基准电压模块 BGR 为 LVD、LVR 和 CMP 等提供基准电压和偏置电流, 任何一个需要 BGR 提供支持的模块使能, BGR 就使能。BGR 本身也有一个使能位。

同时, 为了测试方便, 基准电压还可以输出到端口, 将 VROE 置 1 即可。

8.6.2 低压检测 LVD

LVD 用于检测电源电压 VDD 的波动, 当 VDD 跌落到检测电平以下时, 低压检测标志位 LVDF 置 1。如果中断允许, 则进入中断处理程序。

上电复位释放后, LVD 默认关闭。进入 STOP 模式后, 如果 LVRCFG=1, 则关闭 LVD; 如果 LVRCFG=0, 则 LVD 由 LVDEN 控制。

为了适应不同的供电系统, 设置了 8 个低压检测电平: 2.2V, 2.4V, 2.5V, 2.7V, 2.9V, 3.1V, 3.65V, 4.5V。还支持外部输入电压。在 VDD 下降和上升过程中, LVDF 置位和清零存在一定的迟滞。以 2.9V 为

例，将 $VDD < 2.9V$ 时，LVDF 置位。直到 $VDD \geq 3.0V$ ，LVDF 才清零。

8.6.3 低压复位 LVR

LVR 用于检测 VDD 的波动，当 VDD 跌落到检测电平以下时，使电路进入复位状态。上电复位释放后，LVR 默认开启。进入 STOP 模式后，如果 $LVRCFG=1$ ，则关闭 LVR；如果 $LVRCFG=0$ ，则 LVR 由 LVREN 控制。

为了适应不同的供电系统，设置了 8 个低压复位电平：1.8V, 2.0V, 2.5V, 2.6V, 2.8V, 3.0V, 3.5V, 4.0V。复位电压和释放电压存在一定得迟滞，范围在 100mV 左右。以 1.8V 为例， $VDD < 1.8V$ 时，LVR 复位。直到 $VDD \geq 1.9V$ ，LVR 释放复位。

8.6.4 低功耗低压检测 LPLVD

低功耗低压检测模块主要是为了减小芯片在停机模式下的功耗，在 Stop 模式下，用户可以将 LPLVD 配置为低压复位或者低压唤醒，当电压低于检测电压时候，LPLVD 会唤醒系统或者复位系统。在正常工作模式下，LPLVD 主要用来检测电压，辅助 Flash 读出延迟的切换，具体参见章节 9；

8.6.5 温度传感器输出 VTS

QF08L18 内部集成温度传感器，由 VTSEN 使能输出到 ADC 通道 7 采样，并且可输出引脚 P0.6 用于测试观察；当使用外部温度传感器时，必须把 VTSEN 设置为 0。

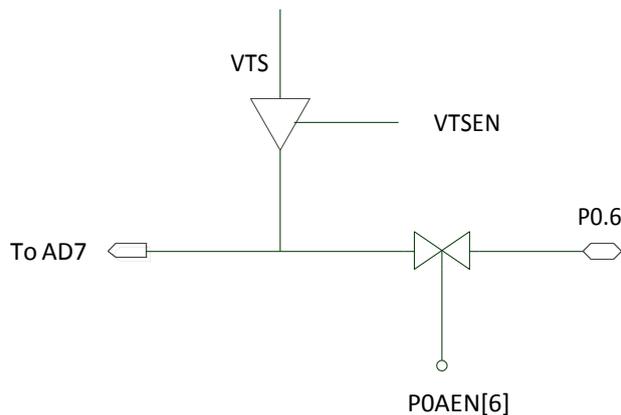


图 18 温度传感器 ADC 采样框架图

8.7 使用提示

由于基准使能位与 LVR 使能位在同一个寄存器（LVRCON）中，使用 LVR 模块时必须遵循以下原则：软件编程 LVR 时需先开启基准（ $BGSTR=1$ ），20 μS 后再开启 LVR（ $LVREN=1$ ），否则可能导致意外复位。

9. E2PROM/Flash 在线编程控制器(IAP)

QF08L18 包含三部分存储器，16K FLASH 作为程序存储器，64 字节信息区用于保密和校准数据保存，256 字节 E2PROM 用于应用数据的保存，程序在运行过程中可以通过 IAP(In Applcation Program)控制器对这些区间进行操作，程序区和信息区必须 16 比特对齐操作，E2PROM 区按 8 比特字节操作。信息区各字节用于存储器安全管理和模块校准，关于安全机制和信息区的保护机制请参见《QF08L18 存储器管理手册》。

9.1 基本特征

通过以下特殊功能寄存器（SFR）来完成对存储器编程。程序设置好地址、数据，再设置使能标志位后，程序暂停运行，等硬件写存储器操作完成后程序继续运行。在程序暂停运行时所有的状态保持不变，若出现中断，中断标志位保持，相当于进入 SLEEP 模式。为了防止由于存储器由于使用寿命/干扰导致无法正常完成写操作，用户可以采用与 T1 联动方式中断中止写操作或者采用控制器内部的定时器。

- ◇ Flash 控制寄存器, FlashCtrl
- ◇ 存储器地址高 8 位寄存器, FlashAddrH
- ◇ 存储器地址低 8 位寄存器, FlashAddrL
- ◇ 存储器数据高 8 位寄存器, FlashDataH
- ◇ 存储器数据低 8 位寄存器, FlashDataL
- ◇ 分频寄存器: FlashClkDiv
- ◇ Flash 编程安全寄存器: FlashKey
- ◇ Flash 写超时控制器寄存器 FlashTimCtrl

9.2 寄存器说明

Flash 控制寄存器（FlashCtrl）(D1H)

名称/地址:	FlashrCtrl /0xD1							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SpeedCfg		-	-	SecSel[1]	SecSel[0]	Opr	FLASH En
访问权限:	R/W	R/W	R-0	R-0	R/W	R/W	R/W	R/W
复 位 值:	1	1	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

- Bit7~Bit6** Speed: FLASH 速度模式选择,
 00: 省电模式 (Standby) (<500KHz)
 10: 低速模式(Low Speed) (<=4MHz)
 11: 高速模式(High Speed) (>4MHz) (默认)
 其它: 禁止;
 在改变 Flash 速度模式时, 配置该寄存器时候, 低 6 位的数据要求 WriteData[5:0] == 6' b101100, 以防止误操作;
- Bit5~bit4** 保留, 配置 Flash 速度时, 该两位设置为 2'b10;
- Bit3~Bit2** 操作区间选择:
 00: 程序区;
 01: 信息区;

- 10: E2PROM 区;
 11: 保留;
 配置 Flash 速度模式时, 写入该两位的值为 2'b11;
- Bit1 操作模式选择:
 1: 读
 0: 写。
 配置 Flash 速度模式时, 写入该位的值为 1'b0;
- Bit0 IAP 读写使能
 1: 读写使能;
 0: 读写禁止;
 配置 Flash 速度模式时, 写入该位的值为 1'b0;

注 1:	在配置该寄存器之前, 如果配置为写操作, 必须先配置 FLASHKey 寄存器; 其它寄存器不受 FLASHKey 寄存器影响, 读操作可以直接对该寄存器进行配置。
------	--

存储器读写地址高 8 位寄存器 (FlashAddrH) (D2H) ^{注1}

名称/地址:	FlashAddrH/D2H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MADR15	MADR14	MADR13	MADR12	MADR11	MADR10	MADR9	MADR8
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 读写操作的高八位地址, 对于 E2PROM 读写操作时, 该寄存器无效;

存储器地址低 8 位寄存器 (FlashAddrL) (D3H) ^{注1}

名称/地址:	FlashAddrL/D3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MADR7	MADR6	MADR5	MADR4	MADR3	MADR2	MADR1	MADR0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 读写操作的低八位地址;

注 1:	对于 Flash 程序区和信息区的操作, 必须 16 位对齐操作, 因此 MADR0 必须为 1'b0; 对于 E2PROM 区操作, 支持按字节操作, 地址由 FlashAddrL 构成;
------	---

存储器数据寄存器高 8 位 (FlashDataH) (D4H)

名称/地址:	FlashDataH /0xD4							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MDAT15	MDAT14	MDAT13	MDAT12	MDAT11	MDAT10	MDAT9	MDAT8
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;
------	------------------------------------

Bit7~Bit0 写操作时候, 该 8 位对应写入目标数据的高 8 位; 读操作时, 该 8 位对应读回数据的高 8 位;

编程数据寄存器低 8 位 (FlashDataL) (D5H)

名称/地址:	FlashDataL/0xD5							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MDAT7	MDAT6	MDAT5	MDAT4	MDAT3	MDAT2	MDAT1	MDAT0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 写操作时候, 该 8 位对应写入目标数据的低 8 位; 读操作时, 该 8 位对应读回数据的低 8 位;

分频寄存器 (FLASHClkDiv) (D6H)

名称/地址:	FlashClkDiv/0xD6							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	DIV5	DIV4	DIV3	DIV2	DIV1	DIV0
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	1	1	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit6 保留

Bit5~Bit0 存储器写过程中, 要求产生一个 ClkIn, 周期为 10us~15us, 该寄存器通过系统时钟 MClk, 分频得到 ClkIn; 计算公式如下:

$$F_{ClkIn} = F_{Mc1k} / 2 * (FlashClkDiv + 1)$$

Flash 安全寄存器 (FlashKey) (D7H)

该寄存器软件只能写, 读该寄存器无效。该寄存器的作用是防止对 FLASH 编程的误操作, 只有当向该寄存器依次写入 0xA5 和 0xF1 后才能进行对 FlashCtrl 寄存器进行写操作。注意写入 0xA5 和 0xF1 的间隔不能超过 12 个时钟周期, 建议写入 0xA5 后紧接着写入 0xF1。

(IAPKey0)^{注1} (FF62H)

名称/地址:	IAPKey0/FF62H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY7	KEY6	KEY5	KEY4	KEY3	KEY2	KEY1	KEY0
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 当信息区 3FH 地址的数据为 3AH 时, 除 E2PROM 以外, 信息区高 32 位字节和程序区禁止

IAP 操作，输入 32 位密钥，可解除操作，该寄存器为密钥低字节；

(IAPKey1) ^{注1} (FF63H)

名称/地址:	IAPKey1/FF63H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY7	KEY6	KEY5	KEY4	KEY3	KEY2	KEY1	KEY0
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 当信息区 3FH 地址的数据为 3AH 时，除 E2PROM 以外，程序区禁止 IAP 操作，输入 32 位密钥，可解除操作，该寄存器为密钥第 2 个字节；

(IAPKey2) ^{注1} (FF64H)

名称/地址:	IAPKey2/FF64H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY7	KEY6	KEY5	KEY4	KEY3	KEY2	KEY1	KEY0
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 当信息区 3FH 地址的数据为 3AH 时，除 E2PROM 以外，程序区禁止 IAP 操作，输入 32 位密钥，可解除操作，该寄存器为密钥第 3 个字节；

(IAPKey3) ^{注1} (FF65H)

名称/地址:	IAPKey3/FF65H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY7	KEY6	KEY5	KEY4	KEY3	KEY2	KEY1	KEY0
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 当信息区 3FH 地址的数据为 3AH 时，除 E2PROM 以外，程序区禁止 IAP 操作，输入 32 位密钥，可解除操作，该寄存器为密钥高字节；

注 1: 当完成 IAP 操作以后，需要像这几位中写入非密钥值，对程序区进行加密；

FLASH 写操作计时控制寄存器 (FLASHTIMCtrl) (E6H)

名称/地址:	FLASHTIMCtrl/0xE6							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	TimOutFlag	TimLen	TimOutMode
访问权限:	R-0	R-0	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;
------	------------------------------------

Bit7~Bit3	保留
Bit2	TimOutFlag: 时间溢出标志 (写该寄存器清除标志位) 0: 写 FLASH 成功 1: 写 FLASH 失败
Bit1	Tim1Len: 定时时间选择 0: 256 个系统时钟 1: 512 个系统时钟 (电压低于 3.0V 时候, 建议配置为该值)
Bit0	TimOutMode: 定时模式选择 0: 与定时器 1 联动 1: FLASH 内部超时计数

注: 该寄存器用于对 FLASH 写操作进行监控。FLASH 写时间随外界温度和电压变化, 配置该寄存器或采用定时器 1 的方式, 设定定时时间, 写操作启动定时器。若计时器溢出, 则判定写失败即未在窗口时间内完成写 FLASH 操作。

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
------	---------------------------------------

(INFLoad) (FFF6H)

名称/地址:	INFLoad/0xFFF6H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	Wrp_Sel	-	-	-	InfLoad
访问权限:	-	-	-	W	-	-	-	W
复 位 值:	U	U	U	0	U	U	U	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7 ~ Bit5	保留
Bit4	Wrp_Sel: 选择更新字节, 1: IWP3, IWP2 将更新生效; 0: IWP1, IPW0 将更新生效
Bit3~Bit1	保留
Bit0	InfLoad: 0: 当对信息区的 IAPEN 位进行更新以后, 设置 InfLoad 为 1, 更新以后的值将生效;

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
------	---------------------------------------

FLASH 访问周期控制寄存器 (FLASHLTY) (FFF9H)

名称/地址:	FLASHLTY/0xFFF9							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	LtyDecCon	VDecEn	LtyFlag	ReadCyc[3:0]			
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7	保留
Bit6	LtyDecCon: FLASH 访问周期数违反监测控制位

0: 监测开启（默认）

1: 监测关闭

用于监测当前访问 FLASH 周期数是否违反（当前运行值小于默认值），以及访问周期数修改违反（当前写入值小于默认值），一旦违反置位标志位 LtyFlag。

Bit5 VDecEn: 当前电压监测使能，结合 LPLVD 使用

0: 监测关闭（默认）

1: 监测开启

FLASH 的访问时间受芯片工作电压影响。开启电压监测，芯片可根据当前电压值调整默认访问周期数，使其在较低电压下也能正确访问 FLASH。

Bit4 LtyFlag: FLASH 访问周期数违反标志位

一旦违反标志位置 1，若配置相应中断使能，产生中断，该位软件清 0。

Bit3~0 ReadCyc[3:0]: 访问周期数设定

当芯片工作电压较低时，芯片默认周期数无法满足要求时，用户可软件调整 FLASH 的访问周期数，以保证系统正常运行。FLASH 默认访问周期数可查表得知。

注：写该寄存器时，要先操作写保护控制寄存器 WPKEY，解除写保护后写入。

由于 FLASH 在不同配置模式下和电压下，读取速度不同，因此当 MCU 工作在不同频率下，需要预留多个时钟，具体以下表格（3.3V 这个电压转折点可以改变）：

MTP High Speed 模式					
电压	MTP 规格时间	25°C 测试时间	工作频率	Cache Access 时间	Direct* Read 时间
大于 3.3V	60ns	50ns	16MHz	1.5 (90ns)	2 (120ns)
			8MHz	0.5 (62ns)	1 (125ns)
			Others	0.5 (>125ns)	1(>250ns)
小于 3.3V	250ns	130ns	16MHz	2.5 (150ns)	3(180ns)
			8MHz	1.5 (190ns)	2(250ns)
			4MHz	1.5 (375ns)	1(250ns)
			Others	0.5 (>250ns)	1(>250ns)
MTP Low Power 模式					
大于 3.3V	500ns	150ns	16MHz	3.5 (210ns)	4 (240ns)
			8MHz	1.5 (190ns)	2 (250ns)
			4Mhz	1.5 (375ns)	1 (250ns)
			Others	0.5 (>250ns)	1(>250ns)
小于 3.3V	1us	460ns (1.8V)	16MHz	7.5 (468ns)	8 (500ns)
			8Mhz	4.5 (560ns)	5 (625ns)
		360ns (2.0V)	4MHz	2.5 (750ns)	3 (750ns)
			2Mhz	1.5 (750ns)	1 (500ns)
			Others	0.5 (>500ns)	1(>1000ns)
MTP Standby 模式					
1.8V~5.5V	2us	NA	16MHz	Forbidden	
			8MHz	Forbidden	
			4MHz	7.5 (1.875us)	8 (2us)
			2MHz	3.5 (1.75us)	4 (2us)

			1MHz	2.5(2.5us)	2 (2us)
			500K	1.5 (3us)	1 (2us)

9.3 Flash/E2PROM 写时间参数

表 19 存储区信息区读写参数

读电压		VDD:1.8V~5.5V
读时间	高速模式	40ns(min) @VDD 4.5~5.5V 125ns(min) @2.5~ 4.5V; 240ns(min) @1.8V~2.5V
	低速模式	125ns (min) @2.5V ~5.5V 250ns (min) @ 1.8V ~2.5V
	省电模式	2us(min) @ 1.8V~5.5V
写入电压		3.0~5.5V
写时间(Changed Code) ^{注1}		4.5<VDD<5.5V 0.3ms (typ.)/3ms(wst)
		3.0<VDD<4.5 0.5ms(typ.)/7ms(wst)
写时间 (non-changed code)		4.5<VDD<5.4 40us (min.)
		3.0<VDD<4.5 0.1ms(min)
使用寿命		1,000 Cycles;

注 1: 用户进行大批量烧录的时候, 推荐采用 5 V 电压烧录

表 20 E2PROM 读写参数

读电压		1.8V~5.5V
读时间		250ns(min) @1.8V~5.5V
写入电压		2.0~5.5V
写时间(Changed Code)		2.5<VDD<5.5V 0.7ms (typ.)/3ms(wst)
		2.3<VDD<2.5 10ms (typ.)/100ms(wst)
		2.0<VDD<2.3 100ms(typ.)/500ms(wst)
写时间 (non-changed code)		4.5<VDD<5.4 160us (min) @2.0V<VDD<5.5V
使用寿命		1,0000 Cycles;

9.4 存储器安全机制简介

9.4.1 信息区字节说明

信息区包含 64 个字节用于保密、保护字节、密钥、芯片 ID、模块校正数据的保存，系统在上电以后会自动读取部分信息区数据，其余数据需要通过 IAP 模式读取，用户可在应用程序中使用，本章节对信息区各个字节的意义作一个具体的说明。

根据芯片信息区地址 3F 存储区是否为 3AH, 把信息区工作状态分为保密和非保密两种状态，当芯片处于保密状态时候，可以通过输入 32 位密钥（IAPKEYx 寄存器中写入密钥或者 ISP 模式下由烧录器发送）使芯片恢复到非保密状态。

表 21 信息区字节意义说明

地址	控制字节	ICP/IAP 读(R)写(W)擦(E)权限		说明
		保密状态	非保密状态	
加密使能(LockEn)				
3FH	保密使能 (ProgEN)	写(W): N 读(R): N 擦除(E): Y	写(W): Y 读(R): Y 擦除(E): Y	保密使能字节 ：决定是否允许修改用户程序。 3AH ：保密，整个程序区间锁定，不能读写，除非输入加密密钥，加密密钥为 30~33H，32 位密钥，不能全为 0； 其它值 ：非保密，程序区间读写状态受读写保护字节（IRP/IWP 控制）按页控制；保密状态下信息区 30H~33H 和 3EH~3FH 不可读不可写；
3EH	保留	同上	同上	用户禁止操作
页读保护配置(IRP)				
3DH	页读保护 (IRP3)	写(W): 只允许写 1 读(R): Y 擦除(E): Y		页读保护字节 ：8 个 bit 分别保护程序区 0x3000~0x3fff 这 4k 空间的 8 个页（每页 512 字节）。（对应位为 1 的时候，除取指令，任何方式均不能读该空间）
3CH	页读保护 (IRP2)	写(W): 只允许写 1 读(R): Y 擦除(E): Y		页读保护字节 ：8 个 bit 分别保护程序区 0x2000~0x2fff 这 4k 空间的 8 个页（每页 512 字节）。（对应位为 1 的时候，除取指令以外，任何方式均不能读该空间）
3BH	页读保护 (IRP1)	写(W): 只允许写 1 读(R): Y 擦除(E): Y		页读保护字节 ：8 个 bit 分别保护程序区 0x1000~0x1fff 这 4k 空间的 8 个页（每页 512 字节）。（对应位为 1 的时候，除取指令以外，任何方式均不能读该空间）
3AH	页读保护 (IRP0)	写(W): 只允许写 1 读(R): Y 擦除(E): Y		页读保护字节 ：8 个 bit 分别保护程序区 0x0000~0x0fff 这 4k 空间的 8 个页（每页 512 字节）。（对应位为 1 的时候，除取指令以外，任何方式均不能读该空间）
页写保护配置(IWP)				
39H	页写保护 (IWP3)	写(W): Y 读(R): Y 擦除(E): Y		IAP 写保护 ：8 个 bit 分别保护程序区 0x2000~0x2fff 这 4k 空间的 8 个页（每页 512 字节）。（对应位为 1 的时候，任何方式均不能对改区间进行写操作，可保护该区间误操作）
38H	页写保护 (IWP2)	写(W): Y 读(R): Y 擦除(E): Y		IAP 写保护 ：8 个 bit 分别保护程序区 0x2000~0x2fff 这 4k 空间的 8 个页（每页 512 字节）。（对应位为 1 的时候，任何方式均不能

				对改区间进行写操作，可保护该区间误操作)
37H	页写保护 (IWP1)	写(W): Y 读(R): Y 擦除(E): Y		IAP 写保护：8 个 bit 分别保护程序区 0x1000~0x1fff 这 4k 空间的 8 个页（每页 512 字节）。（对应位为 1 的时候，任何方式均不能对改区间进行写操作，可保护该区间误操作)
36H	页写保护 (IWP0)	写(W): Y 读(R): Y 擦除(E): Y		IAP 写保护：8 个 bit 分别保护程序区 0x0000~0x0fff 这 4k 空间的 8 个页（每页 512 字节）。（对应位为 1 的时候，任何方式均不能对改区间进行写操作，可保护该区间误操作)
35H	保留	同上	同上	用户自定义
34H	保留	同上	同上	用户自定义
加密密钥				
33H	密钥 3	写(W): N 读(R): N 擦除(E): Y	写(W): Y 读(R): Y 擦除(E): Y	密钥[31:24]；在 ProgEn 为 3AH 情况下，在输入 32 位密钥以后可解锁芯片到非保密状态；
32H	密钥 2	同上	同上	密钥[23:16]；同上
31H	密钥 1	同上	同上	密钥[15:8]；同上
30H	密钥 0	同上	同上	密钥[7:0]；同上
2F-2C	芯片保留	写(W): IAP 禁止写 读(R): Y 擦除(E): N		用户不能使用
2BH-20H	芯片 96 位 ID	写(W): IAP 禁止写 读(R): Y 擦除(E): N		芯片 96 位唯一 ID，出厂设置，用户只可读；
校准信息				
1FH	芯片保留	写(W): Y 读(R): Y 擦除(E): Y		用户不能使用
1EH	LPLVDTrim[3:0]	写(W): Y 读(R): Y 擦除(E): Y		内部低功耗基准 LPVR 电压修调信号
1DH	VBG Trim	写(W): Y 读(R): Y 擦除(E): Y		VBG TRim，带隙基准电压校正值；
1CH	RCH Trim	同上	同上	RCH TRIM，RCH 校正值；
1BH	VTEMP[11:8]	同上	同上	用于保存温度参考器参考温度值高位； ^{注 1}
1AH	VTEMP[7:0]	同上	同上	用于保存温度传感器参考温度低位； ^{注 1}
19H	RCHPT	同上	同上	微调控制信号，控制恒流精度，用于 RCH 校正；
18H	保留	同上		禁止用户操作
17H	保留	同上		禁止用户操作
16H	BootCFG	同上	同上	Boot 启动区域选择 0x4E：从 LDROM 启动（即物理地址 0x3800） 其他：正常启动（即物理地址 0x0000）
15H	保留	同上	同上	禁止用户操作
14H	RCLTRIM	同上	同上	RCL TRIM，RCL 校正值；
13H-10H	芯片保留	同上	同上	禁止用户操作
用户自定义区				

0-FH	用户自定义	同上	同上	用户的自定义信息放在该区域
------	-------	----	----	---------------

9.4.2 程序区读写说明

程序区读写受两个层次的控制，第一受信息区的加密字节控制，当信息区加密字节(LockEn)为 3aH 时，整个程序区的外部访问都被禁止，读回数据被固定成 FFH，写无效；只有在输入 32 位密钥以后，才可恢复；第二是受读写保护字节(IRP 和 IWP)，IRPx 字节的每一位控制 4K 空间的一个 512 个字节页的读权限，IWPx 字节的每一位控制 4K 空间的一个 512 字节的写权限，如下表所示。

读保护字节 IRPEn 的保护：对应 bit 数据为 0 时，允许读出对应保护区域数据；否则，读出数据固定为 FF。

表 22 读保护说明

IP 读保护	bit	保护区域
加密 LockEn	3AH	0x0000~0x3FFF
IRP0	0	0x0000~0x01FF
	1	0x0200~0x03FF
	2	0x0400~0x05FF
	3	0x0600~0x07FF
	4	0x0800~0x09FF
	5	0x0A00~0x0BFF
	6	0x0C00~0x0DFF
	7	0x0E00~0x0FFF
IRP1	0	0x1000~0x11FF
	1	0x1200~0x13FF
	2	0x1400~0x15FF
	3	0x1600~0x17FF
	4	0x1800~0x19FF
	5	0x1A00~0x1BFF
	6	0x1C00~0x1DFF
	7	0x1E00~0x1FFF
IRP2	0	0x2000~0x21FF
	1	0x2200~0x23FF
	2	0x2400~0x25FF
	3	0x2600~0x27FF
	4	0x2800~0x29FF
	5	0x2A00~0x2BFF
	6	0x2C00~0x2DFF
	7	0x2E00~0x2FFF
IRP2	0	0x3000~0x31FF
	1	0x3200~0x33FF
	2	0x3400~0x35FF
	3	0x3600~0x37FF
	4	0x3800~0x39FF
	5	0x3A00~0x3BFF

	6	0x3C00~0x3DFF
	7	0x3E00~0x3FFF

写保护字节 IWPEn 的保护：对应 bit 数据为 0 时，允许对应区域进行编程；否则禁止编程，可以防止程序通过 IAP 误修改。

表 23 写保护字节说明

IP 读保护	bit	保护区域
加密 LockEn	3AH	0x0000~0x3FFF
IWP0	0	0x0000~0x01FF
	1	0x0200~0x03FF
	2	0x0400~0x05FF
	3	0x0600~0x07FF
	4	0x0800~0x09FF
	5	0x0A00~0x0BFF
	6	0x0C00~0x0DFF
	7	0x0E00~0x0FFF
IWP1	0	0x1000~0x11FF
	1	0x1200~0x13FF
	2	0x1400~0x15FF
	3	0x1600~0x17FF
	4	0x1800~0x19FF
	5	0x1A00~0x1BFF
	6	0x1C00~0x1DFF
	7	0x1E00~0x1FFF
IWP2	0	0x2000~0x21FF
	1	0x2200~0x23FF
	2	0x2400~0x25FF
	3	0x2600~0x27FF
	4	0x2800~0x29FF
	5	0x2A00~0x2BFF
	6	0x2C00~0x2DFF
	7	0x2E00~0x2FFF
IWP2	0	0x3000~0x31FF
	1	0x3200~0x33FF
	2	0x3400~0x35FF
	3	0x3600~0x37FF
	4	0x3800~0x39FF
	5	0x3A00~0x3BFF
	6	0x3C00~0x3DFF
	7	0x3E00~0x3FFF

9.5 与 TIM1 联动的 E2PROM 读写操作

1) 步骤

Flash/信息区/E2PROM 在编程过程中，为了防止由于存储器使用寿命/干扰导致无法正常完成写操作，用户可以与 T1 联动，采用 T1 中断终止写操作。

- 1) 将 T1 设置为模式 0 定时器模式，设置计数时间约为 3ms(推荐时间，预留冗余时间);
- 2) 使能 T1 中断;
- 3) 进行 Flash/信息区/E2PROM 写操作;

2) 例程

```
unsigned char EepromRd(unsigned char addr) //读 Eeprom
{
    unsigned char rd_data;
    FLASHAddrH = 0x00;
    FLASHAddrL = addr;
    FLASHWrCtrl = 0x0b; // 读操作不需要配置密钥
    rd_data = FLASHDataL;
    return rd_data;
}

void EepromWr(unsigned char addr, unsigned char wr_data) // 写 Eeprom
{
    FLASHAddrH = 0x00;
    FLASHAddrL = addr;
    FLASHDataH = 0x00;
    FLASHDataL = wr_data;
    FLASHKey = 0xA5; // 密钥
    FLASHKey = 0xF1;
    FLASHWrCtrl = 0x09;
}

void Clk_set()
{
    WPKEY = 0x37;
    MCKSET = 0x01; //主时钟设为 4Mhz, 若选其他频率需修改 FLASHCLKDiv 写入值
    FLASHCLKDiv = 25; //FLASH 写时钟分频, 10us ~15us (根据主频时钟修改值)
}

void T1_Init(void)
{
    //基于 MClk = 4MHz
    uchar Read;
    Read = xTIMPRS;
    Read &= ~0x10;
    Read |= 0x10; //Timer 4 分频
```

```
xTIMPRS = Read;
Read = TMOD;
Read &= 0x0F;
Read |= 1<<4;    // 16 位定时
TMOD = Read;
}
void T1_set()
{
    TR1 = 0;
    TH1 = 0xF4;  // 定时 3ms
    TL1 = 0x47;
}
void T1_IntEn()
{
    ET1 = 1;
    EA = 1;
}
void ISR_Timer1() interrupt 3
{
    // 3ms 进次中断
    eeflag = 1; // 设定写 Eeprom 错误标志
}

void E2Wr_T1()
{
    eeflag=0;           // timer1 打断写 Eeprom 标志位, 若为 1 则写失败
    fail_cnt = 0;      // 写失败计数
    T1_set();         // T1 初值设定
    TR1 = 1;          //写 Eeprom 前开启定时器
    EepromWr(0xf0,0x88); // Eeprom 地址 0xf0 写入 0x88
    TR1 = 0;          // 关闭定时器
    if(eeflag == 1) // 查询标志位, 若为 1 则写失败, 需再次发起写操作或更换地址再次写入
    {
        fail_cnt = 1; // 写失败计数
        eeflag = 0;
        T1_set();     // 重设定定时器初值, 确保每次写操作定时 3ms
        TR1 = 1;
        EepromWr(0x20,0x88); // 更换地址 0x20,写入 0x88
        TR1 = 0;
        if(eeflag == 1) // 再次写失败, 需考虑实际预防机制
        {
            fail_cnt = 2;
        }
    }
}
```

```
if(fail_cnt == 0) // 写一次即成功
{
    Data = EepromRd(0xf0); // 读取地址 0xf0 的数据
}
else if(fail_cnt == 1) // 失败一次后写入成功
{
    Data = EepromRd(0x20); // 读取地址 0x20 的数据
}
Else // 写 2 次均失败
{
    PO = 0xff; // 预防措施
}
}
void main()
{
    Clk_set(); //设置写 FLASH 时钟
    T1_Init(); //定时器初始化, 设定定时 3ms
    T1_IntEn(); //开启定时中断
    E2Wr_T1();
    While(1);
}
```

9.6 采用内部计时的 E2PROM 读写操作

```
unsigned char EepromRd(unsigned char addr) //读 Eeprom
{
    unsigned char rd_data;
    FLASHAddrH = 0x00;
    FLASHAddrL = addr;
    FLASHWrCtrl = 0x0b; // 读操作不需要配置密钥
    rd_data = FLASHDataL;
    return rd_data;
}
void EepromWr(unsigned char addr, unsigned char wr_data) // 写 Eeprom
{
    FLASHAddrH = 0x00;
    FLASHAddrL = addr;
    FLASHDataH = 0x00;
    FLASHDataL = wr_data;
    FLASHKey = 0xA5; // 密钥
    FLASHKey = 0xF1;
    FLASHWrCtrl = 0x09;
}
```

```
void Clk_set()
{
    WPKEY = 0x37;
    MCKSET = 0x01; //主时钟设为 4Mhz, 若选其他频率需修改 FLASHCLKDiv 写入值
    FLASHCLKDiv = 25; //FLASH 写时钟分频, 10us ~15us (根据主频时钟修改值)
}
void E2Wr_Cnt()
{
    FLASHTIMCTRL = 0x01; // 使能打断定时器
    EepromWr(0xf0,0x88); // Eeprom 地址 0xf0 写入 0x88
    if(FLASHTIMCTRL & (1<<2)) // bit2 若为 1 则该次写入失败
    {
        fail_cnt = 1; // 失败计数
        FLASHTIMCTRL = 0x01; // 换地址再次写入
        EepromWr(0x20,0x88); // 地址 0x20,写入 0x88
        if(FLASHTIMCTRL & (1<<2)) // bit2 若为 1 则该次写入失败
        {
fail_cnt = 2; // 失败计数
        }
        if(fail_cnt == 0) // 写一次即成功
        {
            Data = EepromRd(0xf0);
            P0 = Data;
        }
        else if(fail_cnt ==1) // 失败一次后写入成功
        {
            Data = EepromRd(0x20);
        }
        Else // 写 2 次均失败
        {
            P0 = 0xff; // 预防措施
        }
    }
}
void main()
{
    Clk_set(); //设置写 FLASH 时钟
    fail_cnt = 0; // 写 Eeprom 失败计数
    E2Wr_Cnt();
    while(1);
}
```

9.7 加密状态下的程序区写操作

```
DebugKey0= 0x78; // 写入密钥, Key0 对应 FLASH 信息区 36H
DebugKey1= 0x56; // 写入密钥, Key1 对应 FLASH 信息区 37H
DebugKey2= 0x34; // 写入密钥, Key2 对应 FLASH 信息区 38H
DebugKey3= 0x12; // 写入密钥, Key3 对应 FLASH 信息区 39H
FLASHAddrL = 0x00; // 写入地址 0x2000
FLASHAddrH = 0x20;
FLASHDataL = 0xaa;
FLASHDataH = 0xaa; // 双字节写入 0xaaaa
FLASHKey = 0xA5;
FLASHKey = 0xF1;
FLASHWrCtrl = 0x01;
```

9.8 写保护(IWP)下程序区写操作

- 1) 修改对应的 IWP 位为 0;
- 2) 配置 Reload 信息区位, 使新的配置有效;
- 3) 修改对应的程序段;
- 4) 将对应的 IWP 位设置为 1, 进入保护状态;
- 5) 配置 Reload 信息区位, 使新的配置有效;

以修改程序区 0x1000 ~0x11FF 为例, 当信息区写保护寄存器 IWP1(36H)的 bit0 为 1 时, 程序区 0x1000~0x11FF 禁止写操作, 如若编程, 需改变该区域的保护性质, 即 IWP1 bit0 的值修改为 0。

```
unsigned char lwpRead(unsigned char addr)
{
    unsigned char value1;
    FLASHAddrL = addr;
    FLASHAddrH = 0x00;
    FLASHWrCtrl = 0x07;
    value1 = FLASHDataL;
    return value1;
}

void lwpWrite(unsigned char addr1, unsigned long dat)
{
    unsigned char datah, datal;
    datah = dat>>8;
    datal = dat;
    FLASHAddrL = addr1;
    FLASHAddrH = 0x00;
    FLASHDataH = datah;
    FLASHDataL = datal;
```

```
FLASHKey = 0xA5;
FLASHKey = 0xF1;
FLASHWrCtrl = 0x05; // 写到信息区
}
void main()
{
    unsigned char iwp0,iwp1;
    Unsigned long iwp0_1;
    iwp0 = IwpRead(0x36);
    iwp1 = IwpRead(0x37); // 读取 IWP0 和 IWP1 的值
    iwp1 = iwp1 & 0xfe; // IWP1 清除 bit0 保护
    iwp0_1 = (iwp1<<8) | iwp0;
    IwpWrite(0x36 ,iwp0_1 ); // 以双字节为单位，写回信息区
    WPKEY = 0x37;
    xINFLOAD = 0x01; //将信息区中 36H/37H 的值更新到 IWP0/IWP1 ，取消对应区域的写保护性质，
    // 程序区 0x1000 ~0x11FF 写保护释放，允许用户操作
    IwpRead(0x36);
    // 修改程序区
    FLASHAddrL = 0x00; // 写入地址 0x1000
    FLASHAddrH = 0x10;
    FLASHDataL = 0xaa;
    FLASHDataH = 0xaa; // 双字节写入 0xaaaa ，修改程序区
    FLASHKey = 0xA5;
    FLASHKey = 0xF1;
    FLASHWrCtrl = 0x01;
    // 修改完毕
    iwp0_1 |= (1<<8); // 将 IWP1 的 bit0 的值由 0 改回到 1，程序区 0x1000~0x11FF 重新被写保护
    IwpWrite(0x36 , iwp0_1 ); // 以双字节为单位，写回信息区
    WPKEY = 0x37;
    xINFLOAD = 0x01; //将信息区中 36H/37H 的值更新到 IWP0/IWP1
    IwpRead(0x36); //读操作使对应区域的写保护性质重新生效
    while(1);
}
}
```

9.9 启动切换操作

Bootload 功能：不同程序空间的相互切换

空间一：0~14K 存储基本功能程序

空间二：14K~16K 存储特殊功能程序（如基本功能程序的版本更新）

两份代码：

代码一基本功能：定时器 2 产生 PWM 波，进入 100 次中断后切换到程序二，代码一存储于 0~14K 空间。

```
void Timer2_Start()
```

```
{
    T2CON |= 1<<2;
}

void Timer2_Stop()
{
    T2CON &= ~(1<<2);
}

// enable OVF Int
void Timer2_OvfIntEn()
{
    ET2 = 1;
    EA = 1;
}

// enable OVF Int
void Timer2_OvfIntOff()
{
    ET2 = 0;
    //EA = 0;
}

// enable CAP Int
void Timer2_CapIntEn()
{
    unsigned char read;
    read = EIE1;
    read |= (1<<1);
    EIE1 = read;
    EA = 1;
}

// enable CAP Int
void Timer2_CapIntOff()
{
    unsigned char read;
    read = EIE1;
    read &= ~(1<<1);
    EIE1 = read;
    //EA = 0;
}

void Timer2_Mode_Set()
```

```
{
    uchar Read;
    Read = T2CON;
    Read &= ~(1);
    Read |= 0x02&0x01;
    T2CON = Read;

    Read = T2CON;
    Read &= ~(1<<4);
    Read |= (0x02&0x02)<<3;
    T2CON = Read;
}

void Timer2_IntEn(uchar ovf_int,uchar cap_int)
{
    if(ovf_int)
    {
        Timer2_OvfIntEn();
    }
    else
    {
        Timer2_OvfIntOff();
    }
    if(cap_int)
    {
        Timer2_CapIntEn();
    }
    else
    {
        Timer2_CapIntOff();
    }
}

void PwnCfg(short int cp1,short int cp2)
{
    T2CPH1 = (cp1>>8)&0xff;          //11
    T2CPL1 = cp1&0xff;              //Tpwn = 0xffff - {T2CPH1,T2CPL1}11
    T2CPH2 = (cp2>>8)&0xff;          //PPGO duty = (0xffff - {T2CPH2,T2CPL2})/Tpwn 33
    T2CPL2 = cp2&0xff;              //33
}

void Soft_Reload()
{
```

```
unsigned char read;
read = T2MOD;
read |= 0x01;//clear bit
T2MOD = read;
}

void test()
{
    Timer2_Stop();
    Timer2_Mode_Set();

    xPWMRMP |= 1<<3;    //使能 PWM 输出
    xPWMRMP |= 4;      //选择输出引脚
    Timer2_IntEn(1,0); //使能溢出中断
    PwnCfg(0xff00,0xff80);
    Timer2_Start();
    Soft_Reload();    //软件触发定时器 2
}

void io_init()
{
    POMDL = 0xaa;
    POMDH = 0xaa;
    P1MDL = 0xaa;
    P1MDH = 0xaa;
}

void bootload()
{
    WPKEY = 0x37;
    xCHIPCFG = 0x81; //程序将从 LDROM 启动，目标程序存储于地址 14K~16K
}

void ISR_Timer2Ovf() interrupt 5
{
    uchar read0;
    read0 = T2CON;

    time_cnt++;
    if(time_cnt == 100)
    {
        time_cnt = 0;
    }
}
```

```
        ovf = 1; //进 100 次中断后溢出，并发起程序切换操作
        P1 = 0xaa;
    }

    if(read0&0x80)
    {
        T2CON &= 0x7F; //清中断
    }
}

int main()
{
    time_cnt = 0;
    ovf = 0;
    io_init();
    P0 = 0x00;
    P1 = 0x00;
    test(); //PWM
    while(1)
    {
        if(ovf == 1)
        {
            ovf = 0;
            bootload(); // 切换
        }
    }
}
```

代码二基本功能：钟表定时，进中断 100 次切换到程序一，代码二存储于 14K ~ 16K 空间。

```
void WT_Cfg()
{
    uchar Read;
    Read = WTCN;
    Read &= ~(1<<7|0x0f);
    Read |= (1<<7)|(1<<3)|(0<<1)|(1);
    WTCN = Read;
}

void Wt_IntEn()
{
    EIE2 |= 1<<5;
    EA = 1;
}
```

```
void test()
{
    xIOMUX0 |= 1<<3; // enable nIRQ
    WT_Cfg();
    xT8=0x10; // 溢出中断
    Wt_IntEn();
}

void ISR_Wt() interrupt 19 using 1
{
    uchar read;
    time_cnt++;
    read = WTCN;
    read &= ~(1<<6);
    WTCN = read;
    if(time_cnt == 100) //进 100 次中断后溢出，并发起程序切换操作
    {
        time_cnt = 0;
        ovf = 1;
    }
}

void bootload()
{
    while(xCHIPCFG!= 0x80)
    {
        WPKEY = 0x37;
        xCHIPCFG = 0x80; //程序将从 APROM 启动，目标程序存储于 0~14K 空间
    }
}

int main()
{
    time_cnt=0;
    ovf = 0;
    xLFCSCON = 0x82;
    test(); //nIRQ
    while(1)
    {
        if(ovf == 1)
        {
            ovf = 0;
            bootload();
        }
    }
}
```

}
}

10. 工作模式

为满足电子系统日益苛刻的低功耗要求，QF08L18 提供了两种省电模式：

- ◇ SLEEP 模式，也称待机模式。系统时钟源运行，但是 CPU 时钟 MClk 停止，各个模块的的时钟单独可控；
- ◇ STOP 模式，也称停机模式。内部 RCH 振荡以及外部晶振两个时钟源停止运行。RCL 和 WDT 可配置开启。在 STOP 模式，可以通过设置 LVRCFG 和 SYSCFG，切换到低功耗 LPLVD 低压检测模式，进一步减少功耗。

10.1 基本特征

- ◇ 两种省电模式。
- ◇ 丰富的唤醒信号源。
- ◇ 灵活的低功耗设计。

10.2 模式转换说明

由于 QF08L18 的时钟源较多，因此工作状态及互相间的转换就较麻烦。但是假设无论哪个时钟源选作主系统时钟，全速运行时（CPU 时钟 MCLK 不停）都称作正常工作模式，那么电路的工作状态就可简化为 4 种：复位状态/正常工作/待机状态/停机状态。

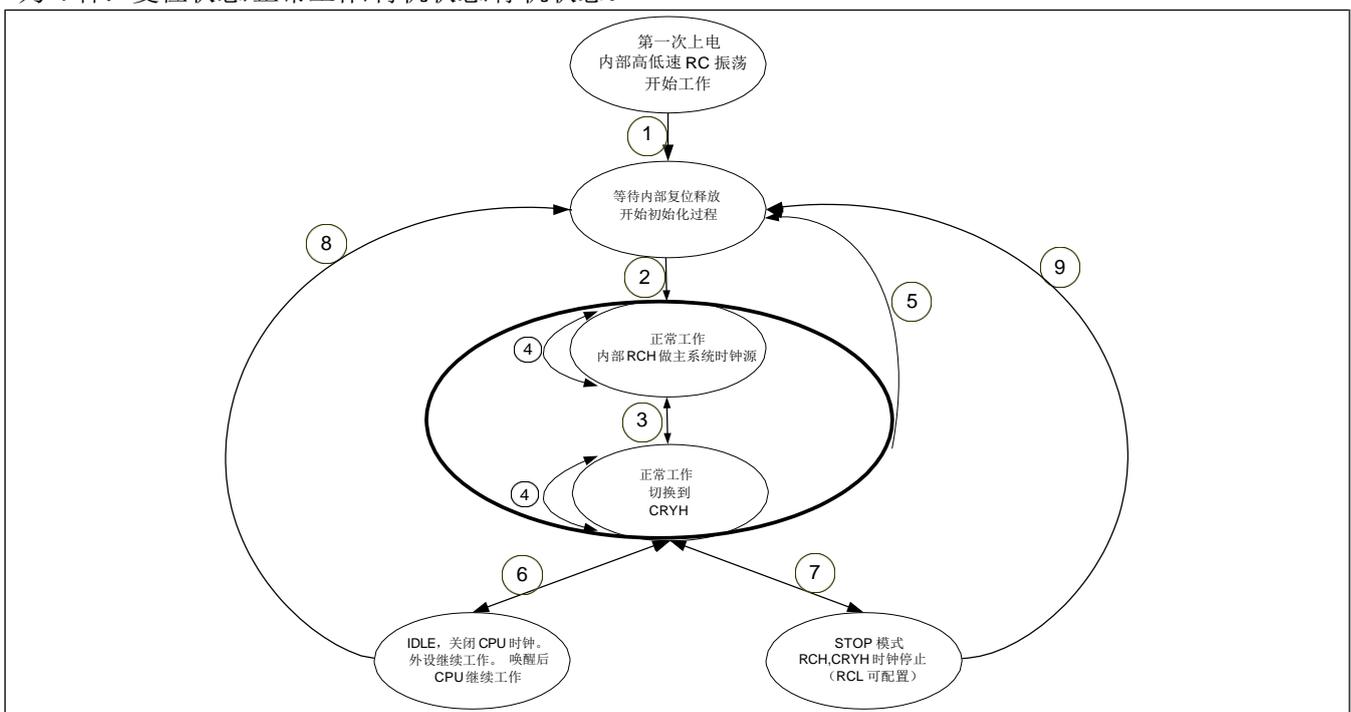


图 19 工作模式状态/转换

上图中各个数字序号代表电路在不同时钟或工作状态下的切换过程。其中(1)表示上电复位后电路进入初始化过程。粗线框内 2 个小框分别代表 2 种常见的工作状态，如前所述无论电路工作在何种时钟源下，都认为是正常工作模式。默认的 RCH 时钟单独展示出来。下面以上图的序号为线索阐述各状态转换条件。

表 24 工作状态转换条件表

过程编号	过程说明	转换条件		提示
		进入条件	退出条件	
(3)	正常工作：系统时钟源从 RCH 切换到外部 CRYH 时钟	开启 CRYH 并设置 MCKS=1		时钟精度更精确

过程编号	过程说明	转换条件		提示
		进入条件	退出条件	
(4)	正常工作：同一时钟源改变工作频率	设置 MCKSET 寄存器中的 MDIV 位		根据速度与功耗的需求选择时钟频率
(5)	正常工作状态时转入复位状态	任意复位源触发		
(6)	正常工作状态时进入待机状态	PCON.0=1	任意中断	降低工作电流但保持快速响应能力
(7)	正常工作状态时进入停机状态	PCON.1=1	KBI、外部中断、WDT 唤醒	深度休眠，超低功耗
(8)	待机模式转入复位状态	任意复位源触发，电路重新初始化		故障恢复
(9)	停机模式转入复位状态	任意复位源触发，电路重新初始化		

10.3 寄存器说明

工作模式相关寄存器如表 25 所示。

表 25 工作模式寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
PCON	电源控制寄存器	×	R/W	uuuu_uu00B	87H
LVRCON	低压复位控制寄存器	×	R/W	100u_0011B	A6H

电源控制寄存器 PCON[®] (87H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	STOP SSREG	SLEEP SSREG
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R W	R W
复位值:	U	U	U	U	U	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; R W: 读写物理地址分开;							

Bit7~Bit2 未实现位。

Bit1 STOP: 停止模式控制位。

该位置 1 时, 进入 STOP 模式, RCH 关闭, 系统进入深度休眠。读该位得到 SSREG[1]的值, 标志电路是否进入 STOP 模式。

Bit0 SLEEP: 待机模式控制位。

该位置 1 时, 进入 SLEEP 模式, CPU 时钟 MCLK 关闭。读该位得到 SSREG[0]的值, 标志电路是否确实进入 SLEEP 模式。

注 1: 写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。

10.4 待机模式 (SLEEP)

10.4.1 SLEEP 模式下系统工作情况

软件设置 SLEEP 位为 1, 如果没有允许的中断请求事件发生, 则电路进入 SLEEP 工作模式, 否则设置 SLEEP=1 无效, CPU 继续工作。

进入 SLEEP 模式后, CPU 相关寄存器 (PSW, ACC, SP 等)、SFR、RAM 等保持不变, IO 口状态

也维持原状。WDT 内计数器计数操作停止。而 CPU 时钟 MCLK 被关断，但是中断系统、定时器等功能模块依然有时钟（FCLK）驱动。

10.4.2 SLEEP 标志读写

为便于程序判断电路是否进入 SLEEP 模式，增加 SSREG0 为 SLEEP 的缓存寄存器，如果 SLEEP=1，则在下一个时钟沿硬件将 SSREG0 置 1。但是中断事件唤醒 MCU 后，SLEEP=0，而 SSREG0 依然保持 1，读 PCON 寄存器指令可以将 SSREG0 清 0。

10.4.3 SLEEP 唤醒方式

退出 SLEEP 模式有两种方式：内/外部中断或复位。任意复位源触发时，电路进入正常复位过程，重新初始化运行。进入 SLEEP 前允许的中断触发事件发生，电路就会被唤醒，退出 SLEEP 模式，响应中断，进入中断服务程序。然后回到进入 SLEEP 模式时的程序点（SLEEP 操作后一条指令）继续运行。

10.5 停机模式（STOP）

10.5.1 STOP 模式下系统工作情况

软件设置 STOP 位为 1，如果有允许的中断请求事件或者有效的停机模式唤醒信号源，比如 KBI 输入有效电平（如果配置成低电平唤醒，此时管脚为低），则设置的 STOP 无效，电路继续工作。

进入 STOP 模式，所有高频时钟（RCH、CRYH）都会被关闭，低频时钟（RCL）则根据 SYSCFG 寄存器的 RCLCFG 设置决定是否关闭。

类似 SLEEP 模式，该模式下 CPU 相关寄存器（PSW、ACC、SP 等）、SFR、RAM 等保持不变，IO 口状态也维持原状。WDT 计数器计数根据需要停止或继续工作。停机指示信号 STOP（文中有些模块框图中引用了该信号）变高，表明电路进入停机模式。

10.5.2 STOP 标志读写

为便于程序判断电路是否进入 STOP 模式，增加 SSREG1 为 STOP 的缓存寄存器，如果 STOP=1，则在下一个时钟沿硬件将 SSREG1 置 1。但是退出 STOP 模式后，STOP=0，而 SSREG1 依然保持 1，读 PCON 寄存器指令可以将 SSREG1 清 0。

注：	程序读取 PCON 寄存器，读取的是 SSREG[1]寄存器。程序设置 STOP=1 后，需要等 SSREG[1]也被置 1 才会关闭时钟源进入 STOP 模式。
----	---

10.5.3 STOP 唤醒方式

退出 STOP 模式有七种方式：外部复位、外部中断、KBI 输入、WDT 定时触发（需要通过设定 SYSCFG 的 WDTCFG 位以及 RCLCFG 位）、I2C 地址匹配唤醒、WT 定时唤醒（选择 RCL 时钟源并配置 RCLCFG 位）、LPLVD 低压唤醒。外部复位触发时，电路进入正常复位过程，重新初始化运行。外部中断，KBI 输入以及 WDT 定时溢出唤醒电路后，从进入 STOP 模式时的程序继续运行。但是唤醒需要等待时间，首先是开启 RCH，经过一定延时（ $256 \times Trch$ ）然后引入 CPU 作为系统时钟。这样从 STOP 模式唤醒后，由于 RCH 起振快而程序可以得到快速响应，并且经过延时处理 RCH 也进一步改善可靠性。

10.5.4 唤醒时序图

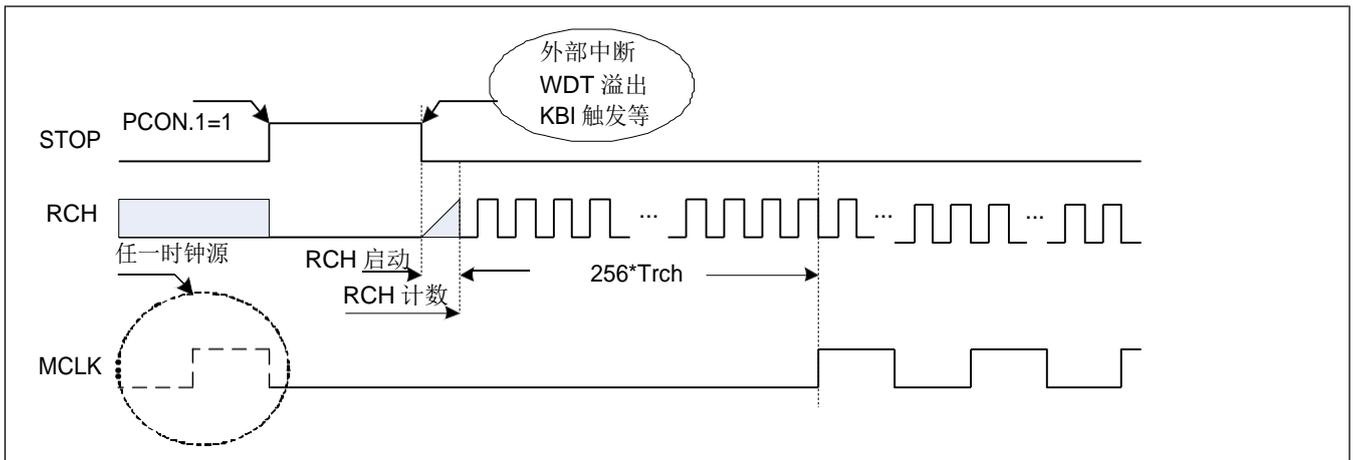


图 20 STOP 模式退出时序（非复位）

注：	如果由于外部复位退出 STOP，则时钟默认为 8 分频。如果由外部中断、KBI 输入、WDT 唤醒退出 STOP，则时钟维持进入 STOP 前的分频。
----	---

10.6 低功耗设计

10.6.1 时钟

工作电流通常与时钟的频率有直接的关系，频率越低电流越小。所以在满足运算速度的前提下，尽量降低 CPU 工作主频可以降低功耗。可以通过分频的方法降低主频。

10.6.2 低压复位和低压监测电路

在不使用低压复位时，将低压复位关掉，可以有效的减少功耗。有两种关掉 LVR 的方式：

- ◇ 进入 STOP 前，通过将 LVREN 清 0，关掉 LVR。
- ◇ 进入 STOP 前，将 LVRCFG 置 1（默认值），进入 STOP 后，自动关闭 LVR。

10.6.3 端口

复位之后的缺省状态下，QF08L18 的端口（除 P3.0 设置为输入上拉外）均被设置为高阻输入状态。即使在进入待机模式和停机模式，系统也会保持输入/输出端口的状态。

在具体应用中，为了降低静态功耗，必须将没有用到的端口设置为输入上拉或者输出状态，然后再进入待机模式和停机模式。对于某些小封装形式，未封出端口也需要设置成输出。

10.6.4 待机模式和停机模式

根据应用，合理的进入待机模式和停机模式可以有效的减少的功耗。详见 8.4 和 8.5 描述。

10.6.5 WDT 电路

在停机模式下，可以设置 WDT 模块，让 WDT 周期性唤醒电路，即让系统周期性工作，这样可以有效的降低系统的平均功耗。

11. 中断系统

现今 8/16/32 位 MCU 都提供这样的机制：允许某些内部或外部事件的优先级高于正常的程序流程，当这些事件发生时，CPU 必须尽快中止当前正在执行的程序，转向相应的处理程序为其服务，待处理完毕，再返回去执行被中止的原程序，这个过程就是中断。引起中断的原因或设备称为中断源。MCU 电路的中断源一般会有多个，用来管理这些中断的逻辑称为中断系统。

中断机制有两种，可屏蔽中断与不可屏蔽中断。可屏蔽中断指某个事件发生时能置起中断标志，但是只有对应使能位有效时该中断才会被响应；而不可屏蔽中断则不受使能位影响，当事件触发出现后 CPU 必须无条件响应，比如复位。

11.1 基本特征

QF08L18 集成了 8 位 LC51 核，采用了类似 8051 的中断结构。LC51 核最大支持 23 个中断源，QF08L18 的中断系统基本特征如下：

- ◇ 16 个可屏蔽中断源，其中包括 4 个外部中断。
- ◇ 一个中断对应一个中断使能位。
- ◇ 一个中断对应一个优先级控制位。
- ◇ 一个中断对应一个独立的中断入口地址（也称为中断向量）。
- ◇ 一个中断可能有一个以上标志，这种中断响应后需要软件识别中断源，如 T2 中断。
- ◇ 两个不同优先级中断同时发生时，先响应高优先级中断。
- ◇ 两个同优先级中断同时发生时，按照默认优先级响应。矢量地址低的中断源具有更高的优先级。
- ◇ 某些中断标志可在进入中断入口后被硬件自动清除，也可以被软件清除。
- ◇ KBI 中断有双缓冲机制。

11.2 中断表

QF08L18 各中断源以及相关标志位/使能位与入口地址列表如下：

表 26 QF08L18 中断资源

默认 优先级	中断名称	标志位	标志位 硬件清除?	使能位	中断入口地址
	复位	-	-	-	0000H
0	外部中断 0	IE0(TCON.1)	是	EX0	0003H
1	定时器 0 中断	TF0(TCON.5)	是	ET0	000BH
2	外部中断 1	IE1(TCON.3)	是	EX1	0013H
3	定时器 1 中断	TF1(TCON.7)	是	ET1	001BH
4	串行口 UART0 中断	RI/TI	否	ES	0023H
5	定时器 2 溢出中断	TF2(T2CON1.7) EXF2(T2CON1.6)	否	ET2	002BH
6	SPI 中断	SPRF(SPIFLG.5) SPTEF(SPIFLG.4) RXOV(SPIFLG.3) WCOL(SPIFLG.2) MODF(SPIFLG.1)	否	ESPI	0033H
7	定时器 2 捕获中断	CAPF(T2CON.6)	否	ET2CAP	003BH

默认 优先级	中断名称	标志位	标志位 硬件清除?	使能位	中断入口地址
8	I2C 中断	SI(I2CCON.3)	否	EI2C	0043H
9	低压报警中断	LVDF(LVDCON.5)	否	ELVD	004BH
10	高级定时器 T3 捕获源中断	CC1IF(SR2.1) CC2IF(SR2.2) CC3IF(SR2.3) CC4IF(SR2.4)	否	ET3CAP	0053H
11	比较器 0 输出上升沿中断	CP0RIF(CP0CON.1) CP0FIF(CP0CON.0)	否	ECMP0	005BH
12	比较器 1 输出下降沿中断	CP1RIF(CP1CON.1) CP1FIF(CP1CON.0)	否	ECMP1	0063H
13	ADC 中断	ADINTS(ADCON.1)	否	EADC	006BH
14	Flash 读延迟切换中断	LtyFlag(FLASHLTY.4)	否	EFLASH	0073H
15	外部中断 2	EINTF[2](EINTCS1.0)	否	EX2	007BH
16	外部中断 3	EINTF[3](EINTCS1.1)	否	EX3	0083H
17	看门狗 WDT 预警中断	WDTF(RSTSRC.3)	否	EWDT	008BH
18	串行口 UART1 中断	RI1/TI1	否	EUART1	0093H
19	WT 中断	WTIF(WTCON.6)	否	EWT	009BH
20	KBI 中断	KBIF(KBIFLG.0)	否	EKB	00A3H
21	高级定时器 3 非捕获源中断	BIF(SR2.7) TIF(SR2.6) COMIF(SR2.5) UIF(SR2.0)	否	ET3NONCAP	00ABH

11.3 中断框图

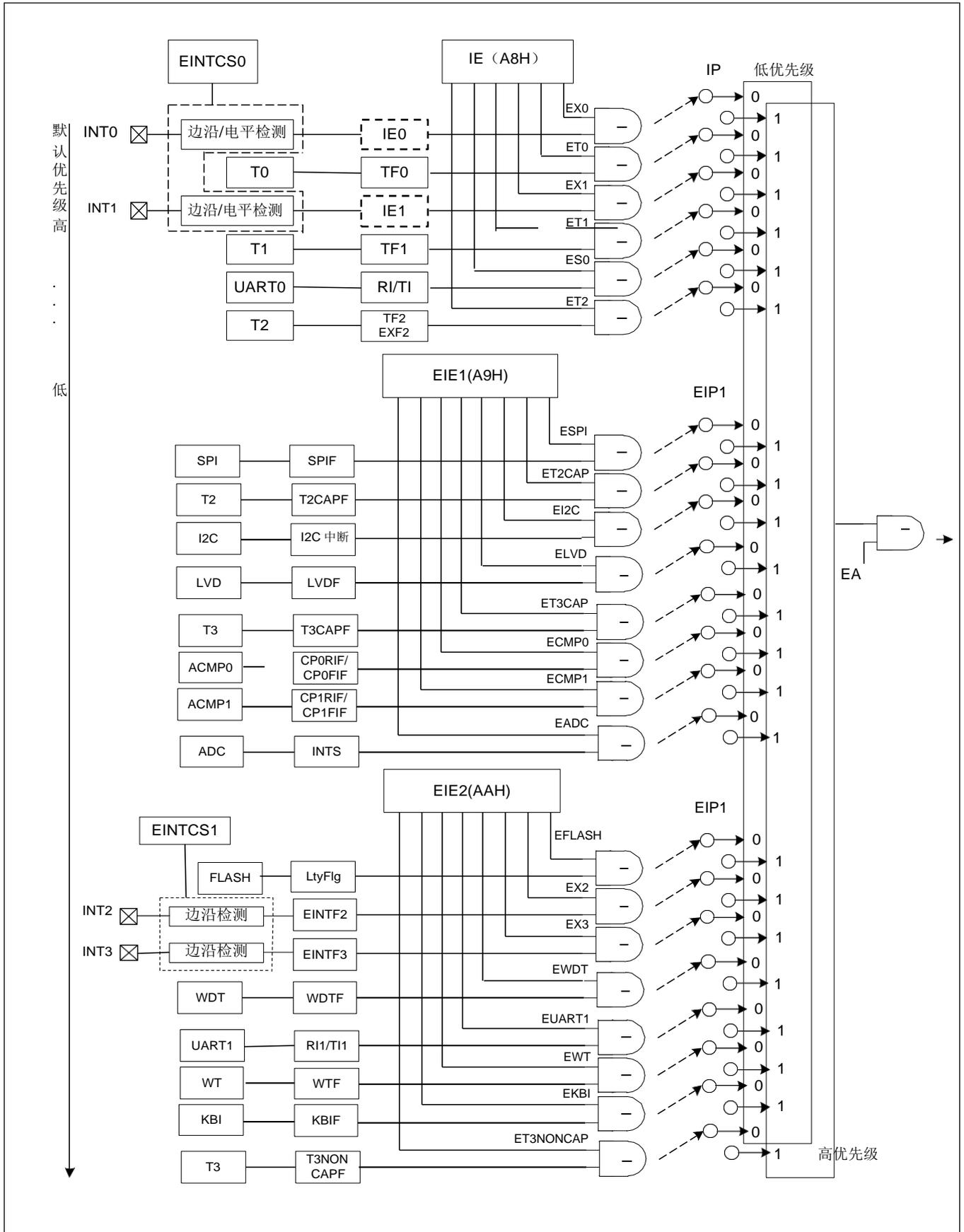


图 21 中断结构

上图中 IP/ EIP1/EIP2 对应 3 个优先级设置寄存器，IE/ EIE1/EIE2 对应 3 个中断使能寄存器（个别中断标志位还需要模块本身的中断使能位控制，详见各模块介绍）。而 EINTCS0/1 用于 4 个外部中断的触发方式选择/使能并记录相关状态。寄存器的相关功能详见下节。

11.4 管脚配置

外部中断 INT0~INT3 需要与外部管脚复用，配置如下表：

表 27 外部中断复用管脚配置列表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
INT0	I	外部中断 0 输入	P0.0 ~ P0.7	EINT01RMP[2:0]
INT1	I	外部中断 1 输入	全引脚覆盖	INT1SEL= 0: 来自外部引脚，由 EINT01RMP[7:3]选择输入的引脚 INT1SEL= 1: 来自 RCL/8
INT2	I	外部中断 2 输入	P2.0 ~ P2.4	EINT23RMP[2:0]
INT3	I	外部中断 3 输入	全引脚覆盖	EINT23RMP[7:3]

11.5 寄存器说明

QF08L18 的相关中断寄存器如表 28 所示。

表 28 中断寄存器

名称	说明	可位寻址	读写权限	复位值	字节地址
IE	中断允许寄存器	√	R/W	0u0u_0000B	A8H
IP	中断优先级寄存器	√	R/W	uu0u_0000B	B8H
EIE1	扩展中断允许 1	×	R/W	0000_0000B	A9H
EIE2	扩展中断允许 2	×	R/W	0000_0000B	AAH
EIP1	扩展中断优先级 1	×	R/W	0000_0000B	B9H
EIP2	扩展中断优先级 2	×	R/W	0000_0000B	BAH
EINTCS0	外部中断控制状态寄存器 0	×	R/W	0000_0000B	ACH
EINTCS1	外部中断控制状态寄存器 1	×	R/W	0000_0000B	BCH
TCON	定时器控制寄存器	√	R/W	0000_0000B	88H
EINT01RMP	外部中断 01 引脚选择寄存器	×	R/W	0000_0000B	FF56H
EINT23RMP	外部中断 23 引脚选择寄存器	×	R/W	0000_0000B	FF57H
IOMUX2	IO 复用控制寄存器 2	×	R/W	0000_0000B	FFE2H

中断寄存器的详细说明如下：

中断允许寄存器 IE（A8H）

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	EA	—	ET2	ES	ET1	EX1	ET0	EX0
位地址:	AFH	AEH	ADH	ACH	ABH	AAH	A9H	A8H
访问权限:	R/W	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	U	0	0	0	0	0	0

提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写
------	---

- Bit7 EA: 中断请求总使能位
 0: 禁止所有中断请求 (默认)。
 1: 中断请求总使能位打开, 中断是否允许取决于各自的中断使能位。
- Bit6 未实现位。
- Bit5 ET2: T2 中断使能位。
 0: 禁止 T2 的中断请求 (默认)。
 1: 允许 T2 的中断请求。
- Bit4 ES: UART0 中断使能位。
 0: 禁止 UART0 的中断请求 (默认)。
 1: 允许 UART0 的中断请求。
- Bit3 ET1: Timer1 溢出中断使能位。
 0: 禁止 Timer1 的中断请求 (默认)。
 1: 允许 Timer1 的中断请求。
- Bit2 EX1: 外部中断 INT1 中断使能位。
 0: 禁止 INT1 的中断请求 (默认)。
 1: 允许 INT1 的中断请求。
- Bit1 ET0: Timer0 溢出中断使能位。
 0: 禁止 Timer0 的中断请求 (默认)。
 1: 允许 Timer0 的中断请求。
- Bit0 EX0: 外部中断 INTO 中断使能位。
 0: 禁止 INTO 的中断请求 (默认)。
 1: 允许 INTO 的中断请求。

中断优先级寄存器 IP (B8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	PT2	PUART0	PT1	PX1	PT0	PX0
位 地 址:	BFH	BEH	BDH	BCH	BBH	BAH	B9H	B8H
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7~Bit6 未实现位。
- Bit5 PT2: T2 中断优先级选择位。
 0: 低优先级 (默认)。
 1: 高优先级。
- Bit4 PUART0: UART0 中断优先级选择位。
 0: 低优先级 (默认)。
 1: 高优先级。
- Bit3 PT1: Timer1 中断优先级选择位。
 0: 低优先级 (默认)。
 1: 高优先级。
- Bit2 PX1: 外部中断 INT1 中断优先级选择位。
 0: 低优先级 (默认)。
 1: 高优先级。
- Bit1 PT0: Timer0 中断优先级选择位。

- 0: 低优先级（默认）。
- 1: 高优先级。

Bit0 PX0: 外部中断 INTO 中断优先级选择位。
 0: 低优先级（默认）。
 1: 高优先级。

扩展中断允许寄存器 1 EIE1 (A9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	EADC	ECMP1	ECMP0	ET3CAP	ELVD	EI2C	ET2CAP	ESPI
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7** EADC: ADC 转换结束中断使能。
 0: 禁止 ADC 转换结束中断请求（默认）。
 1: 允许 ADC 转换结束中断请求。
- Bit6** ECMP1: 比较器 1 上升/下降沿中断使能位。
 0: 禁止比较器 1 中断请求（默认）。
 1: 允许比较器 1 中断请求。
- Bit5** ECMP0: 比较器 0 上升/下降沿中断使能位。
 0: 禁止比较器 0 中断请求（默认）。
 1: 允许比较器 0 中断请求。
- Bit4** ET3CAP: 高级定时器捕获中断使能位。
 0: 禁止高级定时器捕获中断请求（默认）。
 1: 允许高级定时器捕获中断请求。
- Bit3** ELVD: 低压检测中断使能位。
 0: 禁止低压检测中断请求（默认）。
 1: 允许低压检测中断请求。
- Bit2** EI2C: I2C 中断使能位。
 0: 禁止 I2C 中断请求（默认）。
 1: 允许 I2C 中断请求。
- Bit1** ET2CAP: 定时器 2 捕获中断允许位。
 0: 禁止 T2 捕获中断请求（默认）。
 1: 允许 T2 捕获中断请求。
- Bit0** ESPI: SPI 中断允许位。
 0: 禁止 SPI 中断请求（默认）。
 1: 允许 SPI 中断请求

扩展中断允许寄存器 2 EIE2 (AAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ET3NONCAP	EKBI	EWT	EUART1	EWDT	EX3	EX2	EFLASH
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7** ET3NONCAP: 高级定时器非捕获中断使能位。
 0: 禁止高级定时器非捕获中断请求（默认）。
 1: 允许高级定时器非捕获中断请求。

- Bit6 EKBI: 键盘中断使能位。 0: 禁止键盘中断请求（默认）。
1: 允许键盘中断请求。
- Bit5 EWT: WT 中断使能位。
0: 禁止 WT 中断请求（默认）。
1: 允许 WT 中断请求。
- Bit4 EUART1: UART1 中断使能位。
0: 禁止 UART1 中断请求（默认）。
1: 允许 UART1 中断请求。
- Bit3 EWDT: WDT 中断使能位。
0: 禁止 WDT 中断请求（默认）。
1: 允许 WDT 中断请求。
- Bit2 EX3: 外部中断 INT3 中断使能位。
0: 禁止 INT3 的中断请求（默认）。
1: 允许 INT3 的中断请求。
- Bit1 EX2: 外部中断 INT2 中断使能位。
0: 禁止 INT2 的中断请求（默认）。
1: 允许 INT2 的中断请求。
- Bit0 EFLASH: FLASH 读周期数异常中断使能位。
0: 禁止中断请求（默认）。
1: 允许中断请求。

扩展中断优先级寄存器 1 EIP1 (B9H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	PADC	PCPOF	PCPOR	PT3CAP	PLVD	PI2C	PT2CAP	PSPI
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7 PADC: ADC 转换结束中断优先级控制位。
0: 低优先级（默认）。
1: 高优先级。
- Bit6 PCPOF: CPO 下降沿中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。
- Bit5 PCPOR: CPO 上升沿中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。
- Bit4 PT3CAP: 高级定时器捕获中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。
- Bit3 PLVD: LVD 中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。
- Bit2 PI2C: I2C 中断优先级选择位。
0: 低优先级(默认)。

1: 高优先级。

Bit1 PT2CAP:T2 捕获中断优先级控制位。
 0: 低优先级（默认）。
 1: 高优先级。

Bit0 PSPI: SPI 中断优先级控制位。
 0: 低优先级（默认）。
 1: 高优先级。

扩展中断优先级寄存器 2 EIP2 (BAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	PT3NONCAP	PKB	PWT	PS1	PWDT	PX3	PX2	PFLASH
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7 PT3NONCAP: 高级定时器非捕获中断优先级选择位。
 0: 低优先级（默认）。
 1: 高优先级。

Bit6 PKB: KBI 中断优先级选择位。
 0: 低优先级（默认）。
 1: 高优先级。

Bit5 PWT: WT 中断优先级选择位。
 0: 低优先级（默认）。
 1: 高优先级。

Bit4 PS1: UART1 中断优先级选择位。
 0: 低优先级（默认）。
 1: 高优先级。

Bit3 PWDT: WDT 中断优先级选择位。
 0: 低优先级（默认）。
 1: 高优先级。

Bit2 PX3: 外部中断 INT3 中断优先级选择位。
 0: 低优先级（默认）。
 1: 高优先级。

Bit1 PX2: 外部中断 INT2 中断优先级选择位。
 0: 低优先级（默认）。
 1: 高优先级。

Bit0 PFLASH: FLASH 读周期数异常中断优先级选择位。
 0: 低优先级（默认）。
 1: 高优先级。

外部中断控制与状态寄存器 0 EINTCS0 (ACH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	INT1MS ^①	INT0MS ^①	INT1EN	INT0EN	INT1IPS	INT0IPS	INT1F	INT0F
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写
-----	---

- Bit7** **INT1MS:** INT1 输入模式选择位。
 0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT1F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。
- Bit6** **INT0MS:** INT0 输入模式选择位。
 0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INTOF, 允许接收脉冲宽度小于 MCLK 周期的中断请求。
- Bit5** **INT1EN:** INT1 中断请求使能位。
 0: 禁止 INT1 产生中断请求 (默认)。
 1: 允许 INT1 产生中断请求。
- Bit4** **INT0EN:** INT0 中断请求使能位。
 0: 禁止 INT0 产生中断请求 (默认)。
 1: 允许 INT0 产生中断请求。
- Bit3** **INT1IPS:** INT1 输入极性选择位。
 0: 反相输入 (默认)。
 1: 正相输入。
- Bit2** **INT0IPS:** INT0 输入极性选择位。
 0: 反相输入 (默认)。
 1: 正相输入。
- Bit1** **INT1F:** INT1 中断标志位。
 0: 无中断请求产生。
 1: 有中断请求产生。
 读到 1 后软件清 0。
- Bit0** **INT0F:** INT0 中断标志位。
 0: 无中断请求产生。
 1: 有中断请求产生。
 读到 1 后软件清 0。

注 1:	INT0 (INT1) 配置成锁存模式时, 必须在中断处理程序 (ISR) 中清除 INTOF (INT1F) 标志以便接收后面的中断。
------	--

外部中断控制与状态寄存器 1 EINTCS1 (BCH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	INT3MS ^①	INT2MS ^①	INT3EN	INT2EN	INT3IPS	INT2IPS	INT3F	INT2F
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7** **INT3MS:** INT3 输入模式选择位。
 0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT3F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。

- Bit6** **INT2MS:** INT2 输入模式选择位。0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT2F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。
- Bit5** **INT3EN:** INT3 中断请求使能位。
 0: 禁止 INT3 产生中断请求 (默认)。
 1: 允许 INT3 产生中断请求。
- Bit4** **INT2EN:** INT2 中断请求使能位。
 0: 禁止 INT2 产生中断请求 (默认)。
 1: 允许 INT2 产生中断请求。
- Bit3** **INT3IPS:** INT3 输入极性选择位。
 0: 反相输入 (默认)。
 1: 正相输入。
- Bit2** **INT2IPS:** INT2 输入极性选择位。
 0: 反相输入 (默认)。
 1: 正相输入。
- Bit1** **INT3F:** INT3 中断标志位。
 0: 无中断请求产生。
 1: 有中断请求产生。
 读到 1 后软件清 0。
- Bit0** **INT2F:** INT2 中断标志位。
 0: 无中断请求产生。
 1: 有中断请求产生。
 读到 1 后软件清 0。

注 1: INT2 (INT3) 配置成锁存模式时, 必须在中断处理程序 (ISR) 中清除 INT2F (INT3F) 标志以便接收后面的中断。

定时器控制寄存器 TCON (88H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
位地址:	8FH	8EH	8DH	8CH	8BH	8AH	89H	88H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit3** **IE1:** INT1 中断请求标志位。
 0: 无 INT1 中断请求产生。
 1: 有 INT1 中断请求产生。
 读到 1 后软件清 0。
- Bit2** **IT1:** INT1 触发方式选择位。
 0: 高电平触发 (默认)。
 1: 上升沿触发。
- Bit1** **IE0:** INTO 中断请求标志位。
 0: 无 INTO 中断请求产生。
 1: 有 INTO 中断请求产生。

读到 1 后软件清 0。

- Bit0 IT0: INTO 触发方式选择位。
 0: 高电平触发（默认）。
 1: 上升沿触发。

外部中断引脚选择寄存器 EINT01RMP (FF56H) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	INTRMP1[4:0]					INTRMP0[2:0]		
访问权限:	R/W	R/W	R/W	R/W	-	-	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7~Bit3 INT1 输入引脚选择
 00000~00111: P0.0~P0.7 (默认 P0.0)
 01000~01111: P1.0~P1.7
 10000~10100: P2.0~P2.4
 其他: P1.0

- Bit2~Bit0 INTO 输入引脚选择
 000: P0.0, 默认
 001: P0.1
 010: P0.2
 011: P0.3
 100: P0.4
 101: P0.5
 110: P0.6
 111: P0.7

外部中断引脚选择寄存器 EINT23RMP (FF57H) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	INTRMP3[4:0]					INTRMP2[2:0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7~Bit3 INT3 输入引脚选择
 00000~00111: P0.0~P0.7 (默认 P0.0)
 01000~01111: P1.0~P1.7
 10000~10100: P2.0~P2.4
 其他: P2.3

- Bit2~Bit0 INT2 输入引脚选择
 000: P2.0, 默认
 001: P2.1
 010: P2.2
 011: P2.3
 100: P2.4

其他：P2.0

管脚复用控制寄存器 IOMUX2 (FFE2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T1OE[1]	T1OE[0]	T0OE[1]	T0OE[0]	BUZEN[1]	BUZEN[0]	nBUZEN [1]	nBUZEN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

- Bit7~Bit6** T1OE: T1O 复用使能位。
 00: P0.2
 01: P0.6
 10: P1.0
 11: P2.1
- Bit5~Bit4** T0OE: T0O 复用使能位。
 00: P0.1
 01: P0.5
 10: P0.7
 11: P2.0
- Bit3~Bit2** BUZEN[1:0]: BUZ 复用使能位。
 11: P2.0 用作 BUZ 输出。
 10: P0.3 用作 BUZ 输出。
 0x: P0.3、P2.0 用作 GPIO (默认)。
- Bit1~Bit0** nBUZEN: nBUZ 复用使能位。
 11: P2.1 用作 nBUZ 输出。
 10: P0.4 用作 nBUZ 输出。
 0x: P0.4 和 P2.1 用作 GPIO (默认)

注 1:	T0O, T1O 复用控制分别在 T0PWMMEN 和 T1PWMMEN 为高电平时有效
------	--

11.6 功能描述

11.6.1 中断执行过程

每个中断源都可以用 IE/EIE1/EIE2 三个寄存器中的一个中断允许位允许或禁止, 并且必须首先置 EA 位为 1 (IE.7) 才能使能所有中断。不管每个中断允许位的设置如何, 清 EA 位将禁止所有中断。进入待机模式前, 必须置 EA 为 1, 并且使能相应中断使能位, 这样待机模式时相应中断请求发生时才能唤醒 CPU 并进入中断服务程序。

某些中断标志在 CPU 进入 ISR 时被中断系统中的硬件逻辑自动清除。但大多数中断标志不是由硬件清除的, 必须在 ISR 返回前用软件清除。如果一个中断标志在 CPU 执行 RETI 指令后仍然保持置位状态, 则会立即产生一个新的中断请求, CPU 将在执行完下一条指令后重新进入 ISR。

软件设置对应的中断标志, 在对应中断使能时也能产生有效的中断请求。

11.6.2 中断时序

在 EA 置 1 且相应中断使能的前提下中断基本时序如下图 (外部中断 INTn 为例):

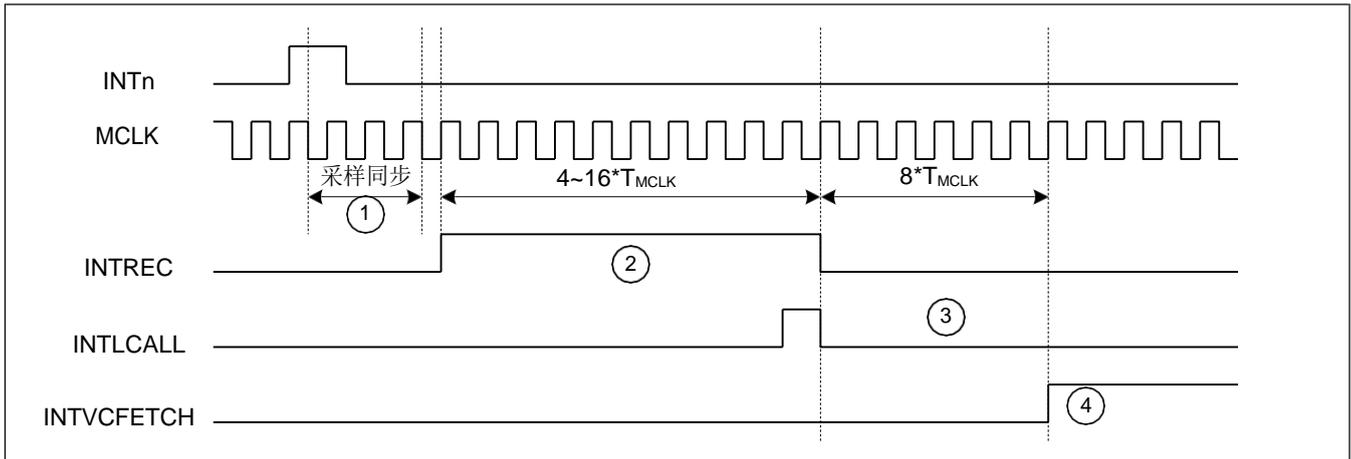


图 22 基本中断时序

信号说明:

- ✧ INTREC/INTLCALL/INTVCFETCH 这三个信号是中断处理逻辑内部信号。
- ✧ INTREC 表示 CPU 有效识别中断请求。
- ✧ INTLCALL 表示 CPU 接下来插入一个长跳转指令。
- ✧ INTVCFETCH 表示 CPU 跳转到对应中断矢量地址入口。

当外部中断有效电平/有效沿到达 ($INTnMS=0, n=0/1/2/3$), LC51 核依靠 FCLK 的下降沿来采集该信号 (同步), 第 4 个下降沿系统采集到同步中断信号。如果在此之前系统处于 SLEEP 模式, 则此后系统将被唤醒, MCLK 有效 (SLEEP 模式 MCLK 停止, 所以前面的采集时钟来自 FCLK, 该信号与 MCLK 相位相同)。接着 MCLK 的上升沿置起 INTREC 标志。该过程对应图 9-2 的第 1 步。

为了保证中断处理过程不把任意一个正在执行的指令从中间断开引起错误, 中断执行流程允许中断请求有效 (INTREC 置高) 以后接下来的两条指令执行完成。此时中断逻辑清除内部的中断请求 (一般非模块中的标志) 并准备执行 LCALL 指令。如图 9-2 的第 2 步, 中断逻辑执行这些操作至少需要 4 个 MCLK 周期, 即使两条指令执行时间小于 4 个 MCLK 周期, 那么这一步的时间最少也是 4 个 MCLK 周期。如果两条指令执行时间长于 4 个 MCLK 周期, 那么这一步延时由指令执行时间决定。如两条 DIV 指令, 则这里延时长达 16 个周期。

第 3 步时间固定为 8 个 MCLK 周期。程序指针压栈, 执行 LCALL 操作, 获取中断矢量地址。因此中断响应时间 (中断请求信号出现到中断服务入口的延时) 最短为 15 个 MCLK 周期, 最大为 27 个 MCLK 周期。

外部中断信号还有一条异步触发中断的途径。设置 $EINTSEL[n]=1$, 外部信号边沿 (上跳或下跳) 直接触发生成一个请求标志 EINTF, 然后再由 FCLK 采样随后响应过程与前面描述相同。

11.6.3 外部中断

11.6.3.1 外部中断采集

QF08L18 有 4 个外部中断 $INT0 \sim INT3$, 其中 $INT0/INT1$ 除了兼容传统 51 设计, 采用 TCON 寄存器中的 $IT0/IT1$ 控制 $INT0/INT1$ 外, 还增加了 1 个寄存器 EINTCS0, 允许任意边沿或电平触发中断。 $INT2/INT3$ 则只允许边沿触发中断。

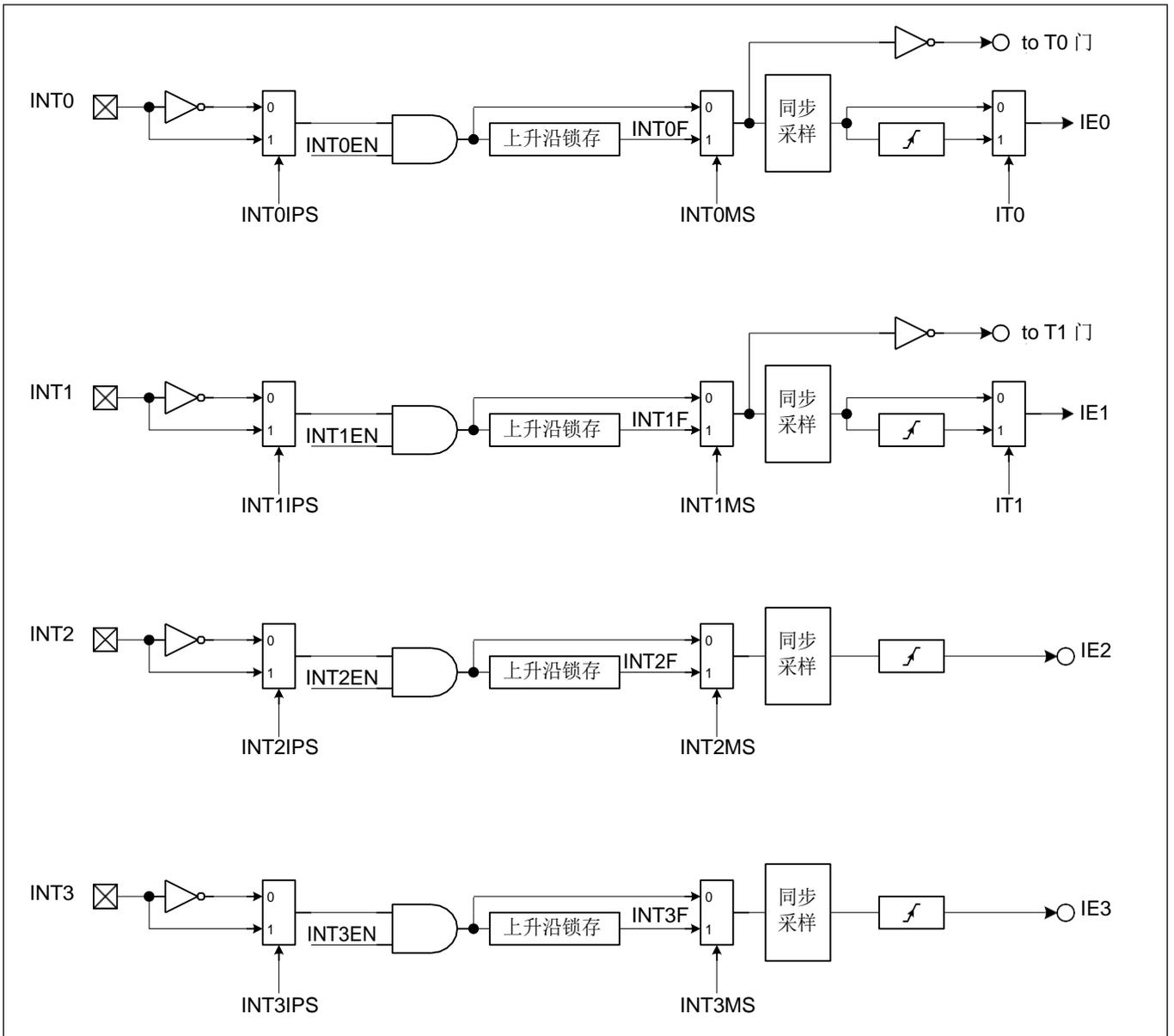


图 23 外部中断采集

注 1:	上表中的 INT0~INT3 可选择不同的管脚（或信号），请参考管脚配置章节。相应管脚用作外部中断时，要设置成输入，避免误触发。
注 2:	上升沿锁存单元一旦检测到上升沿，就会将中断标志位置 1，直到复位或者软件清除（读 1 清 0）才变 0
注 3:	外部中断配置成锁存模式时，必须在中断处理程序（ISR）中清除 INTnF（n=0/1/2/3）标志以便接收后面的中断。

上图是对外部中断采集（见图 21 中断结构的虚框）的细化。经 INTnMS 选择前所有 4 个中断配置相同，有两条路径，这两条路径差别在于对外部输入中断脉冲信号宽度的要求不同。

当 INTnMS=0 时，外部信号直接输入到中断处理逻辑，要求外部中断信号宽度不小于 1 个 FCLK 周期，简称直通中断途径。

当 INTnMS 置 1 时，外部信号的上升沿可直接产生中断标志 INT2F/INT3F，因此也称之为锁存中断路径。该路径下可以接收信号宽度小于 FCLK 周期的中断请求，但由于要经过硬件消抖，所以对中断脉冲仍有最小宽度的要求。配置成该模式时，中断处理结束后必须软件清除 INTnF 标志（读 1 清 0）以便接收后面的中断。

由于这些标志位采用了双缓冲设计，建议用户在每次清 0 前后读一次标志位，以确保有效清除中断标志。

11.6.3.2 外部中断模式

INT0/1 采用与传统 51 类似结构，寄存器 TCON 中控制位 IT0/IT1 进一步控制电平与极性的选择。这两路中断配置方式如下（以 INT0 为列，INT1 与 INT0 相同）：

表 29 INT0 模式配置

INTOMS	IT0	INT0IPS	说明
0	0	0	模式 1：直通模式，低电平触发中断，中断标志 IE0。
	0	1	模式 2：直通模式，高电平触发中断，中断标志 IE0。
	1	0	模式 3：直通模式，下降沿触发中断，中断标志 IE0。
	1	1	模式 4：直通模式，上升沿触发中断，中断标志 IE0。
1	0	0	模式 5：锁存模式，下降沿触发设置 INT0F 标志，该标志以电平方式产生内部中断请求。因此中断处理结束后如果 INT0F 没有清除，那么将产生连续中断。
	0	1	模式 6：锁存模式，上升沿触发设置 INT0F 标志。后续处理同模式 5。
	1	0	模式 7：锁存模式，下降沿触发设置 INT0F 标志，该标志从低到高跳变产生内部中断请求。因此只产生一次中断。同样中断处理结束后需要清 INT0F 标志，否则无法接收后面的中断。
	1	1	模式 8：锁存模式，上升沿触发设置 INT0F 标志。后续处理同模式 7。

根据上表，模式 1/2/3/4 配置为直通模式。外部中断 INT0（INT1）模式 1/3 与传统 51 兼容。而模式 2/4 分别实现了高电平/上升沿中断。电平中断模式下，中断服务程序结束退出中断后，如果相应电平条件依然满足，那么将再次进入中断。这 4 种模式也要求外部中断信号宽度 ≥ 1 个 MCLK 周期。

模式 5/6/7/8 配置为锁存模式，扩展该方式的根本目的是接收脉冲宽度小于 MCLK 周期的中断信号。无论 IT0/IT1 怎么设置，中断逻辑都能检测到有效的中断请求。只是 IT0（IT1）=0，外部一次触发产生的请求将在内部不停产生中断请求。而置 1 时，则只触发一次有效的中断请求。ISR 退出后必须清 INT0F/INT1F 标志，否则模式 5/6 下将不停产生中断。而模式 7/8 则无法接收后面的中断。用户可根据需要选择这 4 种模式中的一种。

由于 EINTCS0/1 中配置 INTnEN 位，即使相应中断允许位不使能，外部中断请求有效时 IE0/IE1 标志也能置 1。

INT2/3 与 INT0/1 不同，其模式配置如下表（以 INT2 为列，INT3 与 INT2 相同）：

表 30 INT2 模式配置

INTnMS	INTnIPS	说明
0	0	直通模式，下降沿触发中断
0	1	直通模式，上升沿触发中断
1	0	锁存模式，下降沿触发设置 INT2F 标志，发出中断请求
1	0	锁存模式，上升沿触发设置 INT2F 标志，发出中断请求

11.7 使用提示

中断的正确使用方法如下：

- 1 开启相关模块或配置好外部中断方式。（注意：对于外部中断选用异步中断方式时，需要将对应中断端口设置为输入模式）。
- 2 清除对应中断标志，防止残留状态触发意外中断。注意某些具有双缓冲机制的中断，需要清除两次。
- 3 对应中断使能位置 1，允许该中断源触发中断。
- 4 EA 置 1，总中断使能开启。

进入中断服务程序后，正确流程如下：

- 1 备份相关寄存器。
- 2 根据中断源进行相关中断处理操作。

- 3 恢复相关寄存器。
- 4 清除中断标志（注意某些标志硬件自动清除），并退出中断服务程序（RETI）。

12 定时器 T0/T1

12.1 基本特征

QF08L18 的 T0/T1 两个定时器，与传统 51 兼容，但 T0 增加了方波输出，T1 增加了 PWM 输出。基本特征如下：

- ◇ 兼容 MCS-51 的 Timer0/Timer1
- ◇ 独立的预分频时钟选择，每个定时器都有 8 级分频比可选，最大分频比为 256。
- ◇ T0/T1 各自中断源独立。
- ◇ T0 支持方波输出，T1 支持 PWM 输出。

12.2 工作模式

正常工作模式和待机模式下 T0/T1 均可正常工作，产生中断。
 停机模式下，T0/T1 不工作。

12.3 管脚配置

T0/T1 工作在计数模式和 PWM 模式时，需要与管脚复用，具体配置见下表。

表 31 T0/T1 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
T0	I	T0 计数脉冲输入	P0.5/P1.3	TIMER0RMP
T1	I	T1 计数脉冲输入	P0.0/P0.7	TIMER1RMP
T0O	O	T0 输出	P0.5/P1.3	TOPWMEN 置 1。 T0OE (IOMUX2.6)。
T1O	O	T1 输出	P0.0/P0.7	T1PWMEN 置 1。 T1OE (IOMUX2.7)。

12.4 寄存器说明

定时器 T0/T1 相关寄存器列表如下：

表 32 T0/T1 相关寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
TCON	定时器控制寄存器	√	R/W	0000_0000B	88H
TMOD	定时器方式寄存器	×	R/W	0000_0000B	89H
TL0	定时器 0 低字节	×	R/W	0000_0000B	8AH
TL1	定时器 1 低字节	×	R/W	0000_0000B	8BH
TH0	定时器 0 高字节	×	R/W	0000_0000B	8CH
TH1	定时器 1 高字节	×	R/W	0000_0000B	8DH
TIMPRS	TIMER 时钟预分频控制寄存器	×	R/W	u000_u000B	FFCAH
TIMCFG	定时器 0/1 配置寄存器	×	R/W	uuuu_uu00B	FFCDH

名称	说明	可位寻址	读写权限	复位值	字节地址
IOMUX2	IO 复用控制寄存器 0	×	R/W	0000_0000B	FFE2H
TIMERMP	计数时钟源输入引脚配置寄存器	×	R/W	0000_0000B	FF51H

相关寄存器详细说明如下：

定时器控制寄存器 TCON (88H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
位地址:	8FH	8EH	8DH	8CH	8BH	8AH	89H	88H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7** **TF1:** T1 溢出中断请求标志位。
 0: 无 T1 溢出中断请求产生。
 1: 有 T1 溢出中断请求产生。
 当 T1 计数溢出时, 由内部硬件置位 TF1, 向 51 核请求中断, 当 51 核响应中断并转向执行 ISR 时, 该标志位由内部硬件自动清 0。
- Bit6** **TR1:** T1 使能位。
 0: 关闭 T1 (默认)。
 1: 开启 T1。
- Bit5** **TF0:** T0 溢出中断请求标志位。
 0: 无 T0 溢出中断请求产生。
 1: 有 T0 溢出中断请求产生。
 当 T0 计数溢出时, 由内部硬件置位 TF0, 向 51 核请求中断, 当 51 核响应中断并转向执行 ISR 时, 该标志位由内部硬件自动清 0。
- Bit4** **TR0:** T0 使能位。
 0: 关闭 T0 (默认)。
 1: 开启 T0。
- Bit3** **IE1:** INT1 中断请求标志位。
 0: 无 INT1 中断请求产生。
 1: 有 INT1 中断请求产生。
 读到 1 后软件清 0。
- Bit2** **IT1:** INT1 触发方式选择位。
 0: 高电平触发 (默认)。
 1: 上升沿触发。
- Bit1** **IE0:** INTO 中断请求标志位。
 0: 无 INTO 中断请求产生。
 1: 有 INTO 中断请求产生。
 读到 1 后软件清 0。
- Bit0** **IT0:** INTO 触发方式选择位。
 0: 高电平触发 (默认)。
 1: 上升沿触发。

定时器模式寄存器 TMOD (89H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	GATE1	C/T1	T1M[1]	T1M[0]	GATE0	C/T0	T0M[1]	T0M[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7** **GATE1: T1 门控模式使能位。**
 0: 禁止门控模式, T1 的开启与关闭由 TR1 决定 (默认)。
 1: 开启门控模式, T1 的开启与关闭由 TR1 和 INT1 决定。
- Bit6** **C/T1: T1 定时器/计数器模式选择位。**
 0: 定时器模式, 由 FCLK 经过预分频器后触发 T1 (默认)。
 1: 计数器模式, 由 T1 管脚输入的脉冲信号触发 T1。
- Bit5~Bit4** **T1M[1:0]: T1 工作模式选择位。**
 00: 模式 0, 13 位计数模式 (默认)。
 01: 模式 1, 16 位计数模式。
 10: 模式 2, 自动装载的 8 位计数模式。
 11: T1 无效, 停止计数。
- Bit3** **GATE0: T0 门控模式使能位。**
 0: 禁止门控模式, T0 的开启与关闭由 TR0 决定 (默认)。
 1: 开启门控模式, T0 的开启与关闭由 TR0 和 INTO 决定。
- Bit2** **C/T0: T0 定时器/计数器模式选择位。**
 0: 定时器模式, 由 FCLK 经过预分频器后触发 T0 (默认)。
 1: 计数器模式, 由 T1 管脚输入的脉冲信号触发 T0。
- Bit1~Bit0** **T0M[1:0]: T0 工作模式选择位。**
 00: 模式 0, 13 位计数模式 (默认)。
 01: 模式 1, 16 位计数模式。
 10: 模式 2, 自动装载的 8 位计数模式。
 11: 模式 3, 两个独立的 8 位计数器。

T0 寄存器高字节 TH0 (8CH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TH0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

T0 寄存器低字节 TL0 (8AH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TL0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

T0 寄存器是 16 位寄存器, 由高字节 TH0 和低字节 TL0 构成, 复位值都是 00H。这两个寄存器都只能按字节寻址, 写 TH0、TL0 之前须先停止 T0 的计数。

T1 寄存器高字节 TH1 (8DH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TH1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

T1 寄存器低字节 TL1 (8BH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TL1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

T1 寄存器是 16 位寄存器, 由高字节 TH1 和低字节 TL1 构成, 复位值都是 00H。这两个寄存器都只能按字节寻址, 写 TH1、TL1 之前须先停止 T1 的计数。

T0/T1 时钟预分频控制寄存器 TIMPRS (FFCAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	TIMPRS1[2]	TIMPRS1[1]	TIMPRS1[0]	—	TIMPRS0[2]	TIMPRS0[1]	TIMPRS0[0]
访问权限:	R-0	R/W	R/W	R/W	R-0	R/W	R/W	R/W
复位值:	U	0	0	0	U	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7 未实现位。

Bit6~Bit4 TIMPRS1[2:0]: T1 时钟预分频选择位。
 000: T1 工作时钟为 FCLK/2 (默认)。
 001: T1 工作时钟为 FCLK/4。
 010: T1 工作时钟为 FCLK/8。
 011: T1 工作时钟为 FCLK/16。
 100: T1 工作时钟为 FCLK/32。
 101: T1 工作时钟为 FCLK/64。
 110: T1 工作时钟为 FCLK/128。
 111: T1 工作时钟为 FCLK/256。

Bit3 未实现位。

Bit2~Bit0 TIMPRS0[2:0]: T0 时钟预分频选择位。
 000: T0 工作时钟为 FCLK/2 (默认)。
 001: T0 工作时钟为 FCLK/4。
 010: T0 工作时钟为 FCLK/8。
 011: T0 工作时钟为 FCLK/16。
 100: T0 工作时钟为 FCLK/32。
 101: T0 工作时钟为 FCLK/64。
 110: T0 工作时钟为 FCLK/128。
 111: T0 工作时钟为 FCLK/256。

T0/T1 扩展 PWM 配置寄存器 TIMCFG (FFCDH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	T1PWMEN	TOPWMEN
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W

复位值:	U	U	U	U	U	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7~Bit2 未实现位。
- Bit1 T1PWMEN: T1 配置为 PWM 输出模式使能位。
 0: 禁止 PWM 输出模式 (默认)。
 1: 使能 PWM 输出模式。
- Bit0 TOPWMEN: T0 配置为方波输出模式使能位。
 0: 禁止方波输出模式 (默认)。
 1: 使能方波输出模式。

管脚复用控制寄存器 IOMUX2 (FFE2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	T1OE	TOOE	—	—	I2CRMP[1:0]		BUZEN	nBUZEN
访问权限:	R/W	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	U	U	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7 T1OE: 定时器 1 PWM 波形输出使能位 (T1PWMEN 为 1 时有效)。
 0: P0.0 复用成 PWM (默认)
 1: P0.7 复用成 PWM
- Bit6 TOOE: 定时器 0 方波输出使能位 (TOPWMEN 为 1 时有效)。
 0: P0.5 复用成 PWM (默认)
 1: P1.3 复用成 PWM

注 1:	T0O, T1O 复用控制分别在 TOPWMEN 和 T1PWMEN 为高电平时有效
------	--

计数时钟源输入引脚配置寄存器 TIMERMP (FF51H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TIMER2RMP	T2EX	-	-	-	-	TIMER1RMP	TIMER0RMP
访问权限:	R/W	R/W	R-0	R-0	R-0	R-0	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- TIMER1RMP T1 输入引脚选择
- Bit1 0: P0.0 (默认)
 1: P0.7
- TIMER0RMP T0 输入引脚选择
- Bit0 0: P0.5 (默认)
 1: P1.3

12.5 功能描述

QF08L18 的 T0/T1 为 16 位定时/计数，有 8 位预分频器。兼容了传统 51 T0/T1 的功能，通过设置 TOM[1:0]和 T1M[1:0]，T0 支持 4 种工作模式，T1 支持 3 种工作模式。同时 T0 增加了方波输出功能，T1 增加了 PWM 输出功能。

TR1/TR0 用于使能 T0/T1，TF1/TF0 用于指示 T0/T1 的状态。通过将 ET1/ET0 置 1，可以在 T0/T1 溢出时，产生中断请求。

下面以 T0 为例介绍定时器的几种工作模式（除工作模式 3，T1 和 T0 相同）。

12.5.1 工作模式 0

TOM[1:0]设置为 2' b00 时，T0 工作在模式 0。

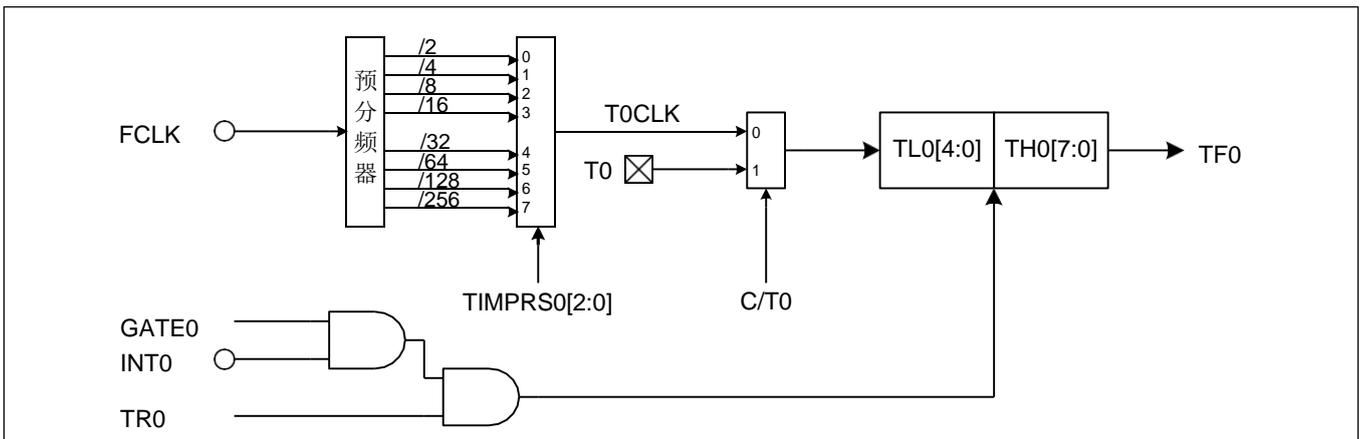


图 24 工作模式 0

此模式下，T0 用作 13 位定时器，由 TH0 的 8 位和 TL0 的低 5 位组成。计到 1FFFH 后，再计一次将使计数置回到 0000H，溢出中断标志位 TF0 置 1，如果该中断被允许（ET0 置 1），将产生一个中断。

T0 有两种使能方式：GATE0 为 0 时，TR0 置 1 使能 T0；GATE0 为 1 时，TR0 置 1 并不会立即使能 T0，而是要等到 INTO 为高电平时才使能 T0，称之为门控计数方式，可用于测量外部中断管脚 INTO 有效输入信号的电平宽度。

注：INT0 并不直接来自于外部管脚，而是经过一些逻辑处理，[详见图 9-3](#)

通过设置 C/T0 选择定时和计数模式。C/T0 为 0 时，选择定时模式时，时钟源来自 FCLK；C/T0 为 1 时，选择计数模式时，时钟源来自外部管脚 T0/T1 输入，当检测到 T0/T1 管脚的下降沿时，计数器加 1。

12.5.2 工作模式 1

TOM[1:0]设置为 2' b01 时，T0 工作在模式 1。

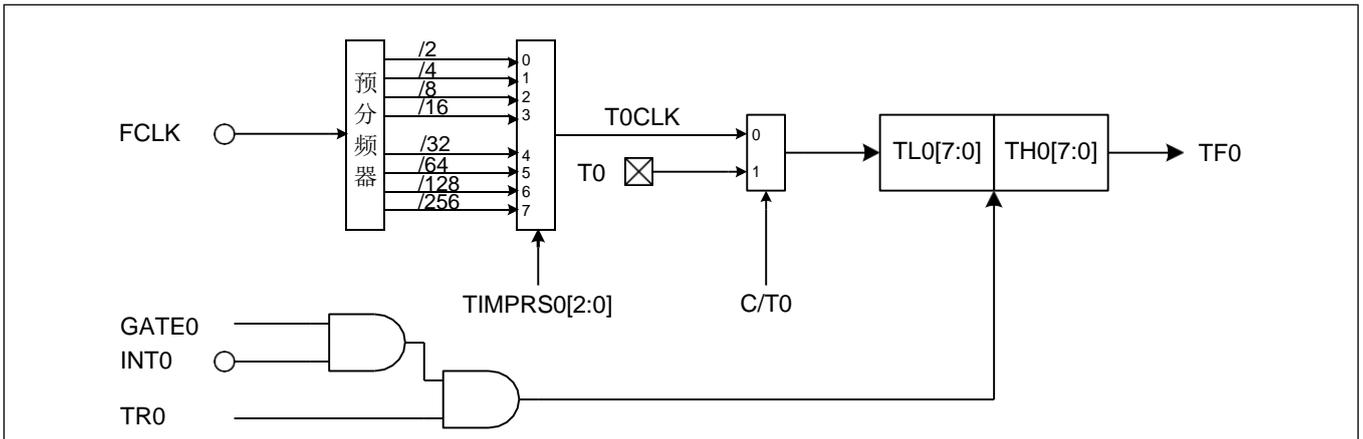


图 25 工作模式 1

此模式下，T0 用作 16 位定时器，由 TH0 的 8 位和 TL0 的 8 位组成。计到 FFFFH 后，再计一次将使计数置回到 0000H，溢出中断标志位 TF0 置 1，如果该中断被允许（ET0 置 1），将产生一个中断。

其他控制方式同模式 0。

12.5.3 工作模式 2

TOM[1:0] 设置为 2' b10 时，T0 工作在模式 2。

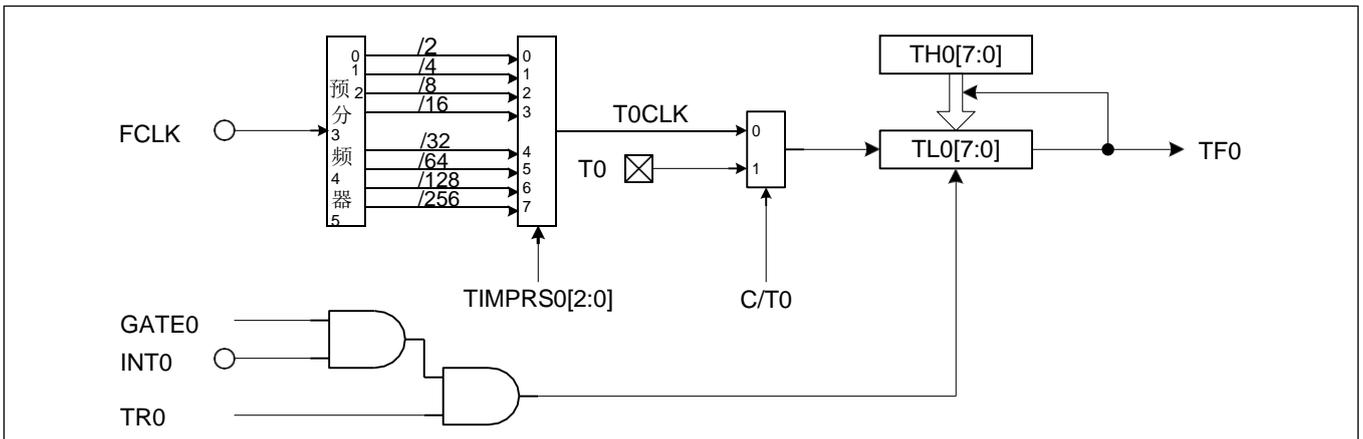


图 26 工作模式 2

此模式下，T0 配置为具有自动重新装载计数初值能力的 8 位定时器。TL0 为 8 位定时器，而 TH0 装载初始值。当 TL0 中的计数值发生溢出（从 FFH 到 00H）时，TH0 中的值被重新装入到 TL0，同时定时器溢出标志位 TF0 置 1，如果中断被允许（ET0 置 1），将产生一个中断。TH0 中的重载值保持不变。

为了保证第一次计数正确，必须在允许定时器之前将 TL0 初始化为所希望的计数值。

12.5.4 工作模式 3

TOM[1:0] 设置为 2' b11 时，T0 工作在模式 3。

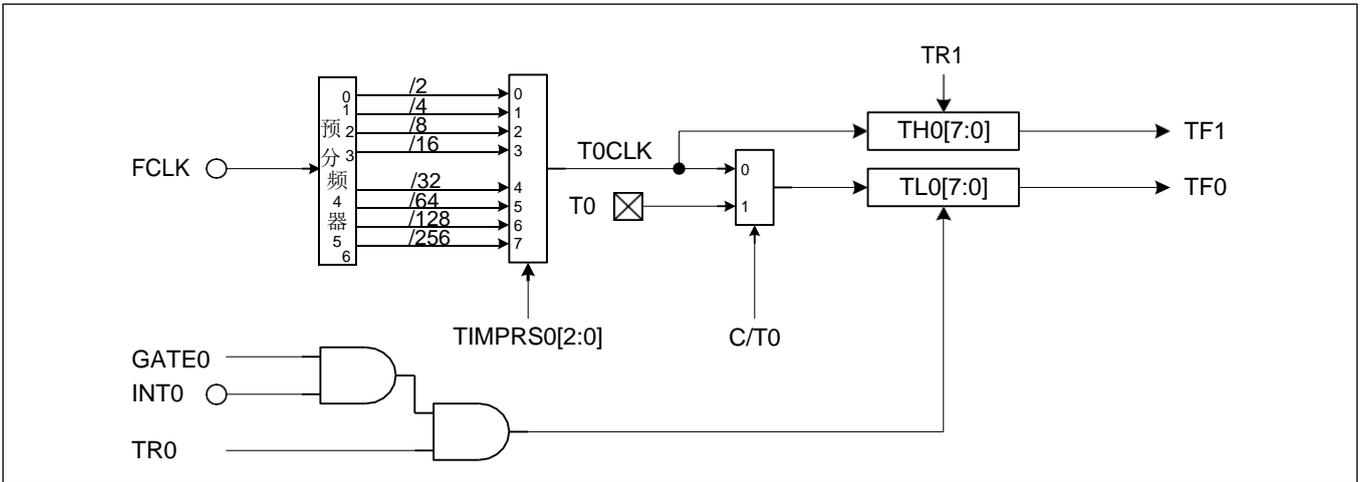


图 27 工作模式 3

此模式下，T0 的 TL0 和 TH0 被配置为两个独立的 8 位定时器。TL0 使用 TR0、C/T0、GATE0 和 TF0 等控制和标志位。TH0 只能实现定时器功能，并且使用 TR1 作为使能位，发生溢出时，置位 TF1。

T1 无此工作模式。若将 T1 设置成模式 3，就会使 T1 立即停止计数（等效于 TR1=0）。在 T0 工作在模式 3 时，T1 仍可设置成模式 0/1/2，但不能置位 TF1 和产生中断。

12.5.5 T0 方波输出模式^{注 1}

将 T0PWMEN (TIMCFG.0) 置 1，T0 配置为占空比为 50%、周期可调的方波输出模式。T0OE (IOMUX2[6]) 设置引脚，可以将 T0O 输出到管脚。

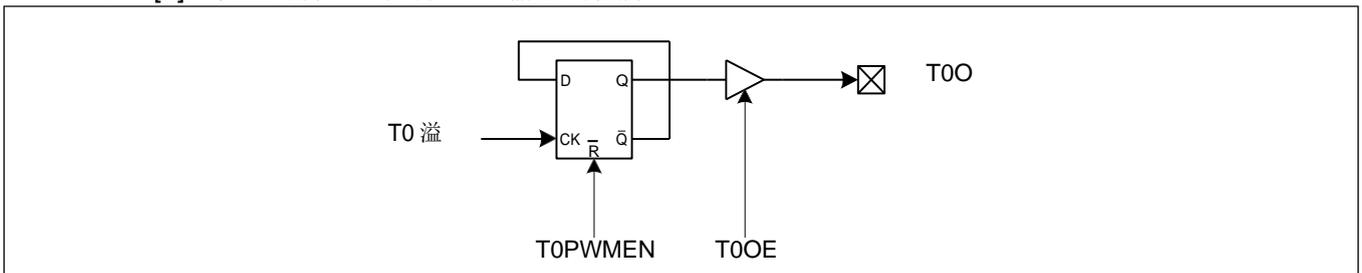


图 28 T0 方波输出示意图

T0 工作在方波输出模式时，使能以后，T0 从设置的初值开始计数。T0 计数器溢出时，T0O 翻转，同时 T0 计数器继续从设置的初值向上计数，等到 T0 再溢出时 T0O 再次翻转，依次循环，得到一个占空比为 50%、周期可调的方波。其周期由 T0 溢出频率决定，如下表：

表 33 T0 方波周期表

T0 工作方式	T0 方波频率
工作方式 0	$2^* (1FFFH + 1 - \{TH0, TL0[4:0]\}) * T0CLK^{\text{注 2}}$
工作方式 1	$2^* (FFFFH + 1 - \{TH0, TL0\}) * T0CLK^{\text{注 2}}$
工作方式 2	$2^* (256 - TH0) * T0CLK^{\text{注 2}}$
工作方式 3	$2^* (256 - TL0) * T0CLK^{\text{注 2}}$

注 1: 当使能 T0 方波输出时，建议 T0 工作在模式 2。工作在其它模式时，由于要响应中断、在 ISR 中对 TH0/TL0 赋值，会造成周期误差。

注 2: T0CLK 指 FCLK 经过分频后的时钟。详见各工作模式框图。

12.5.6 T1 PWM 输出模式^{注 1}

T1 工作在模式 2 时，将 T1PWMEN (TIMCFG.1) 置 1，T1 配置为占空比和周期可调的 8 位 PWM 模式。T1OE (IOMUX2[7]) 选择管脚，可以将 T1O 输出到管脚。

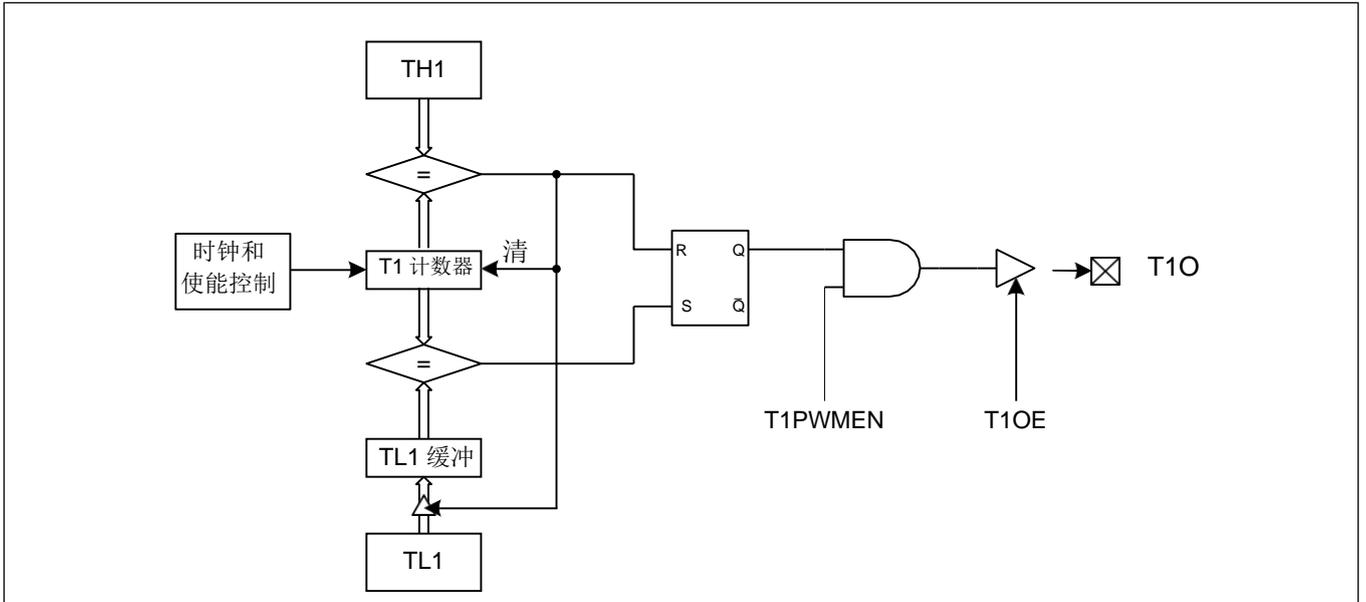


图 29 T1 PWM 输出示意图

T1 扩展为 PWM 模式时，TL1 作为占空比寄存器，TH1 作为周期寄存器。占空比寄存器有缓冲，可随时修改占空比。使能 T1 后，T1O 清 0，T1 计数器从 00H 开始向上计数。当 T1 计数值和 TL1 缓存值相等时，T1O 置 1，T1 计数器继续计数。当 T1 计数值和 TH1 寄存器值相等时，T1O 清 0，同时将 T1 计数器清 0，并从 TL1 寄存器读入新的占空比值到 TL1 缓存，T1 计数器重新开始计数。

T1 的 PWM 占空比为 $(TH1 - TL1) / TH1 * 100\%$ 。

注 1:	只有 T1 工作在模式 2，才能扩展成 PWM 模式。
------	-----------------------------

12.6 使用提示

初始化计数器前，需要置 TR0/1 位为 0，否则初始化不能成功。

当需要 T1 工作在 PWM 模式时，要先使能 T1PWMEN，然后再设置 TL1 和 TH1。

进入 SLEEP 模式后，T0/T1 仍可以继续计数，此时系统的功耗很低，适用于需要长时间定时又需要低功耗的场合。

13. 定时器 T2

T2 是一个 16 位的定时器/计数器，由两个 8 位的计数器 TL2（低字节）和 TH2（高字节）组成，支持 4 路捕获通道，支持 1 对互补 PWM 波的产生；

13.1 基本特征

QF08L18 具有一个 16 位的定时器，其具有五种工作状态，分别是：

- ◇ 16 位自动重载模式，支持内部触发重载，外部触发重载和溢出重载三种重载方式。
- ◇ 16 位捕获模式，支持多个可选外部触发源，提供两个 16 位的捕获寄存器。
- ◇ 可编程波形生成模式（PPG 模式），支持内部触发和外部触发，支持重复触发。
- ◇ 单脉冲模式（one-shot 模式），支持内部触发和外部触发。
- ◇ PWM 死区互补波形输出模式，支持 PWM/NPWM 波形输出。

13.2 工作模式

正常工作模式下和待机模式下 Timer2 均可正常工作，正常产生中断。

待机模式下，Timer2 被禁止。

13.3 管脚配置

T2 有 4 个引脚跟外部管脚复用，具体配置见下表：

表 34 T2 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
T2	I	T2 计数时钟输入	P0.3/P1.0	TIMERMP[7]
T2EX	I	T2 捕获输入	P0.3/P0.4/P0.5/ P1.0/P1.5	TIMERMP[6]
PWM	O	T2PWM 输出	P0.3/P0.6 /P1.5/P2.2	PWMRMP[1:0], T2PWMEN = 1
nPWM	O	T2PWM 互补输出	P0.2/P0.7	PWMRMP[4], T2NPWMEN = 1, DTGEN = 1

13.4 寄存器说明

定时器 2 的相关寄存器如[错误!未找到引用源。](#)所示。

表 35 T2 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
T2MOD	T2 模式寄存器	×	R/W	0000_0000B	C1H
T2CPL1	T2 捕获寄存器 1 低字节	×	R/W	0000_0000B	C2H
T2CPH1	T2 捕获寄存器 1 高字节	×	R/W	0000_0000B	C3H
T2CPL2	T2 捕获寄存器 2 低字节	×	R/W	0000_0000B	C4H
T2CPH2	T2 捕获寄存器 2 高字节	×	R/W	0000_0000B	C5H
T2CAP	T2 捕获设置寄存器	×	R/W	0100_0000B	C6H
T2CAPS	T2 捕获状态寄存器	×	R/W	0000_0000B	C7H
T2CON	T2 控制寄存器	×	R/W	0000_0000B	C9H
TL2	T2 计数器低字节	×	R/W	0000_0000B	CAH
TH2	T2 计数高字节	×	R/W	0000_0000B	CBH
T2EXS	T2 外部触发源选择寄存器	×	R/W	00u0_u0u0B	CCH

名称	说明	可位寻址	读写权限	复位值	字节地址
TIMERMP	定时器外部时钟引脚复用寄存器	x	R/W	0000_0000B	FF51H
PWMRMP	PWM 输出引脚复用寄存器	x	R/W	0000_0000B	FF52H
TIMERDTG	死区时间设置寄存器	x	R/W	0000_0000B	FF53H

定时器 2 的寄存器详细说明如下：

T2 模式寄存器（T2MOD）

名称/地址：	T2MOD, C1H							
位 序 号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义：	CLKDIV[2: 0]			CAPCLR/INTS	RTRGEN	RDSRC[1: 0]		LOAD
访问权限：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值：	0	0	0	0	0	0	0	0
提 示：	—： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写							

- Bit[7:5]** CLKDIV, Timer2 内部时钟源分频位
 000: 系统时钟 1 分频
 001: 系统时钟 2 分频
 010: 系统时钟 4 分频
 011: 系统时钟 8 分频
 100: 系统时钟 16 分频
 101: 系统时钟 32 分频
 110: 系统时钟 64 分频
 111: 系统时钟 128 分频
- Bit4** CAPCLR/INTS, 仅在捕获模式, PPG 模式和单脉冲模式下有效
 在捕获模式下
 0: 捕获操作发生时, 计数器继续计数
 1: 捕获操作发生时, 计数器从 0 开始计数
 在 PPG 模式和单脉冲模式下, 确定 T2CON TF2 标志位的中断类型
 0: PPG 模式和单脉冲模式下, 溢出中断
 1: PPG 模式和单脉冲模式下, 匹配中断
- Bit3** RTRGEN, 仅在 PPG 模式下有效
 0: 禁止多次触发
 1: 允许多次触发
- Bit[2:1]** RDSRC, 重载值选择, 仅在重载模式下有效
 00: 重载值选择 T2CPL2, T2CPH2
 01: 重载值选择 T2CPL1, T2CPH1
 1x: 重载值选择 16'h0000
- Bit0** LOAD, Timer2 软件触发使能位, 写 1 后自动清零
 在重载模式下, 对该位写 1 启动重载操作
 在 PPG 模式和单脉冲模式下, 对该位写 1 触发 PPG 输出和单脉冲输出

T2 捕获寄存器 1 低字节（T2CPL1）

名称/地址：	T2CPL1,C2H
--------	------------

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPL1							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0] T2CPL1, Timer2 捕获寄存器 1 低字节 在重载模式下, 可作为计数器低 8 位的重载值 在捕获模式下, 发生触发时, 暂存第 0/1/2 路捕获源的计数值低 8 位
在 PPG 模式和单脉冲模式时, 作为计数器起始值的低 8 位

T2 捕获寄存器 1 高字节 (T2CPH1)

名称/地址:	T2CPH1, C3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPH1							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0] T2CPH1, Timer2 捕获寄存器 1 高字节 在重载模式下, 可作为计数器高 8 位的重载值 在捕获模式下, 发生触发时, 暂存第 0/1/2 路捕获源的计数值高 8 位
在 PPG 模式和单脉冲模式时, 作为计数器起始值的高 8 位

T2 捕获寄存器 2 低字节 (T2CPL2)

名称/地址:	T2CPL2, C4H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPL2							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0] T2CPL2, Timer2 捕获寄存器 2 低字节 在重载模式下, 可作为计数器低 8 位的重载值
在捕获模式下, 发生触发时, 暂存第 3 路捕获源的计数值低 8 位
在 PPG 模式和单脉冲模式时, 作为产生 PPG 的计数器比较值的低 8 位

T2 捕获寄存器 2 高字节 (T2CPH2)

名称/地址:	T2CPH2, C5H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPH2							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0] T2CPH2, Timer2 捕获寄存器 2 高字节 在重载模式下, 可作为计数器高 8 位的重载值

在捕获模式下，发生触发时，暂存第 3 路捕获源的计数值高 8 位
 在 PPG 模式和单脉冲模式时，作为 PPG 的计数器比较值的高 8 位

T2 捕获寄存器 (T2CAP)

名称/地址:	T2CAP, C6H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CAP3		CAP2		CAP1		CAP0	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	1	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6] CAP3, Timer2 第 3 路外部触发源边沿选择
 00: 禁止外部触发源触发
 01: 下降沿触发 (默认)
 10: 上升沿触发
 11: 上升沿或者下降沿触发
- Bit[5:4] CAP2, Timer2 第 2 路外部触发源边沿选择
 00: 禁止外部触发源触发 (默认)
 01: 下降沿触发
 10: 上升沿触发
 11: 上升沿或者下降沿触发
- Bit[3:2] CAP1, Timer2 第 1 路外部触发源边沿选择
 00: 禁止外部触发源触发 (默认)
 01: 下降沿触发
 10: 上升沿触发
 11: 上升沿或者下降沿触发
- Bit[1:0] CAP0, Timer2 第 0 路外部触发源边沿选择
 00: 禁止外部触发源触发 (默认)
 01: 下降沿触发
 10: 上升沿触发
 11: 上升沿或者下降沿触发

T2 捕获状态寄存器 (T2CAPS)

名称/地址:	T2CAPS, C7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CAPF3	CAPF2	CAPF1	CAPF0	T2EX3IN	T2EX2IN	T2EX1IN	T2EX0IN
访问权限:	R/W	R/W	R/W	R/W	R	R	R	R
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit7 CAPF3, 第 3 路外部触发源触发标志位, 写 0 清除
 0: 未发生触发
 1: 发生触发
- Bit6 CAPF2, 第 2 路外部触发源触发标志位, 写 0 清除
 0: 未发生触发

	1: 发生触发
Bit5	CAPF1, 第 1 路外部触发源触发标志位, 写 0 清除 0: 未发生触发 1: 发生触发
Bit4	CAPF0, 第 0 路外部触发源触发标志位, 写 0 清除 0: 未发生触发 1: 发生触发
Bit3	T2EX3IN, 第 3 路外部触发源输入状态, 只读 0: 输入值为低 1: 输入值为高
Bit2	T2EX2IN, 第 2 路外部触发源输入状态, 只读 0: 输入值为低 1: 输入值为高
Bit1	T2EX1IN, 第 1 路外部触发源输入状态, 只读 0: 输入值为低 1: 输入值为高
Bit0	T2EX0IN, 第 0 路外部触发源输入状态, 只读 0: 输入值为低 1: 输入值为高

T2 控制寄存器 (T2CON)

名称/地址:	T2CON, C9H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF2	EXF2	INVEN	PPGEN	EXEN2	TR2	C/T2	CP/RL2
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7	TF2, Timer2 中断标志, 软件写 0 清中断 在 PPG 模式或者单脉冲模式, INTS 设置为 1 时: 0: 代表未发生匹配中断 1: 代表发生匹配中断 其他情况下: 0: 代表未发生溢出中断 1: 代表发生溢出中断
Bit6	EXF2, Timer2 外部触发中断标志, 软件写 0 清中断 0: 未发生外部触发中断 1: 发生外部触发中断
Bit5	INVEN, 仅在 PPG 模式和单脉冲模式下有效 (控制第一路 PPG 相位) 0: 代表正常输出 1: 代表反相输出
Bit4	PPGEN, 与 CP/RL2 一起确定 Timer2 的工作模式 0: Timer2 工作在捕获模式或者重载模式 1: Timer2 工作在 PPG 模式或者单脉冲模式

Bit3	EXEN2, 外部捕获使能位 0: 禁止外部捕获功能 1: 使能外部捕获功能
Bit2	TR2, Timer2 使能控制位 0: Timer2 禁止 1: Timer2 使能
Bit1	C/T2, 外部时钟使能位 0: Timer2 采用内部时钟 1: Timer2 采用外部时钟
Bit0	CP/RL2, 与 PPGEN 一起控制 Timer2 的工作模式。 PPGEN=0, CP/RL2=0: 16 位自动重载模式 PPGEN=0, CP/RL2=1: 捕获模式 PPGEN=1, CP/RL2=0: PPG 模式 PPGEN=1, CP/RL2=1: 单脉冲模式

T2 计数器低字节 (T2L)

名称/地址:	T2L, CAH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2L							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0] T2L, Timer2 计数器低字节

T2 计数器高字节 (T2H)

名称/地址:	T2H, CBH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2H							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0] T2H, Timer2 计数器高字节

注意: T2H, T2L 只有在 T2 启动之前才可以配置, 在重载时, 由硬件从相应重载源重载数据。在 PPG 模式或者单脉冲模式时, 从 T2CPL1 和 T2CPH1 的缓冲区载入数据。

T2 外部触发源选择寄存器 (T2EXS)

名称/地址:	T2EXS, CCH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	EXTS3[1:0]		-	EXTS2	-	EXTS1	-	EXTS0
访问权限:	R/W	R/W	R-0	R/W	R-0	R/W	R-0	R/W
复 位 值:	0	0	U	0	U	0	U	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:6] EXTS3[1:0], 第 3 路捕获源选择

- 00: 选择外部引脚 P0.5 输入
- 01: 选择高级定时器 trgo 输入
- 10: 选择 RCL 时钟作为输入
- 11: 固定时钟频率 1024Hz 输入

注意，选择 RCL 时钟作为输入时，必须确保主时钟频率高于 RCL 时钟频率。

- Bit4 EXTS2, 第 2 路捕获源选择
 0: 外部引脚 P1.5 (T2EX = 1) 或 P0.3 (T2EX = 0) 输入
 1: 比较器 0 输入
- Bit2 EXTS1, 第 1 路捕获源选择
 0: 外部引脚 P0.4 输入
 1: 比较器 1 输入
- Bit0 EXTS0, 第 0 路捕获源选择
 0: 外部引脚 P1.0 输入
 1: 比较器 1 输入

定时器外部时钟引脚复用寄存器 (TIMERMP)

名称/地址:	TIMERMP, FF51H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TIMER2RMP	T2EX	-	-	-	-	TIMER1RMP	TIMER0RMP
访问权限:	R/W	R/W	R-0	R-0	R-0	R-0	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7 TIMER2RMP T2 计数时钟源输入引脚选择
 0: P0.3 (默认)
 1: P1.0
- Bit6 T2EX T2 捕获输入引脚选择
 0: P0.3 (默认)
 1: P1.5

注: 使用外部引脚作为计数时钟源输入时, 必须先将相应的引脚方向配置成输入。

PWM 波形输出引脚复用寄存器 (PWMRMP)

名称/地址:	PWMRMP, FF52H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DTGEN	-	T2NPWMEN	T2NPWMRMP	-	T2PWMEN	T2PWMRMP[1:0]	
访问权限:	R/W	R-0	R/W	R/W	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit7 DTGEN, PWM 死区功能控制
 0: 关闭;
 1: 开启;
- Bit5 T2NPWMEN, PWM 反向 (NPWM) 输出使能, 仅在 DTGEN 为高电平时有效
 0: 关闭;

	1: 开启;
Bit4	T2NPWMRMP, NPWM 输出引脚选择 0: P0.2 输出 1: P0.7 输出
Bit2	T2PWMEN, PWM 输出使能 0: 关闭; 1: 开启;
Bit[1:0]	T2PWMRMP[1:0], PWM 输出引脚选择 00 : P0.3 输出 01 : P0.6 输出 10 : P1.5 输出 11 : P2.2 输出

死区时间设置寄存器 TIMERDTG (FF53H)

名称/地址:	TIMERDTG, FF53H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DTG							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0] TIMERDTG , PWM 死区时间设置
死区维持时间 DT 计算公式如下:

$$DTG[7:5]=0xx, DT=DTG[7:0] \times t_{dtg}, t_{dtg}=t_{DTS}.$$

$$DTG[7:5]=10x, DT=(64+DTG[5:0]) \times t_{dtg}, t_{dtg}=2 \times t_{DTS}.$$

$$DTG[7:5]=110, DT=(32+DTG[4:0]) \times t_{dtg}, t_{dtg}=8 \times t_{DTS}.$$

$$DTG[7:5]=111, DT=(32+DTG[4:0]) \times t_{dtg}, t_{dtg}=16 \times t_{DTS}.$$

其中 t_{DTS} 为系统时钟的周期。

13.5 功能描述

13.5.1 定时器 2 捕获电路

定时器 2 共 4 路捕获通道, 包含多种捕获源: 高级定时器, 外部引脚, 比较器 0/1, RCL, 内部 1KHz 方波。

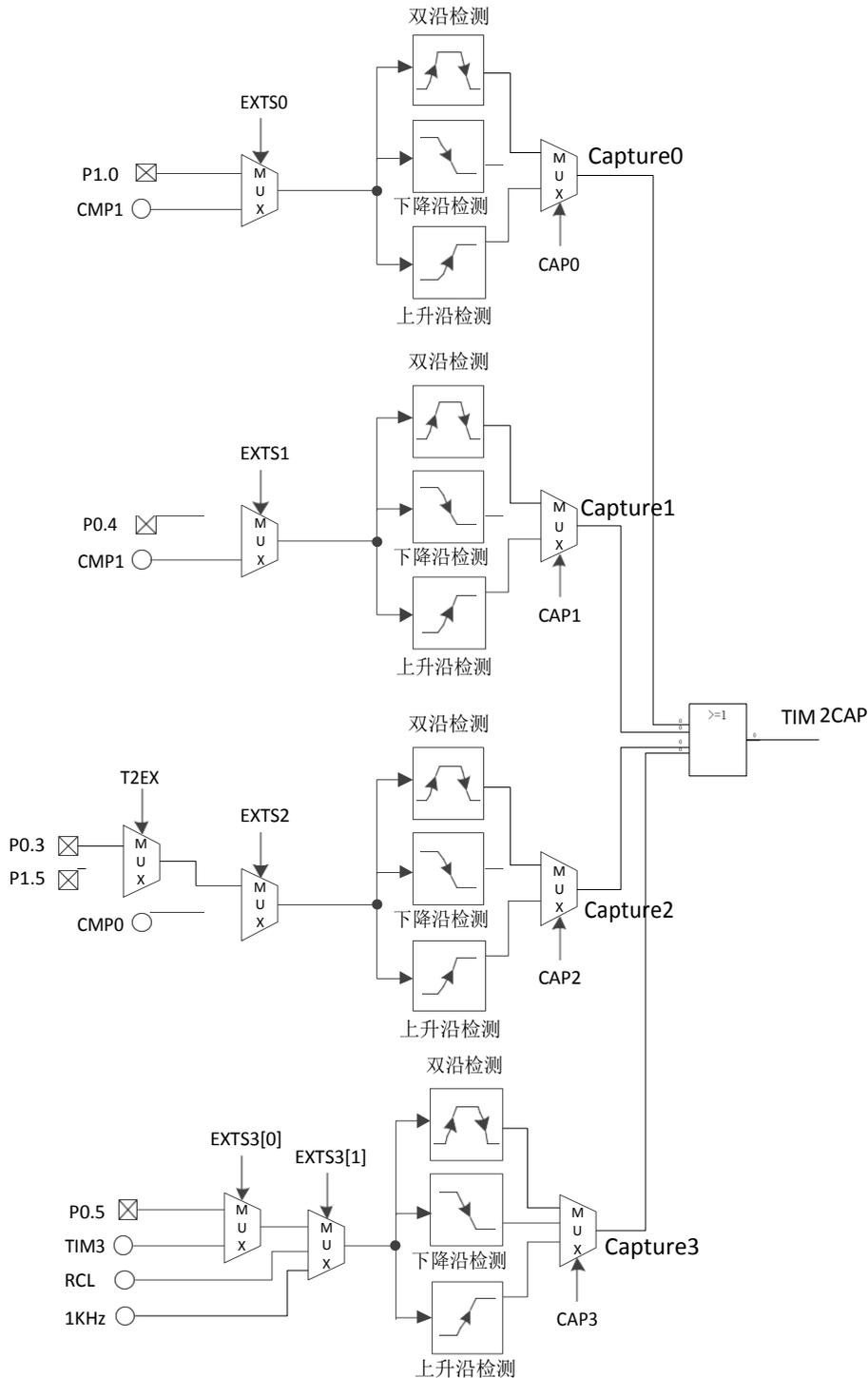


图 30 捕获电路框图

13.5.2 16 位自动重载模式（PPGEN=0, CP/RL2=0）

在该模式下，内部向上计数器正常计数，捕获寄存器 1 和捕获寄存器 2 用于存储重载的数据。当遇到重载条件发生时，将相应寄存器值重载到计数器中继续计数。QF08L18 共支持 3 个重载源，一个外部触发，内部软件触发和计数溢出重载。其中：外部触发可以选择上升沿触发，下降沿触发或者双边沿触发，在采用外部触发时首先需要选择相应触发源的触发极性，然后使能 T2CON 中的 EXEN2 位。当外部重载触发时，可以通过查看 T2CAPSTAT 寄存器查看相应触发标志。当选用内部软件触发时，直接写 T2MOD 中

LOAD 位为 1，该位在写完后将会自动清零。重载寄存器有三种可以选择，可以通过 T2MOD 寄存器中的 RDSRC 位配置，可以配置为重载全 0，重载捕获寄存器 1 和重载捕获寄存器 2。在开启定时器 2 之前，可以往 T2CNTL 和 T2CNTH 中写入计数器初值。在自动重载模式下，有两个中断源，T2 溢出中断和 T2 外部触发中断。在发生溢出操作或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。

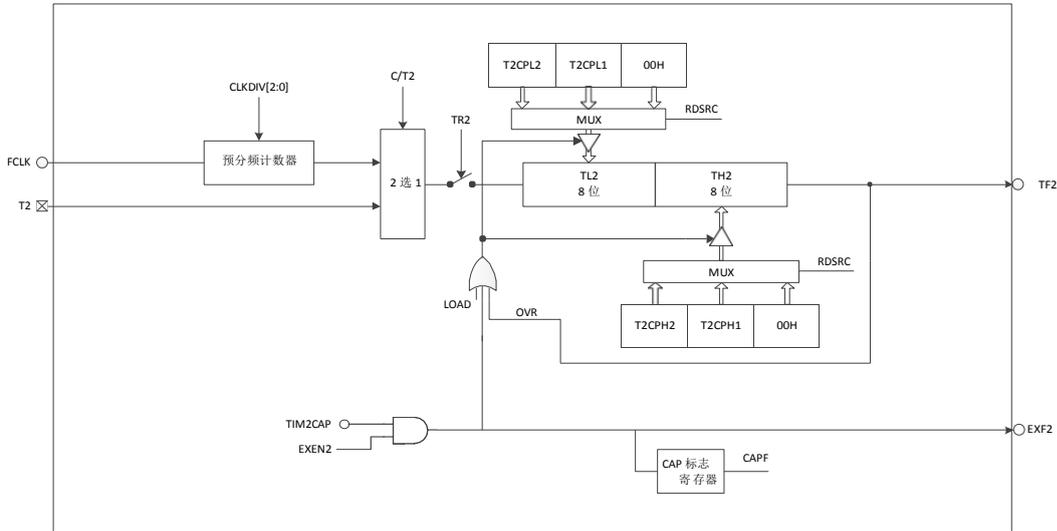


图 31 16 位自动重载模式内部框图

13.5.3 16 位捕获模式 (PPGEN=0, CP/RL2=1)

16 位捕获模式可以捕获当前 16 位计数器的值到捕获寄存器。捕获寄存器 1/2 用于存储捕获数据。当外部触发时，捕获的数据将存储到捕获寄存器 1 或 2 中。在捕获操作发生时，可以根据 T2MOD 寄存器中 CAPCLR 位确定计数器是继续计数还是归零重新开始计数。在开启定时器 2 之前，可以往 T2CNTL 和 T2CNTH 中写入计数器初值。在自动重载模式下，有两个中断源，T2 溢出中断和 T2 外部触发中断。在发生溢出操作或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。

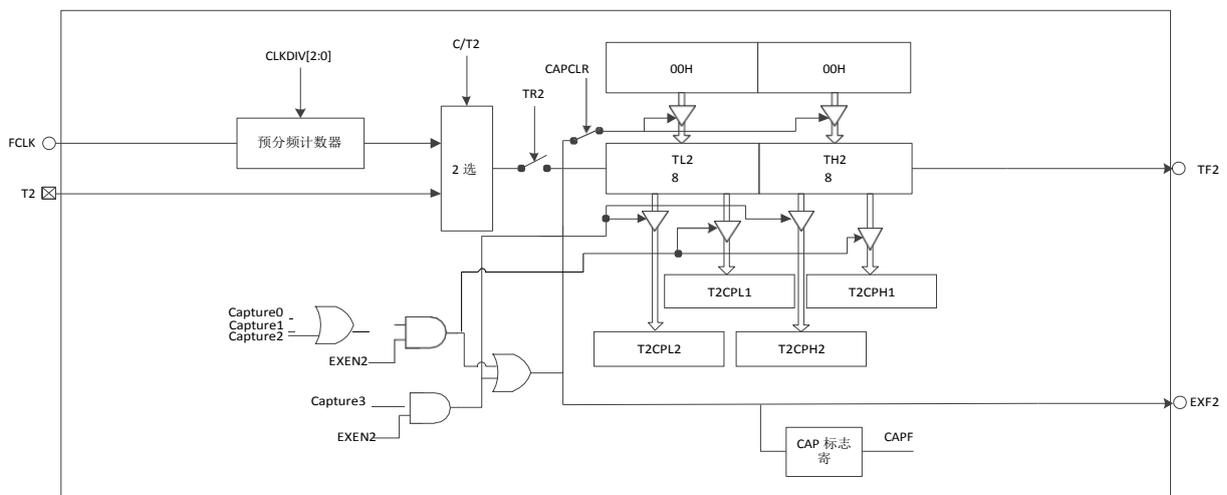


图 32 16 位捕获模式内部框图

13.5.4 可编程波形生成器 (PPGEN=1, CP/RL2=0)

在该模式下，用户可以生成各种 PWM 波形，Timer2 支持 1 路 PWM 波的产生，并支持不同的占空比配置。PWM 周期最大可达 65536 个计数周期，DUTY 可以从 0 变化到 65535。其中，捕获寄存器 1 用于存储计数起始值以决定 PWM 周期，捕获寄存器 2 用于存储计数翻转值以确定 PPG 占空比。配置时，为了保证能够同步 16 位计数器的载入，避免发生高 8 位和低 8 位两次载入的问题，采用了 2 级缓存的结构。通过写 T2CPL2, T2CPL1 寄存器更新一级缓存，因此在需要改变 T2CPH2 和 T2CPH1 的值时，需要先写 T2CPH2 和 T2CPH1 的值，然后再写 T2CPL2 和 T2CPL1 的值。二级缓存的更新则则在外部触发或者计数溢出时重新载入。

计数器在计数时，首先通过触发或者溢出重载将周期和占空比数值载入到计数器中，PPG 波形生成器的输出与 T2CON 寄存器中的 INVEN 有关。当 INVEN 为 0 时，波形发生器在开始触发时输出低电平，计数到与二级缓存中的数据一致时翻转输出高电平，到计数溢出后再次输出低电平。当 INVEN 为 1 时，输出波形与为 0 时的相反。

PPG 模式可以由外部触发，也可以由内部软件触发。当选用外部触发时，与重载模式一样，需要首先配置相应触发源的极性，然后使能 T2CON 中的 EXEN2 位。外部触发的状态可以通过 T2CAP 的 CAPF 查询。当选用内部软件触发时，可以往 T2MOD 寄存器中 LOAD 写 1，开始 PPG 模式。

PPG 模式允许重复触发，可以通过 T2MOD 中 RTRGEN 位配置，允许在 PPG 波形生成过程中重新触发。如果改变捕获寄存器 1 的值，新的值将会在触发发生时或者计数溢出时方可载入到计数器中。配置时，若捕获寄存器 2 的值小于捕获寄存器 1 的值，输出将会是常态。当 INVEN 为 0 时，输出为 0，当 INVEN 为 1 时，输出为 1。当捕获寄存器 2 的值大于等于捕获寄存器 1 的值时，输出正常波形，PPG 占空比为： $(65535 - \text{捕获寄存器 2}) / (65536 - \text{捕获寄存器 1})$ 。特别的，当捕获寄存器 1 和捕获寄存器 2 的值都为 16'hFFFF 时，若 INVEN 为 0，输出 PPG 为 0，若 INVEN 为 1，输出 PPG 为 1。

在 PPG 模式下，有三个中断源，T2 溢出中断，T2 匹配中断和 T2 外部触发中断。在发生溢出操作，计数匹配或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序。溢出中断和匹配中断共享一个中断向量，通过 T2MOD 寄存器中的 INTS 位选择使能的中断。

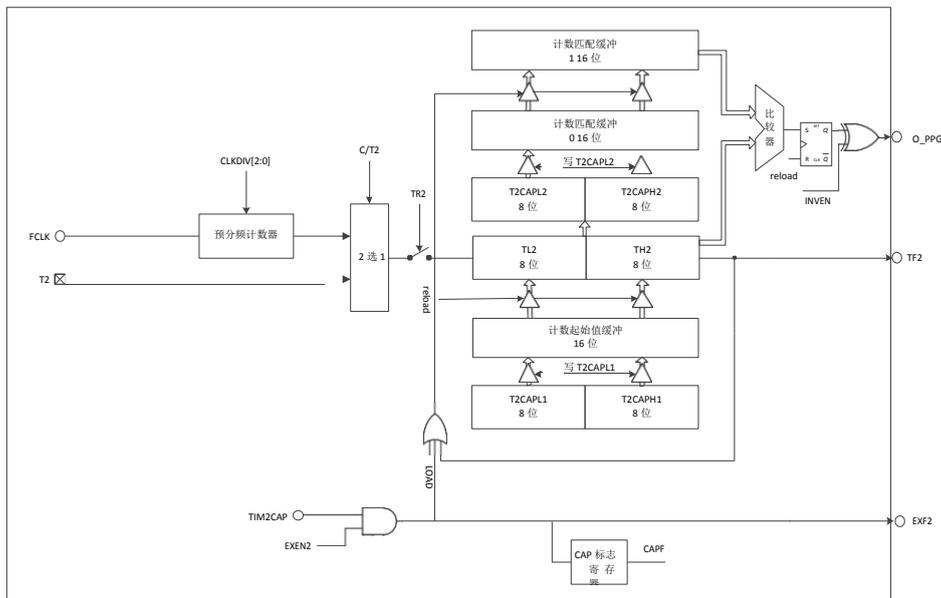


图 33 16 位 PPG 模式内部框图

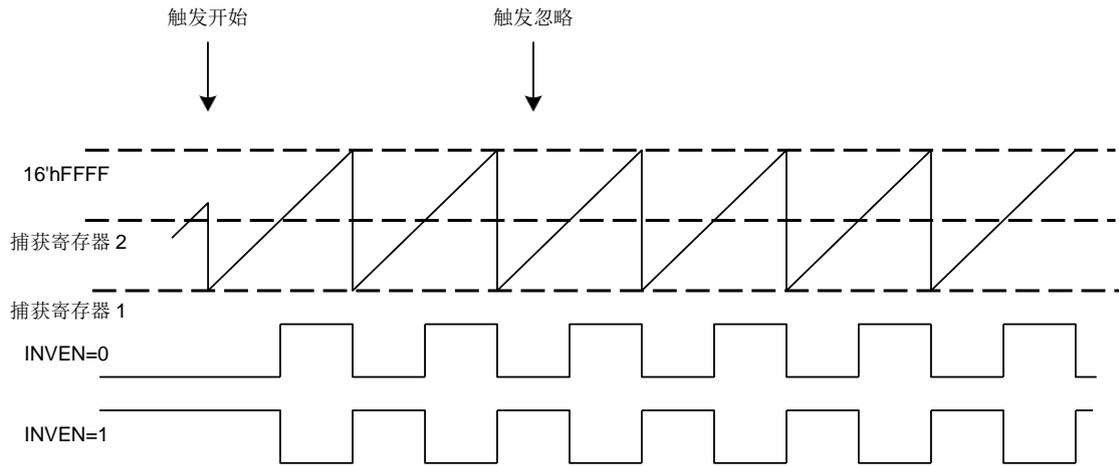


图 34 16 位 PPG 模式重复触发禁止波形图

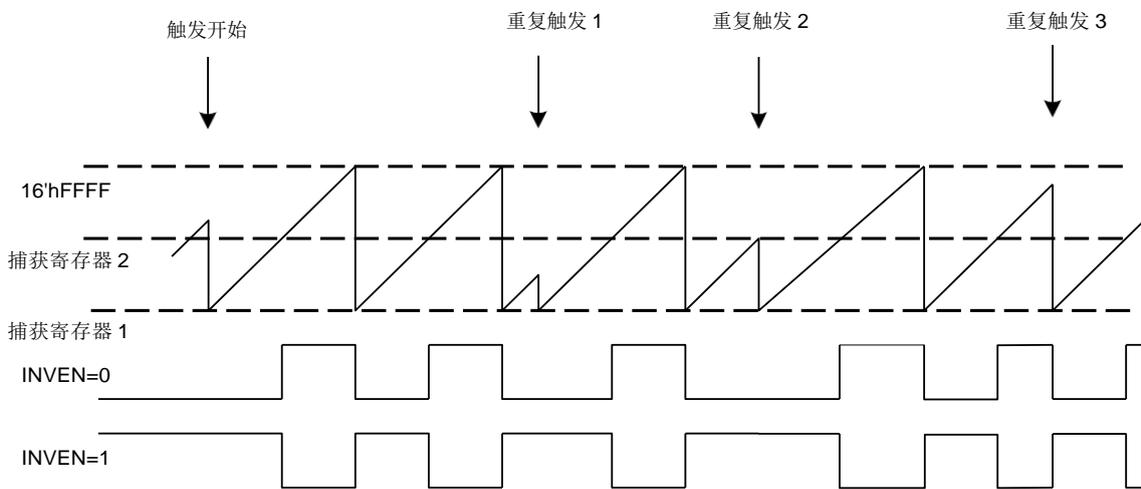


图 35 16 位 PPG 模式重复触发使能波形图

13.5.5 单脉冲发生器

单脉冲发生器工作模式只产生单个脉冲。通过软件触发或者外部触发来启动单脉冲发生器。在外部触发或者内部触发发生后经过一段时间延迟后输出脉冲波形。延迟的时间取决于捕获寄存器 2 和捕获寄存器 1 的差。当捕获寄存器 2 值小于捕获寄存器 1 的值时，将没有脉冲信号输出。特别的，当捕获寄存器 1 和捕获寄存器 2 的值都为 16'hFFFF 时，若 INVEN 为 0，输出 PPG 为 0，若 INVEN 为 1，输出 PPG 为 1。

单脉冲宽度的计算： $(65535 - \text{捕获寄存器 2}) \times T_{\text{cycle}}$ ；延迟

时间的计算： $(\text{捕获寄存器 2} - \text{捕获寄存器 1} + 1) \times T_{\text{cycle}}$ 。

在单脉冲发生器模式下，重复触发将无效，只有首次触发才能启动单脉冲计数。在单脉冲模式中，有三个中断源，T2 溢出中断，T2 匹配中断和 T2 外部触发中断。在发生溢出操作，计数匹配或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。溢出中断和匹配中断共享一个中断向量，通过 T2MOD 寄存器中的 INTS 位选择使能的中断。

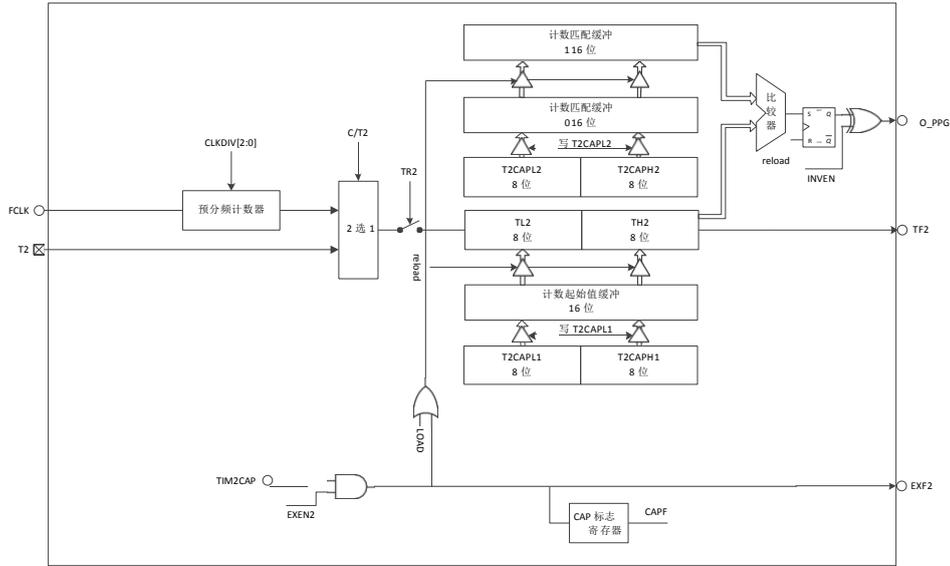


图 36 16 位单脉冲模式内部框图

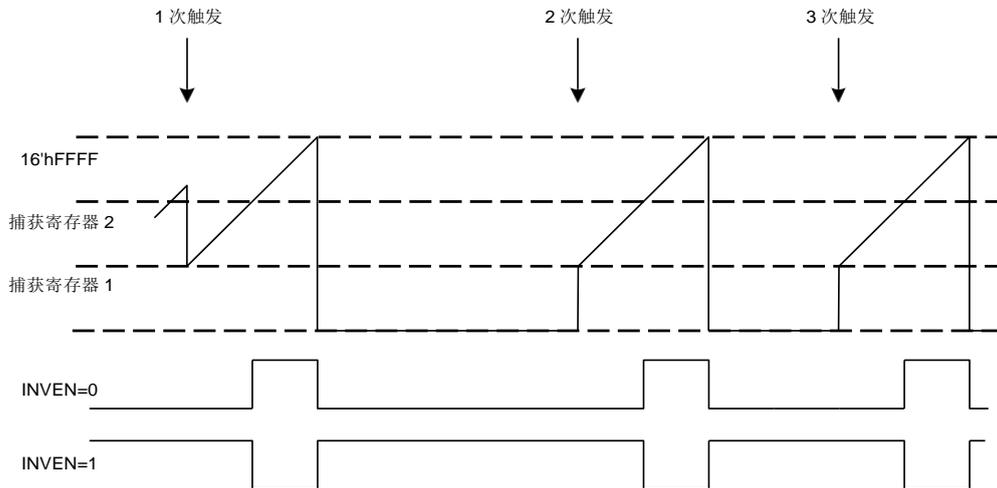


图 37 16 位单脉冲模式波形图

13.5.6 定时器 2 死区互补波形输出

定时器 2 支持一对 PWM 死区波形输出，即 PPG/nPPG。

设定 T2CON.4 为 1，T2CON.0 为 0 将定时器工作模式设定为 PPG 模式。置位 T2MOD.3 设定 PPG 可重复触发。设定 T2CPH1/T2CPL1 和 T2CPH2/T2CPL2 确定 PWM 波形的周期占空比。配置 PWMRMP 开启 PWM 正反向波形输出使能，并确定输出引脚。配置 TIMERDTG，根据计算公式确定死区维持时间，并置位 PWMRMP.7 开启死区功能。启动定时器，并软件触发互补波形产生。

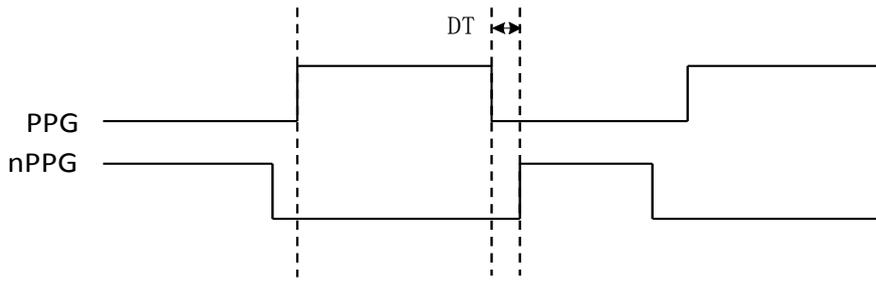


图 38 PWM 死区互补波形图

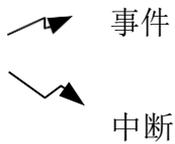
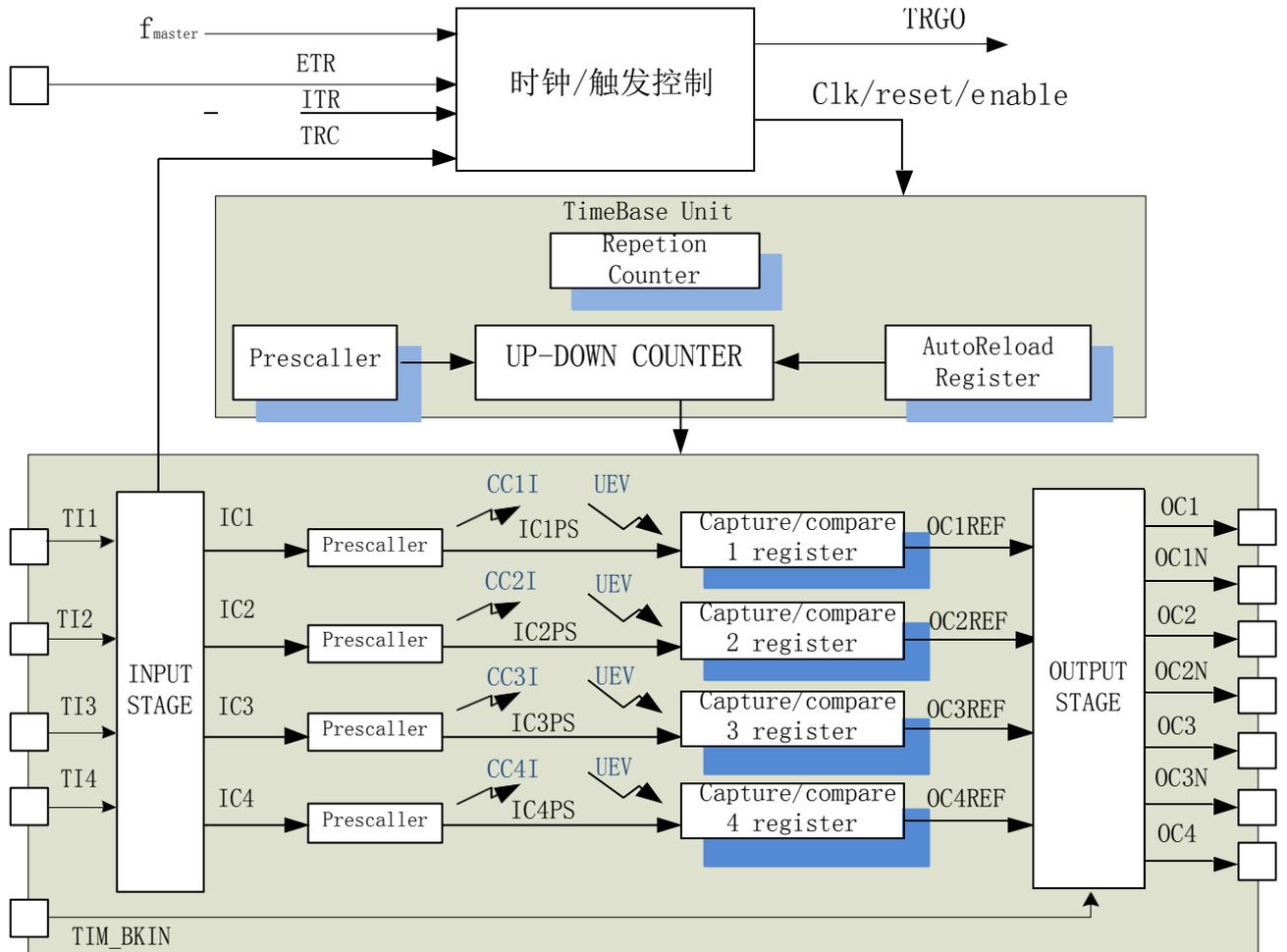
14. 高级定时器 T3

高级定时器(AdvTim-T3)是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，有四路不同的捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）产生输出波形（输出比较,PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、刹车、触发）的中断以及与其它 timer 或外部信号（外部时钟、复位、触发和使能信号）同步。

14.1 基本特征

QF08L18 的高级定时器特性包括：

- ◇ 16 位向上、向下、向上/下自动装载计数器。
- ◇ 定时器重复计数器。
- ◇ 16 位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为 1~65535 之间的任意数值。
- ◇ 同步电路，用于使用外部信号控制定时器以及定时器互联。
- ◇ 4 个独立通道，可以配置成：
 - 输入捕获
 - 输出比较
 - PWM 生成(边缘或中间对齐模式)
 - 六步 PWM 输出
 - 单脉冲模式输出
 - 四个支持带互补输出，并且死区时间可编程的通道
- ◇ 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态
- ◇ 产生中断的事件包括：
 - 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)
 - 输入捕获
 - 输出比较
 - 刹车信号输入

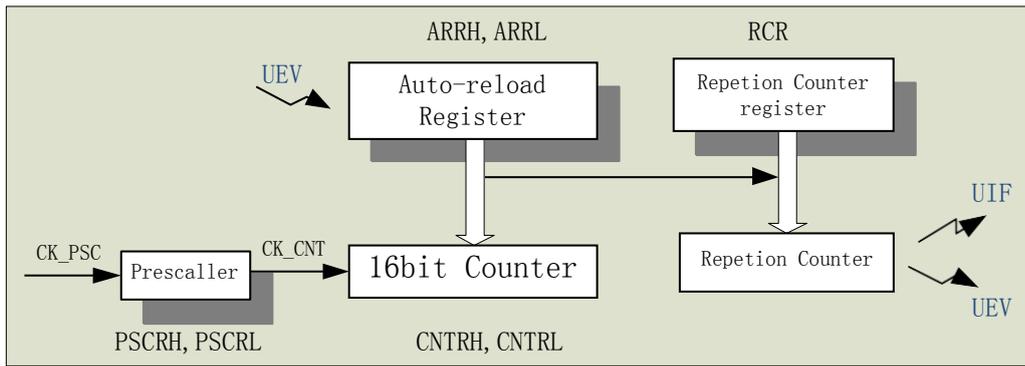


根据控制位的设定, 在事件发生时把 preload 寄存器的值更新到 shadow register

14.2 时基单元

时基单元包含:

- 16 位向上/向下计数器
- 16 位自动重载寄存器
- 重复计数器
- 预分频器



16 位计数器，预分频器，自动重载寄存器和重复计数器寄存器都可以通过软件进行读写操作。自动重载寄存器由预装载寄存器和影子寄存器组成（影子寄存器 shadow register 是有效工作寄存器 active register）。

可在在两种模式下写自动重载寄存器：

- 自动预装载已使能(TIM3_CR1 寄存器的 ARPE 位置位)。在此模式下，写入自动重载寄存器的数据将被保存在预装载寄存器中，并在下一个更新事件(UEV)时传送到影子寄存器。
- 自动预装载已禁止(TIM3_CR1 寄存器的 ARPE 位清除)。在此模式下，写入自动重载寄存器的数据将立即写入影子寄存器。

更新事件的产生条件：

- 计数器向上或向下溢出。
- 软件置位了 TIM3_EGR 寄存器的 UG 位。
- 时钟/触发控制器产生了触发事件 在预装载使能时(ARPE=1)，如果发生了更新事件，预装载寄存器中的数值(TIM3_ARR)将写入影子寄存器中，并且 TIM1_PSCR 寄存器中的值将写入预分频器中。置位 TIM3_CR1 寄存器的 UDIS 位将禁止更新事件(UEV)。

计数器由预分频器的输出 CK_CNT 驱动，而 CK_CNT 仅在 TIM3_CR1 寄存器的计数器使能位(CEN)被置位时才有效。

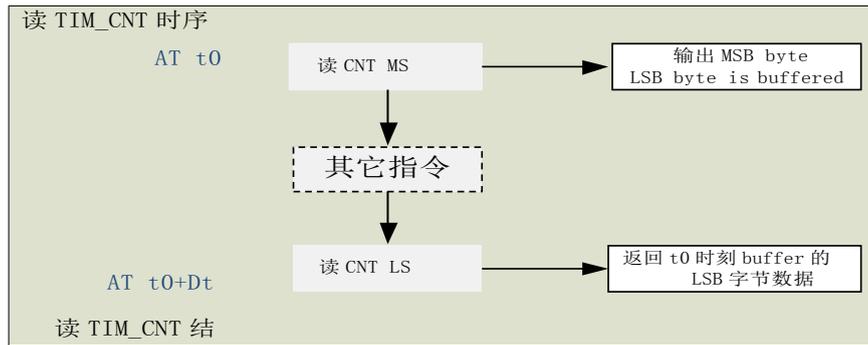
注意：在使能了 CEN 位的一个时钟周期后，计数器才开始计数。

14.2.1 读写 16 位计数器 CNT

写计数器的操作没有缓存，并且可以在任何时候写 TIM_CNTRH 和 TIM_CNTRL 寄存器，因此我们建议不要在计数器运行时写入新的数值，以免写入了错误的数值。

读计数器的操作带有 8 位的缓存。在用户读了高位(MS)字节后，低位(LS)字节将被自动缓存，缓存的数据在 16 位的读操作完成之前不会有变化，下图解释了这一过程。

注意：要注意读取 TIM_CNT 的值高低字节的顺序关系，避免读出的数值是错误的。



14.2.2 16 位 ARR 寄存器的写操作

预装载寄存器中的值将写入 16 位的 TIM3_ARR 寄存器中，此操作由两条指令完成，每条指令写入 1 个字节，高位(MS)字节是先写入的。影子寄存器在高位(MS)字节写入时被锁定，并保持到低位(LS)字节写完。

注意：写 TIM_ARR 寄存器，确保先写入高位(MS)字节，再写入低位(LS)字节。在自动预装载已禁止(TIM3_CR1 寄存器的 ARPE 位清除)模式下，写入自动重载寄存器高位(MS)字节时被锁定，并保持到写入低位(LS)字节数据时一起写入到影子寄存器。

14.2.3 预分频器

TIM1 的预分频器基于一个由 16 位寄存器(TIM3_PSC)控制的 16 位计数器。由于这个控制寄存器带有缓冲器，因此它能够在运行时被改变。预分频器可以将计数器的时钟频率按 1 到 65536 之间的任意值分频。计数器的频率可以由下式计算：

$$f_{CK_CNT} = f_{CK_PSC} / (PSC[15:0] + 1)$$

预分频器的值由预装载寄存器写入，需两次单独的写操作来写 16 位寄存器，高位(MS)先写。新的预分频器的值在下次更新事件到来时被采用。对 TIM1_PSC 寄存器的读操作通过预装载寄存器完成，因此不需要特别的关注。

14.2.4 向上计数模式

在向上计数模式中，计数器从 0 计数到用户定义的比较值(TIM3_ARR 寄存器的值)，然后重新从 0 开始计数并产生一个计数器溢出事件，同时，如果 TIM3_CR1 寄存器的 UDIS 位是 0，将会产生一个更新事件(UEV)。

置位 TIM_EGR 寄存器的 UG 位(通过软件方式或者使用从模式控制器)也同样可以产生一个更新事件。使用软件置位 TIM3_CR1 寄存器的 UDIS 位，可以禁止更新事件，这样可以避免在更新预装载寄存器时更新影子寄存器。在 UDIS 位被清除之前，将不产生更新事件。但是在应该产生更新事件时，计数器仍会被清 0，同时预分频器的计数也被清 0(但预分频器的数值不变)。此外，如果设置了 TIM3_CR1 寄存器中的 URS 位(选择更新请求)，设置 UG 位将产生一个更新事件 UEV，但硬件不设置 UIF 标志(即不产生中断请求)。这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。当发生一个更新事件时，所有的寄存器都被更新，硬件同时(依据 URS 位)设置更新标志位(TIM3_SR

寄存器的 UIF 位): 自动装载影子寄存器被重新置入预装载寄存器的值(TIM3_ARR)。预分频器的缓存器被置入预装载寄存器的值(TIM3_PSC 寄存器的内容)。

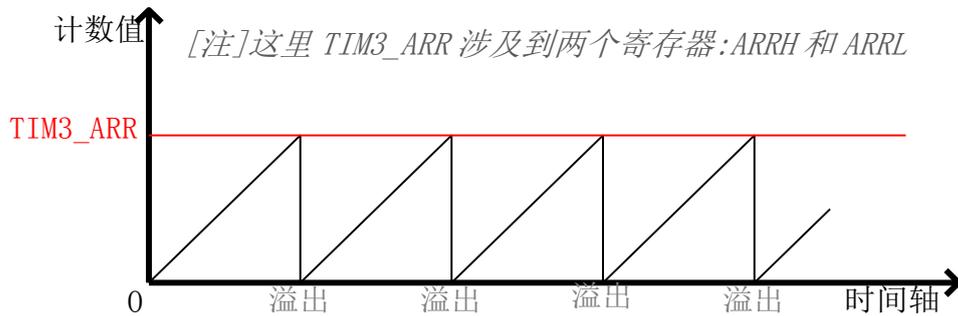


图 ()

14.2.5 向下计数模式

在向下模式中, 计数器从自动装载的值(TIM3_ARR 寄存器的值)开始向下计数到 0, 然后再从自动装载的值重新开始计数, 并产生一个计数器向下溢出事件。如果 TIM3_CR1 寄存器的 UDIS 位被清除, 还会产生一个更新事件(UEV)。

置位 TIM3_EGR 寄存器的 UG 位(通过软件方式或者使用从模式控制器)也同样可以产生一个更新事件。

置位 TIM3_CR1 寄存器的 UDIS 位可以禁止 UEV 事件。这样可以避免在更新预装载寄存器时更新影子寄存器。因此 UDIS 位清除之前不会产生更新事件。然而, 计数器仍会从当前自动加载值重新开始计数, 并且预分频器的计数器重新从 0 开始(但预分频器不能被修改)。

此外, 如果设置了 TIM3_CR1 寄存器中的 URS 位(选择更新请求), 设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志(因此不产生中断), 这是为了避免在发生捕获事件并清除计数器时, 同时产生更新和捕获中断。

当发生更新事件时, 所有的寄存器都被更新, 并且(根据 URS 位的设置)更新标志位(TIM3_SR 寄存器中的 UIF 位)也被设置: 预分频器的缓存器被存入预装载的值(TIMx_PSC 寄存器的值)。当前的自动加载寄存器被更新为预装载值(TIMx_ARR 寄存器中的内容)。

注: 自动装载寄存器在计数器重载入之前被更新, 所以在更新事件时, 向下模式的计数器的值会更新上一次自动装载寄存器的值, 而本次更新的自动装载寄存器的值要等到下次更新事件, 才会更新到计数器(延迟一个计数周期才是预期的值)。--- 非自动重装载模式下可以立即更新。

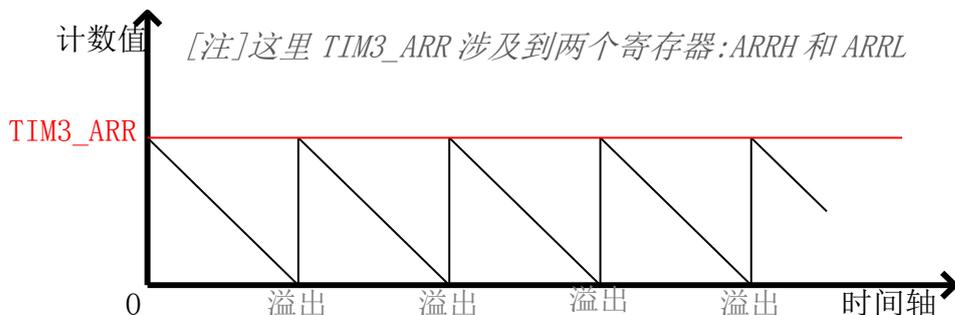


图 ()

14.2.6 中央对齐模式(向上/向下计数)

在中央对齐模式，计数器从 0 开始计数到自动加载的值(TIM3_ARR 寄存器)-1，产生一个计数器溢出事件，然后向下计数到 0 并且产生一个计数器下溢事件；然后再从 0 开始重新计数。

在此模式下，不能写入 TIM3_CR1 中的 DIR 方向位。它由硬件更新并指示当前的计数方向。

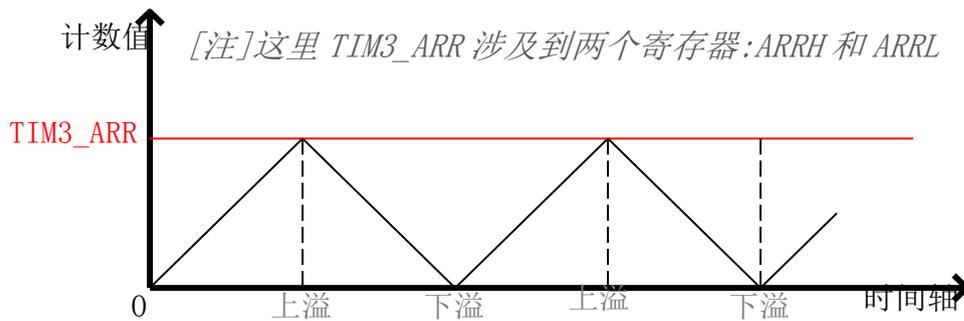


图 ()

如果定时器带有重复计数器，在重复了指定次数(TIM3_RCR 的值)的向上和向下溢出之后会产生更新事件(UEV)。否则每一次的向上向下溢出都会产生更新事件。

置位 TIM3_EGR 寄存器的 UG 位(通过软件方式或者使用从模式控制器)也同样可以产生一个更新事件。此时，计数器重新从 0 开始计数，预分频器也重新从 0 开始计数。

设置 TIM3_CR1 寄存器中的 UDIS 位可以禁止 UEV 事件。这样可以避免在更新预装载寄存器时更新影子寄存器。因此 UDIS 位被清为 0 之前不会产生更新事件。然而，计数器仍会根据当前自动重加载的值，继续向上或向下计数。

如果定时器带有重复计数器，由于重复寄存器没有双重的缓冲，新的重复数值将立刻生效，因此在修改时需要小心。

此外，如果设置了 TIM3_CR1 寄存器中的 URS 位(选择更新请求)，设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志(因此不产生中断)，这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

当发生更新事件时，所有的寄存器都被更新，并且(根据 URS 位的设置)更新标志位(TIM3_SR 寄存器中的 UIF 位)也被设置。预分频器的缓存器被加载为预装载(TIM3_PSC 寄存器)的值。当前的自动加载寄存器被更新为预装载值(TIM3_ARR 寄存器中的内容)。要注意到如果因为计数器溢出而产生更新，自动重装载寄存器将在计数器重载入之前被更新，因此下一个周期才是预期的值(计数器被装载为新的值)。

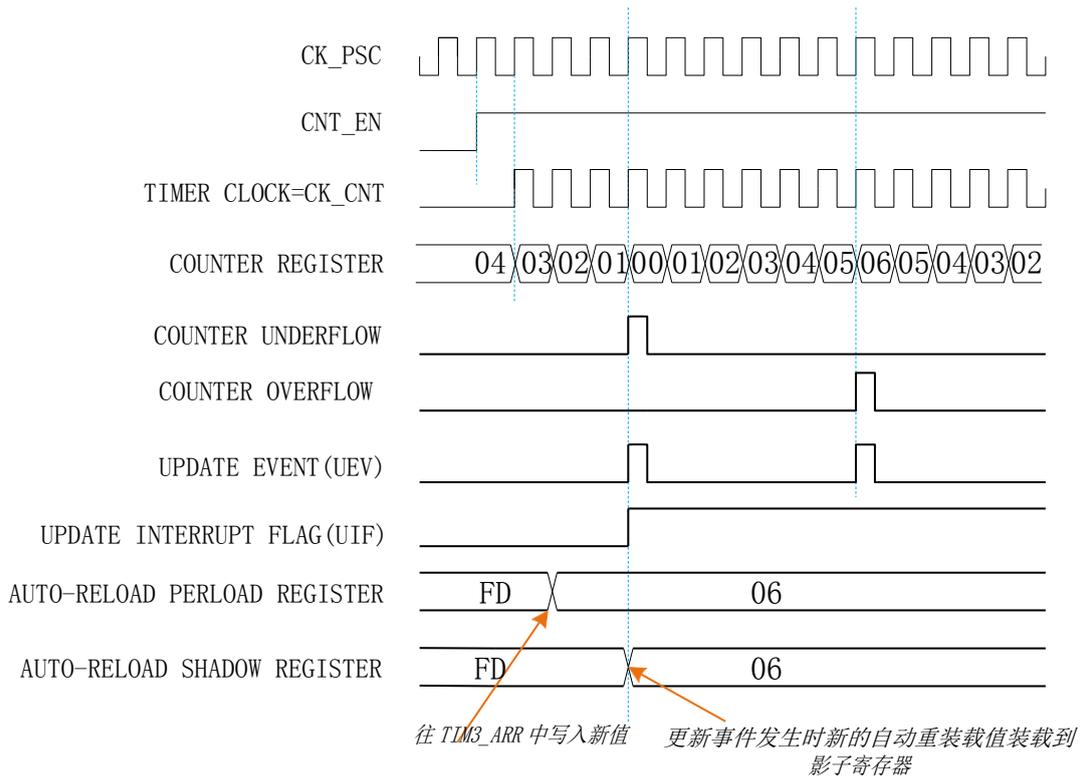


图 ()

使用中央对齐模式的提示:

- 启动中央对齐模式时，计数器将按照原有的向上/向下的配置计数。也就是说 `TIM3_CR1` 寄存器中的 `DIR` 位将决定计数器是向上还是向下计数。此外，软件不能同时修改 `DIR` 位和 `CMS` 位的值。
- 不推荐在中央对齐模式下，计数器正在计数时写计数器的值，这将导致不能预料的后果。

具体的说:

- 一 向计数器写入了比自动装载值更大的数值时(`TIM3_CNT > TIM3_ARR`)，但计数器的计数方向不发生改变。例如计数器已经向上溢出，但计数器仍然向上计数。
- 一 向计数器写入了 `0` 或者 `TIM3_ARR` 的值，但更新事件不发生。
- 安全使用中央对齐模式的计数器的方法是在启动计数器之前先用软件(置位 `TIM3_EGR` 寄存器的 `UG` 位)产生一个更新事件，并且不在计数器计数时修改计数器的值。

14.2.7 重复计数器

前面时基单元解释了计数器向上/向下溢出时更新事件(UEV)是如何产生的，然而事实上它只能在重复计数器的值达到 `0` 的时候产生。这个特性对产生 PWM 信号非常有用。

这意味着在每 `N` 次计数上溢或下溢时，数据从预装载寄存器传输到影子寄存器(`TIM3_ARR` 自动重载入寄存器，`TIM3_PSC` 预装载寄存器，还有在比较模式下的捕获 / 比较寄存器 `TIM3_CCRx`)，`N` 是 `TIM3_RCR` 重复计数寄存器中的值。

重复计数器在下述任一条件成立时递减:

- 向上计数模式下每次计数器向上溢出时

- 向下计数模式下每次计数器向下溢出时
- 中央对齐模式下每次上溢和每次下溢时。

虽然这样限制了 PWM 的最大循环周期为 128，但它能够在每个 PWM 周期 2 次更新占空比。

在中央对齐模式下，因为波形是对称的，如果每个 PWM 周期中仅刷新一次比较寄存器，则最大的分辨率为 $2xt_{CK_PSC}$ 。

重复计数器是自动加载的，重复速率由 TIM3_RCR 寄存器的值定义(参考图 x)。当更新事件由软件产生(通过设置 TIM3_EGR 中的 UG 位)或者通过硬件的从模式控制器产生，则无论重复计数器的值是多少，立即发生更新事件，并且 TIM3_RCR 寄存器中的内容被重载入到重复计数器。

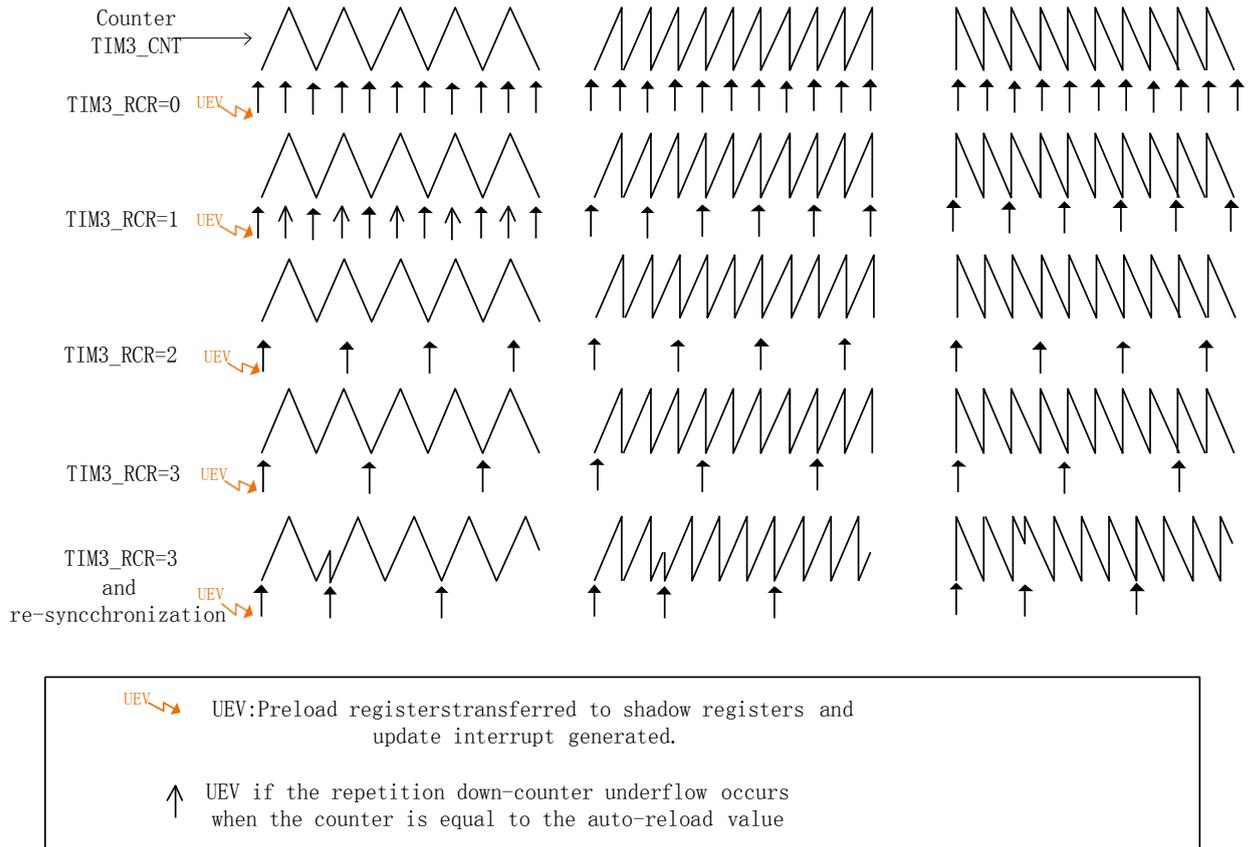


图 ()

14.3 时钟/触发控制器

时钟/触发控制器允许用户选择计数器的时钟源 (CK_PSC)，触发输入信号(TRGI)和触发输出信号(TRGO)，框图如图所示。

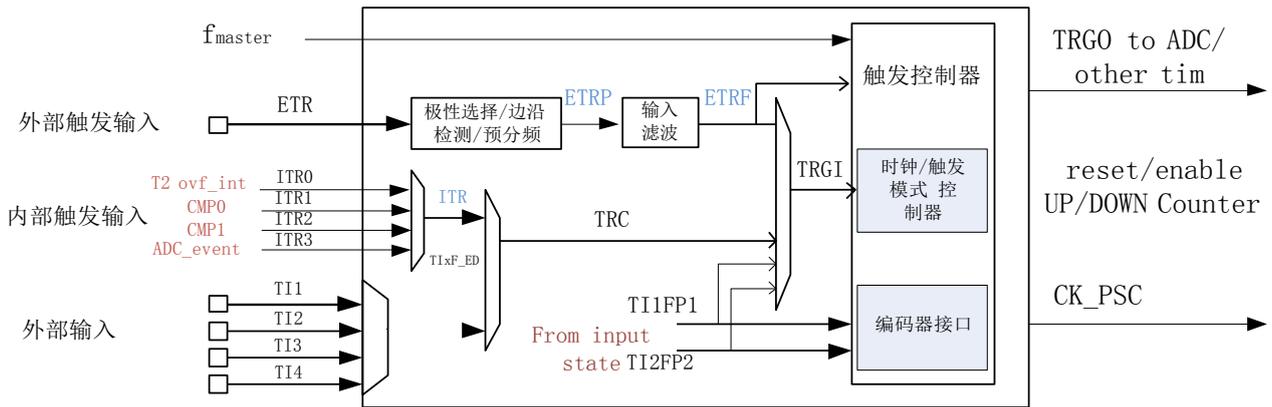


图 ()

14.3.1 预分频时钟

时基单元的预分频时钟(CK_PSC)可以由以下源提供:

- ❖ 内部时钟(fMASTER) : 芯片内部时钟
- ❖ 外部时钟模式 1 : 外部时钟输入(TIx)
- ❖ 外部时钟模式 2 : 外部触发输入 ETR
- ❖ 内部触发输入(ITRx): 使用一个定时器 T2 作为 T4 预分频时钟。

信号名称	信号描述	复用来源	复用选择寄存器
内部触发 ITR			
ITR0	内部触发 0	T2 溢出中断信号	---
ITR1	内部触发 1	比较器 CMP0 输出信号	---
ITR2	内部触发 2	比较器 CMP0 输出信号	---
ITR3	内部触发 3	ADC_event 输出信号	---
外部时钟输入 TI			
TI1	外部 Timer 输入 1	CMP0 CPO/P2[3]/P0[0]	TIM1TI1RMP
TI1	外部 Timer 输入 2	CMP1 CPO/P2[4]/P0[1]	TIM1TI2RMP
TI1	外部 Timer 输入 3	P1[5]/P1[3]/P1[2]//P0[3]	TIM1TI3RMP
TI1	外部 Timer 输入 4	P1[4]/P1[1]/P0[5]//P0[4]	TIM1TI4RMP
外部触发输入 ETR			
ETR	外部触发	P1[3]/P0[2]	ETRRMP

表

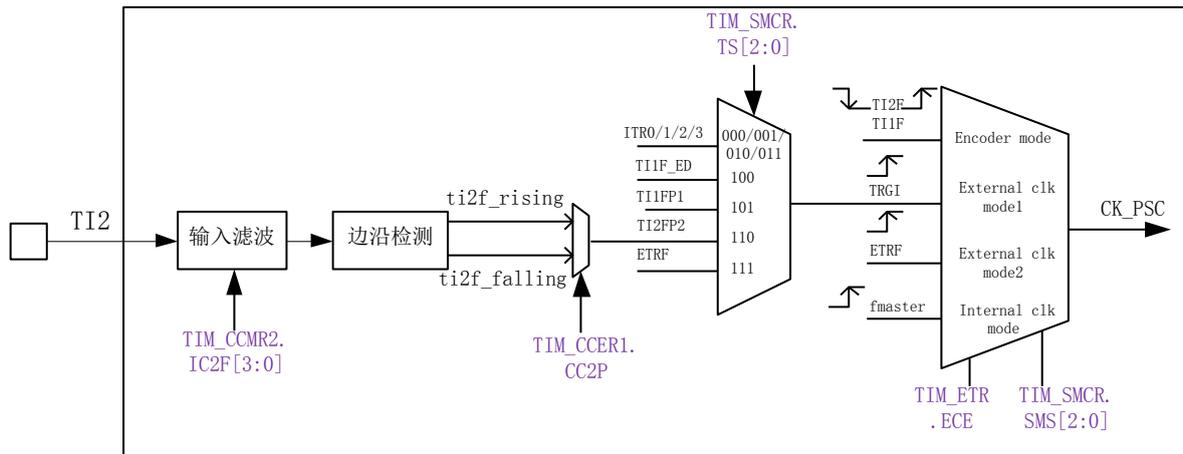
14.3.2 内部时钟源(fMASTER)

如果同时禁止了时钟/触发模式控制器和外部触发输入(TIM1_SMCR 寄存器的 SMS=000, TIM1_ETR 寄存器的 ECE=0), 则 CEN、DIR 和 UG 位是实际上的控制位, 并且只能被软件修改(UG 位仍被自动清除)。一旦 CEN 位被写成 1, 预分频器的时钟就由内部时钟提供。

14.3.3 外部时钟源模式 1

当 TIMx_SMCR 寄存器的 SMS=111 时, 此模式被选中。计数器可以在选定输入端的每个上升沿或下

降沿计数。



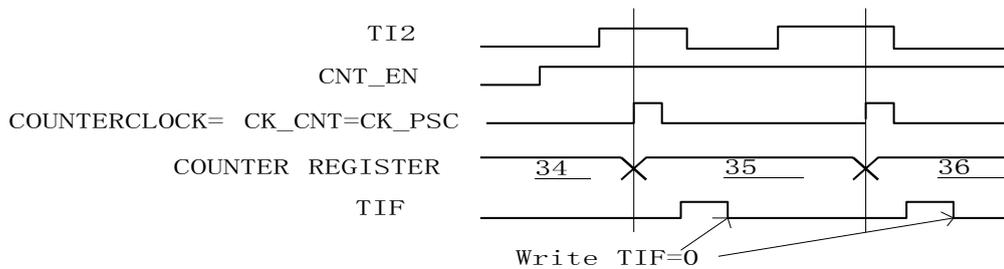
(图) 例如, 要配置向上

计数器在 T12 输入端的上升沿计数, 使用下列步骤:

1. 配置 TIM3_CCMR2 寄存器的 CC2S=01, 使用通道 2 检测 TI2 输入的上升沿
2. 配置 TIM3_CCMR2 寄存器的 IC2F[3:0]位, 选择输入滤波器带宽(如果需要滤波器, 保持 IC2F=0000)
3. 配置 TIM3_CCER1 寄存器的 CC2P=0, 选定上升沿极性
4. 配置 TIM3_SMCR 寄存器的 SMS=111, 配置计数器使用外部时钟模式 1
5. 配置 TIM3_SMCR 寄存器的 TS=110, 选定 TI2 作为输入源
6. 设置 TIM3_CR1 寄存器的 CEN=1, 启动计数器

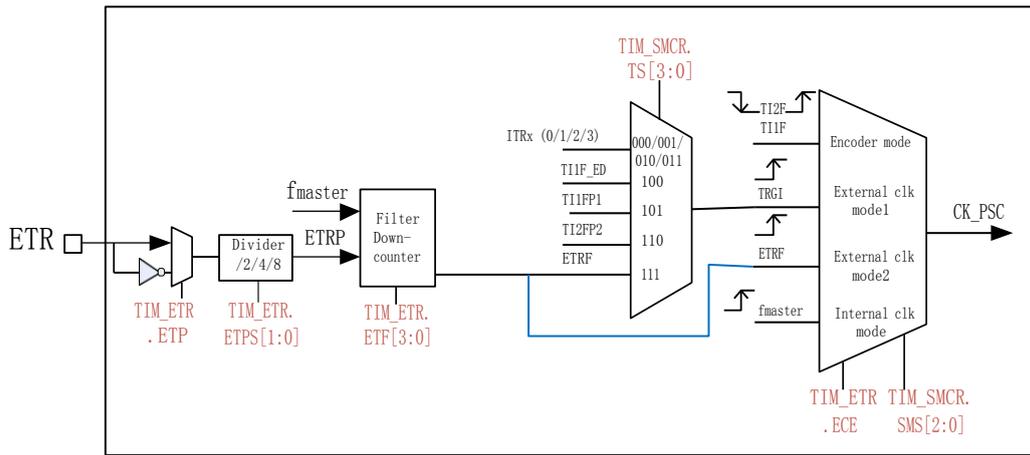
当上升沿出现在 TI2, 计数器计数一次, 且触发标识位(TIM3_SR1 寄存器的 TIF 位)被置 1, 如果使能了中断(在 TIM3_IER 寄存器中配置)则会产生中断请求。

在 TI2 的上升沿和计数器实际时钟之间的延时取决于在 TI2 输入端的重新同步电路(下图预分频系数为 1)。



14.3.4 外部时钟源模式 2

计数器能够在外部触发输入 ETR 信号的每一个上升沿或下降沿计数。将 TIM3_ETR 寄存器的 ECE 位写 1, 即可选定此模式。下图描述了外部触发输入的总框图。



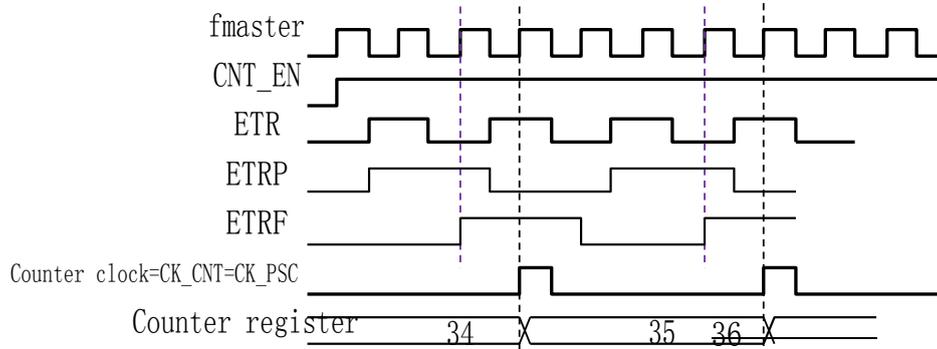
(图)

例如，要配置计数器在 ETR 信号的每 2 个上升沿时向上计数一次，需使用下列步骤：

1. 本例中不需要滤波器，配置 TIM3_ETR 寄存器的 ETF[3:0]=0000
2. 设置预分频器，配置 TIM3_ETR 寄存器的 ETPS[1:0]=01
3. 选择 ETR 的上升沿检测，配置 TIM3_ETR 寄存器的 ETP=0
4. 开启外部时钟模式 2，配置 TIM3_ETR 寄存器中的 ECE=1
5. 启动计数器，写 TIM3_CR1 寄存器的 CEN=1

计数器在每 2 个 ETR 上升沿计数一次。

在 ETR 的上升沿和计数器实际时钟之间的延时取决于在 ETRP 信号端的重新同步电路。



14.3.5 触发同步

计数器允许**四种触发输入**(请参考表 xx 内部定时器信号术语表)。

- ◆ ETR (外部触发)
- ◆ TI1 外部输入
- ◆ TI2 外部输入
- ◆ 来自内部其它模块的 TRGO (T2, ADC, 比较器 ACMP0/1)

TIM3 的计数器使用三种模式与外部的触发信号同步：**标准触发模式**，**复位触发模式**和**门控触发模式**。

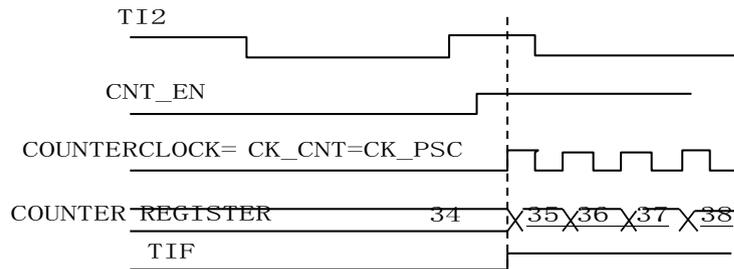
(备注：三种同步模式)。

在此基础上，增加了延迟触发和防多次触发功能，为 PPG 输出模式提供增强保障。

14.3.5.1 标准触发模式

计数器的使能依赖于选中的输入端上的事件。在下面的例子中，计数器在 TI2 输入的上升沿开始向上计数：

- ★ 配置通道 2 检测 TI2 的上升沿。配置输入滤波器带宽(本例中，不需要任何滤波器，保持 CCMR2.IC2F=0000)。触发操作中不使用捕获预分频器，不需要配置。CCMR2.CC2S 位仅用于选择输入捕获源，也不需要配置。配置 TIM3 的 CCER1 寄存器的 CC2P=0，选择上升沿做为触发条件。
- ★ 配置 TIM3 的 SMCR 寄存器的 SMS=110，选择计数器为触发模式；配置 TIM3 的 SMCR 寄存器的 TS=110，选择 TI2 作为输入源。
当 TI2 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时置位 TIF 标志。
TI2 上升沿和计数器启动计数之间的延时取决于 TI2 输入端的重同步电路。



14.3.5.2 复位触发模式

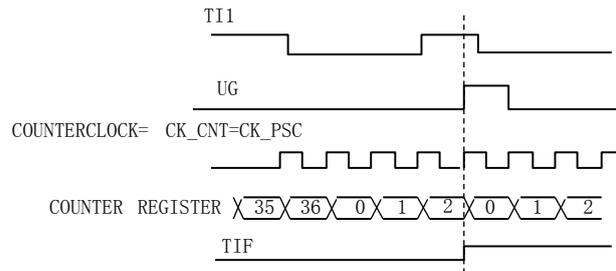
在发生一个触发输入事件时，计数器和它的预分频器能够重新被初始化；同时，如果 TIM3_CR1 寄存器的 URS 位为低，还产生一个更新事件 UEV；然后所有的预装载寄存器(ARR, CCRx)都被更新了。

在以下的例子中，TI1 输入端的上升沿导致向上计数器被清零：

- ★ 配置通道 1 用于检测 TI1 的上升沿。配置输入滤波器的带宽(在本例中，不需要任何滤波器，因此保持 IC1F=0000)。触发操作中不使用捕获预分频器，所以不需要配置。CC1S 位仅用于选择输入捕获源，也不需要配置。配置 TIM3 的 CCER1 寄存器的 CC1P=0 来选择极性(只检测上升沿)。
- ★ 配置 TIM3 的 SMCR 寄存器的 SMS=100，选择定时器为复位触发模式；配置 TIM3 的 SMCR 寄存器的 TS=101，选择 TI1 作为输入源。
- ★ 配置 TIM3_CR1 寄存器的 CEN=1，启动计数器。
- ★ 计数器开始依据内部时钟计数，然后正常计数直到 TI1 出现一个上升沿；此时，计数器被清零然后从 0 重新开始计数。同时，触发标志(TIM3_SR1 寄存器的 TIF 位)被置位，如果使能了中断(TIM3_IER 寄存器的 TIE 位)，则产生一个中断请求。

下图显示当自动重装载寄存器 TIM3_ARR=0x36 时的动作。在 TI1 上升沿和计数器的实际复位之间的延时取决于 TI1 输入端的重同步电路。

复位触发模式下的控制电路



14.3.5.3 门控触发模式

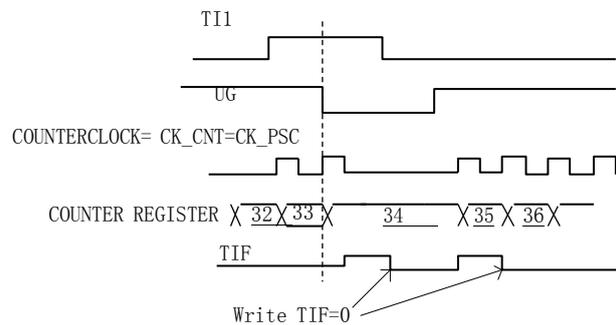
计数器由选中的输入端信号的电平使能。在如下的

例子中，计数器只在 TI1 为低时向上计数：

- 1、配置通道 1 用于检测 TI1 上的低电平。配置输入滤波器带宽(本例中，不需要滤波，所以保持 IC1F=0000)。触发操作中不使用捕获预分频器，所以不需要配置。CC1S 位用于选择输入捕获源，也不需要配置。配置 TIM3_CCER1 寄存器的 CC1P=1 来确定极性(只检测低电平)。
- 2、配置 TIM3_SMCR 寄存器的 SMS=101，选择定时器为门控触发模式；配置 TIM3_SMCR 寄存器中 TS=101，选择 TI1 作为输入源。
- 3、配置 TIM3_CR1 寄存器的 CEN=1，启动计数器(在门控模式下，如果 CEN=0，则计数器不能启动，不论触发输入电平如何)。

只要 TI1 为低，计数器开始依据内部时钟计数，一旦 TI1 变高则停止计数。当计数器开始或停止时 TIF 标志位都会被置位。

TI1 上升沿和计数器实际停止之间的延时取决于 TI1 输入端的重同步电路。



14.3.5.4 外部时钟模式 2 + 触发模式

外部时钟模式 2 可以与另一个输入信号的触发模式一起使用。这时，ETR 信号被用作外部时钟的输入，另一个输入信号可用作触发模式(支持标准触发模式，复位触发模式和门控触发模式)。请注意不能把 ETR 配置成 TRGI(通过 TIM3_SMCR 寄存器的 TS 位)。

在下面的例子中，一旦在 TI1 上出现一个上升沿，计数器即在 ETR 的每一个上升沿向上计数一次：

通过 TIM3_ETR 寄存器配置外部触发输入电路。在这个例子中，由于不使用滤波，因此 ETF=0000。配置 ETPS=00 禁止预分频，配置 ETP=0 监测 ETR 信号的上升沿，配置 ECE=1 使能外部时钟模式 2。

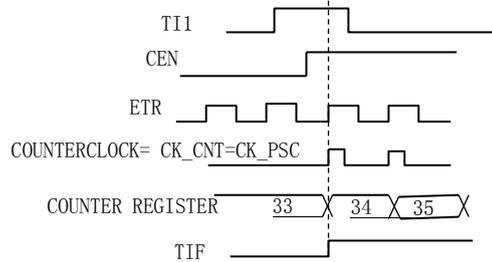
使用通道 1 监测 TI1 的上升沿。配置输入滤波(由于本例不使用滤波，因此配置 IC1F=0000)。由于触发操作不使用预分频，所以不配置预分频器，CC1S 位仅用于选择输入捕获源，因此也不需要配置。配置 TIM3_CCER1 寄存器的 CC1P=0 来选择上升沿触发。

配置 TIM3_SMCR 寄存器的 SMS=110 来选择定时器为触发模式。配置 TIM3_SMCR 寄存器的 TS=101 来选择 TI1 作为输入源。

当 TI1 上出现一个上升沿时，TIF 标志被设置，计数器开始在 ETR 的上升沿计数。

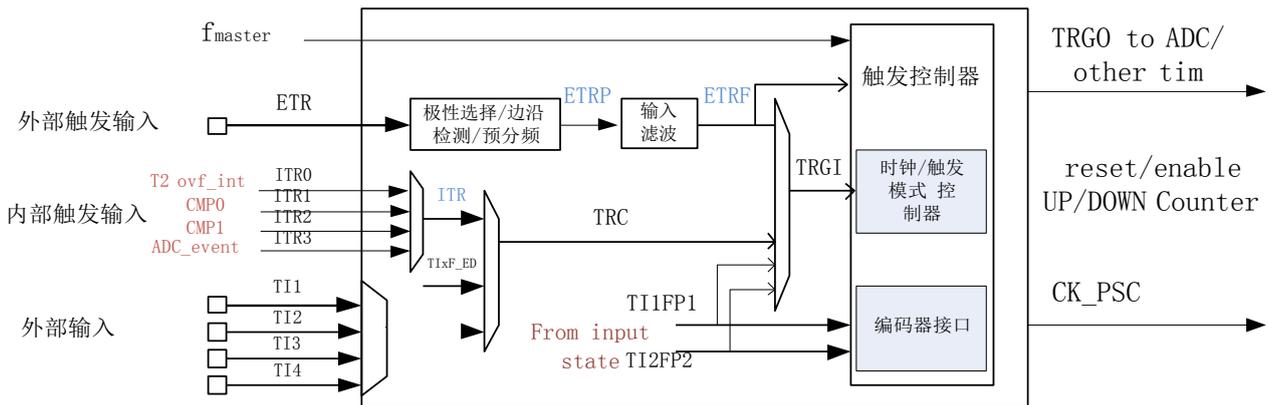
TI1 信号的上升沿和计数器实际时钟之间的延时取决于 TI1 输入端的重同步电路。

ETR 信号的上升沿和计数器实际时钟之间的延时取决于 ETRP 输入端的重同步电路。



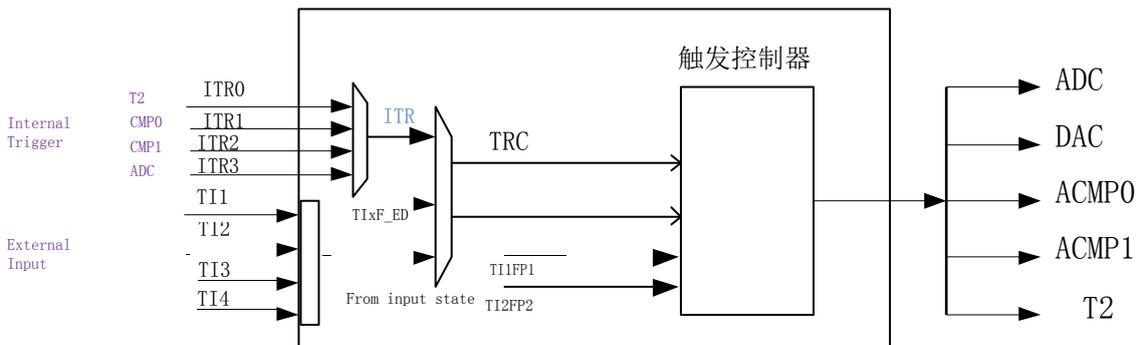
14.3.6 与其它 TIM 定时器的同步

在芯片中，定时器在内部互相联结，用于定时器的同步或链接。当某个定时器配置成主模式时，可以输出触发信号(TRGO)到那些配置为从模式的定时器来完成复位，启动，停止的操作，或者作为那些定时器的驱动时钟。



图()

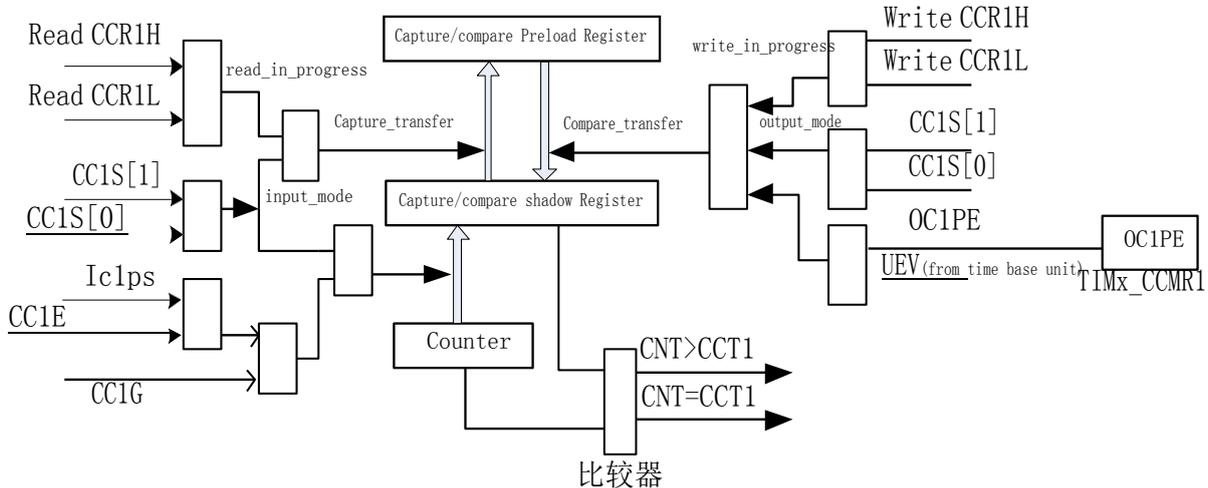
高级定时器的级联如下图，输入内部触发可以来自芯片内部的 T2 定时器，比较器 0 输出、比较器 1 输出以及 ADC 事件（注：）；高级定时器的输出 TRGO 连接到芯片内部的 ADC、DAC、比较器 0 和比较器 1、以及定时器 T2。



14.4 捕获/比较通道

定时器的 I/O 引脚(TIM3_CCI)可以用作输入捕获或者输出比较, 这个功能可以通过配置捕获/比较通道模式寄存器(TIM3_CCMRi)的 CCIS 通道选择位来实现, 此处的 i 代表通道数。

每一个捕获/比较通道都是围绕着一个捕获/比较寄存器(包含影子寄存器)来构建的, 包括捕获的输入部分(数字滤波、多路复用和预分频器), 和输出部分(比较器和输出控制)。



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。读写过程仅操作预装载寄存器。在捕获模式下, 捕获计数器的值到影子寄存器上, 然后再复制到预装载寄存器中。

在比较模式下, 预装载寄存器的内容被复制到影子寄存器中, 然后影子寄存器的内容和计数器进行比较。

当通道被配置成输出模式时(TIM3_CCMRi 寄存器的 CCIS=0), 可以随时访问 TIM3_CCRi 寄存器。(此处的 i 指通道数)

当通道被配置成输入模式时, 对 TIM3_CCRi 寄存器的读操作类似于计数器的读操作。当捕获发生时, 计数器的内容被捕获到 TIM3_CCRi 影子寄存器, 然后再复制到预装载寄存器中。在读操作进行中, 预装载寄存器是被冻结的(以防读数据过程中预装载寄存器内容被修改)。

在整个读流程结束后, 如果仅仅读了 TIM3_CCRiL 寄存器, 返回计数器数值的低位(LS)。

如果在读了低位(LS)数据以后再读高位(MS)数据, 将不再返回同样的低位数据。

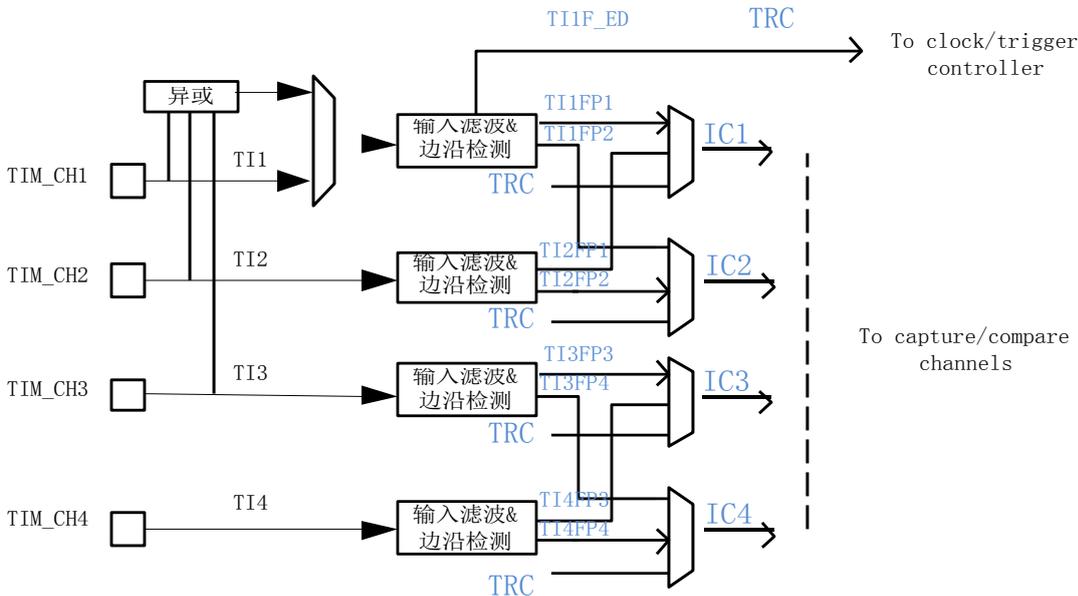
14.4.1 16 位 TIM_CCRi 寄存器的写流程

16 位 TIM3_CCRi 寄存器的写操作通过预装载寄存器完成。必需使用两条指令来完成整个流程, 一条指令对应一个字节。必需先写高位字节(MS)。

在写高位字节(MS)时, 影子寄存器的更新被禁止直到低位字节(LS)的写操作完成。注意不要先写低位字节, 否则会导致错误的写入。

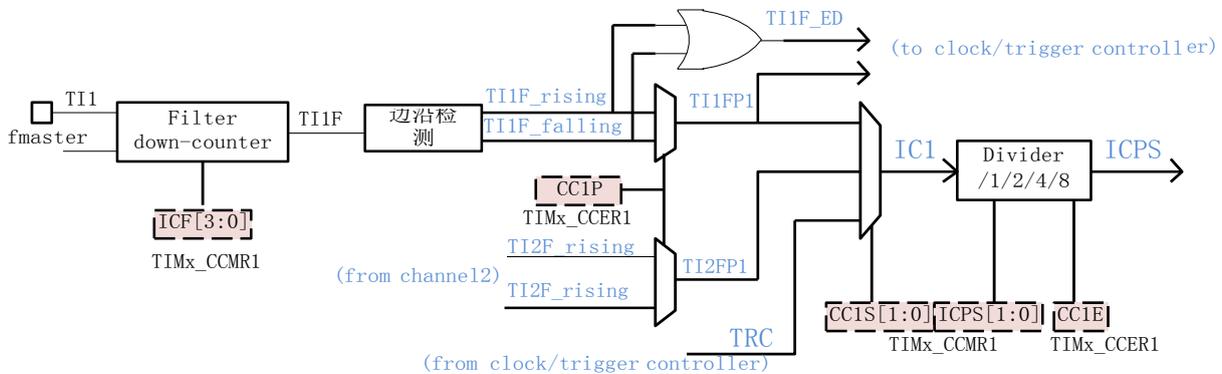
14.4.2 输入模块

输入模块的框图



输入部分对相应的 TIx 输入信号采样，并产生一个滤波后的信号 $TIxF$ 。然后，一个带极性选择的边缘监测器产生一个信号($TIxFPx$)，它可以作为触发模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器($ICxPS$)。

TIM 通道 1 的输入如下图：



14.4.3 输入捕获模式

在输入捕获模式下，当检测到 ICi 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 ($TIM3_CCRx$)中。当发生捕获事件时，相应的 $CCiIF$ 标志($TIM3_SR$ 寄存器)被置 1。

如果 $TIM3_IER$ 寄存器的 $CCiIE$ 位被置位，也就是使能了中断，则将产生中断请求。如果发生捕获事件时 $CCiIF$ 标志已经为高，那么重复捕获标志 $CCiOF$ ($TIM3_SR2$ 寄存器)被置 1。写 $CCiIF=0$ 或读取存储在 $TIM3_CCRiL$ 寄存器中的捕获数据都可清除 $CCiIF$ 。写 $CCiOF=0$ 可清除 $CCiOF$ 。

以下例子说明如何在 $TI1$ 输入的上升沿时捕获计数器的值到 $TIM3_CCR1$ 寄存器中，步骤如下：

1. 选择有效输入端：例如 $TIM3_CCR1$ 连接到 $TI1$ 输入，所以写入 $TIM3_CCMR1$ 寄存器中的 $CC1S=01$ ，此时通道被配置为输入，并且 $TIM3_CCR1$ 寄存器变为只读。

2. 根据输入信号 Ti_i 的特点，可通过配置 $TIM3_CCMRi$ 寄存器中的 $ICiF$ 位来设置相应的输入滤波器的滤波时间。假设输入信号在最多 5 个时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期；因此我们可以连续采样 8 次，以确认在 Ti_1 上一次真实的边沿变换，即在 $TIM3_CCMR1$ 寄存器中写入 $IC1F=0011$ ，此时，只有连续采样到 8 个相同的 Ti_1 信号，信号才为有效(采样频率为 f_{MASTER})。
3. 选择 Ti_1 通道的有效转换边沿，在 $TIM3_CCER1$ 寄存器中写入 $CC1P=0$ (上升沿)。
4. 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止(写 $TIM3_CCMR1$ 寄存器的 $IC1PS=00$)。
5. 设置 $TIM3_CCER1$ 寄存器的 $CC1E=1$ ，允许捕获计数器的值到捕获寄存器中。
6. 如果需要，通过设置 $TIM3_IER$ 寄存器中的 $CC1IE$ 位允许相关中断请求。

当发生一个输入捕获时：

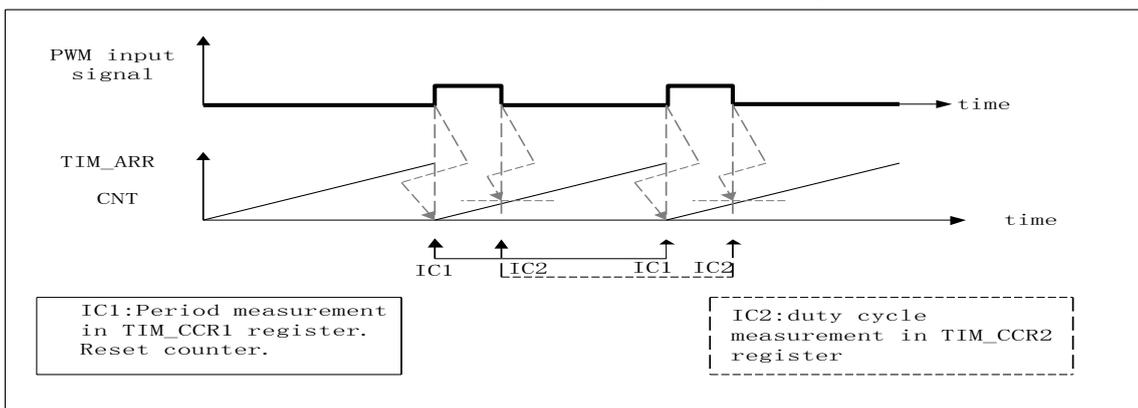
- ★ 当产生有效的电平转换时，计数器的值被传送到 $TIM3_CCR1$ 寄存器。
- ★ $CC1IF$ 标志被设置(中断标志)。当发生至少 2 个连续的捕获时，而 $CC1IF$ 未曾被清除时， $CC1OF$ 也被置 1。
- ★ 如设置了 $CC1IE$ 位，则会产生一个中断。
- ★ 为了处理捕获溢出($CC1OF$ 位)，建议在读出重复捕获标志之前读取数据，这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的重复捕获信息。

注意：设置 TIM_EGR 寄存器中相应的 $CCiG$ 位，可以通过软件产生输入捕获中断。

14.4.4 PWM 输入信号测量

该模式是输入捕获模式的一个特例，除下列区别外，操作与输入捕获模式相同：

- ★ 两个 ICi 信号被映射至同一个 Ti_i 输入。
- ★ 这两个 ICi 信号的有效边沿的极性相反。
- ★ 两路 Ti_iFP 信号中的一路被选择作为触发输入信号，并且触发模式控制器被配置成触发复位模式。



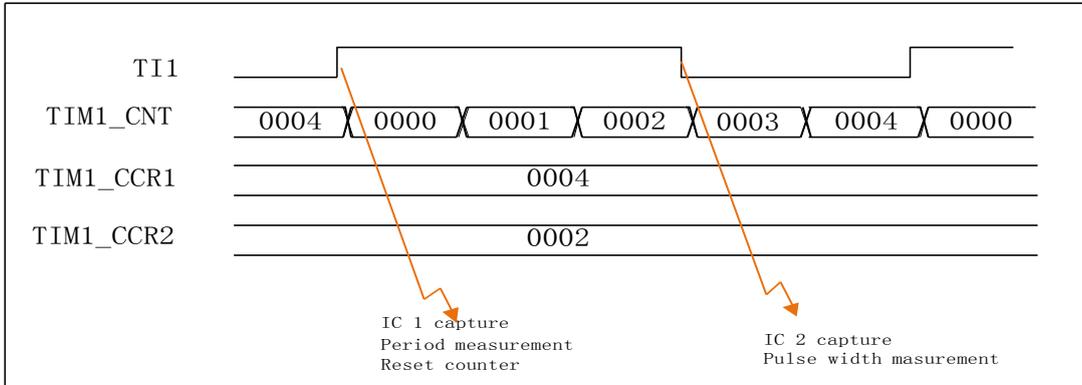
PWM 输入信号测量

例如，你可以用以下方式测量 Ti_1 上输入的 PWM 信号的周期(锁存于 $TIM3_CCR1$ 寄存器)和占空比(锁存于 $TIM3_CCR2$ 寄存器)。(具体取决于 f_{MASTER} 的频率和预分频器的值)

1. 选择 $TIM3_CCR1$ 的有效输入：置 $TIM3_CCMR1$ 寄存器的 $CC1S=01$ (选中 Ti_1)。
2. 选择 Ti_1FP1 的有效极性(用来捕获数据到 $TIM3_CCR1$ 中和清除计数器)：置 $CC1P=0$ (上升沿有效)。
3. 选择 $TIM3_CCR2$ 的有效输入：置 $TIM3_CCMR2$ 寄存器的 $CC2S=10$ (选中 Ti_1FP2)。
4. 选择 Ti_1FP2 的有效极性(捕获数据到 $TIM3_CCR2$)：置 $CC2P=1$ (下降沿有效)。

5. 选择有效的触发输入信号：置 TIM3_SMCR 寄存器中的 TS=101(选择 TI1FP1)。
6. 配置触发模式控制器为复位触发模式：置 TIM3_SMCR 中的 SMS=100。
7. 使能捕获：置 TIM3_CCER1 寄存器中 CC1E=1, CC2E=1。

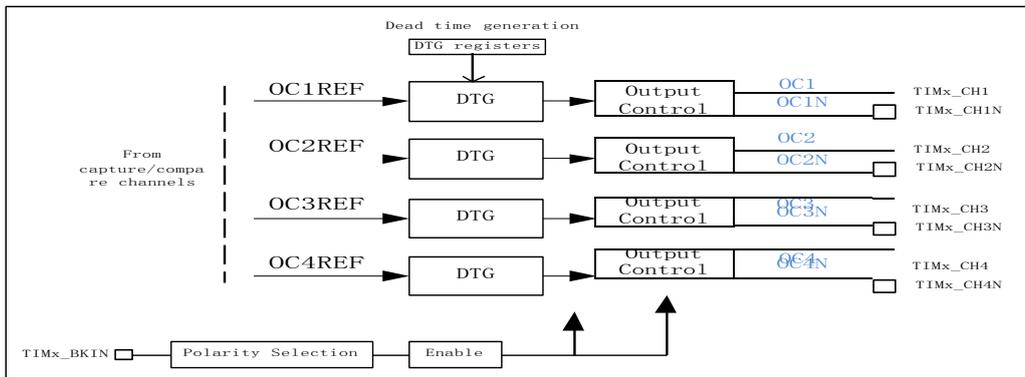
PWM 输入信号测量实例



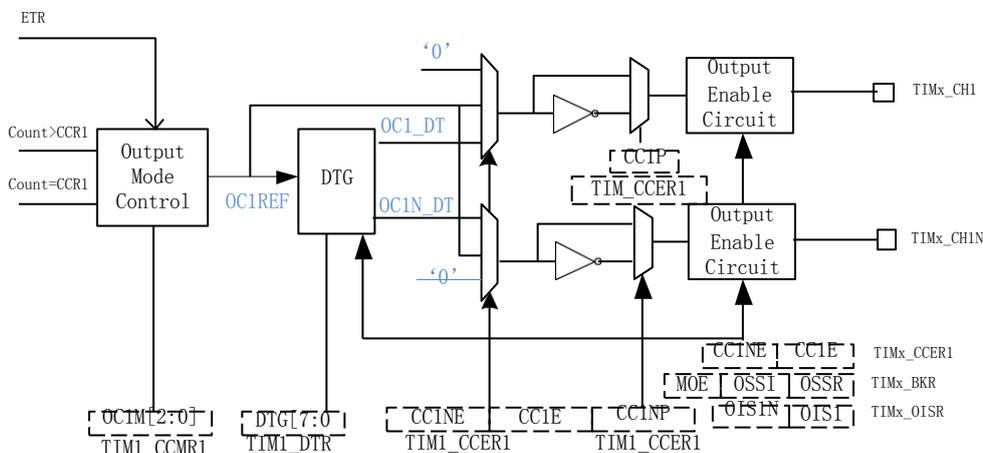
14.4.5 输出模块

输出模块会产生一个用来做参考的中间波形，称为 **OCiREF**(高有效)。刹车功能和极性的处理都在模块的最后处理。

输出模块框图：



详细的带互补输出的输出模块框图(通道 1)



14.4.6 强制输出模式

在输出模式(TIM3_CCMRi 寄存器中 CCI5=00)下, 输出比较信号能够直接由软件强置为高或低状态, 而不依赖于输出比较寄存器和计数器间的比较结果。

置 TIM3_CCMRi 寄存器中相应的 OCiM=101, 即可强置输出比较信号为有效状态。这样 OCiREF 被强置为高电平(OCiREF 始终为高电平有效), 而 OCi 的输出是高还是低则取决于 CCIp 极性标志位。例如: CCIp=0(OCi 高电平有效), 则 OCi 被强置为高电平。

置 TIM3_CCMRi 寄存器的 OCiM=100, 可强置 OCiREF 信号为低。

该模式下, 在 TIM3_CCRi 影子寄存器和计数器之间的比较仍然在进行, 相应的标志也会被修改, 也仍然会产生相应的中断。这将会在下面的输出比较模式一节中介绍。

14.4.7 输出比较模式

此模式用来控制一个输出波形或者指示一段给定的时间已经达到。当计数器与捕获/比较寄存器的内容相同时, 有如下操作:

- 根据不同的输出比较模式, 相应的 OCi 输出信号为:
 - 保持不变(OCiM=000)
 - 设置为有效电平(OCiM=001)
 - 设置为无效电平(OCiM=010)
 - 翻转(OCiM=011)
- 设置中断状态寄存器中的标志位(TIM3_SR1 寄存器中的 CCIIF 位)。
- 若设置了相应的中断使能位(TIM3_IER 寄存器中的 CCIIE 位), 则产生一个中断。

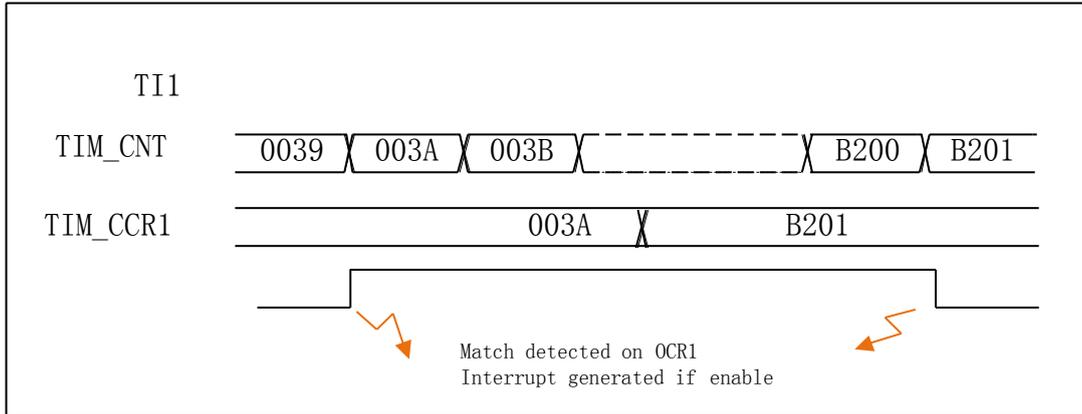
TIM3_CCMRi 寄存器的 OCiM 位用于选择输出比较模式, 而 TIM3_CCMRi 寄存器的 CCIp 位用于选择有效和无效的电平极性。

TIM3_CCMRi 寄存器的 OCiPE 位用于选择 TIM3_CCRi 寄存器是否需要使用预装载寄存器。在输出比较模式下, 更新事件 UEV 对 OCiREF 和 OCi 输出没有影响。时间精度为计数器的一个计数周期。输出比较模式也能用来输出一个单脉冲。

输出比较模式的配置步骤:

1. 选择计数器时钟(内部, 外部, 预分频器)。
2. 将相应的数据写入 TIM3_ARR 和 TIM3_CCRi 寄存器中。
3. 如果要产生一个中断请求, 设置 CCIIE 位。
4. 选择输出模式步骤:
 - 要求计数器与 CCRi 匹配时翻转 OCiM 的输出管脚, 设置 OCiM=011
 - 置 OCiPE = 0 禁用预装载寄存器
 - 置 CCIp = 0 选择高电平为有效电平
 - 置 CCIIE = 1 使能输出
5. 设置 TIM3_CR1 寄存器的 CEN 位来启动计数器

TIM3_CCRi 寄存器能够在任何时候通过软件进行更新以控制输出波形, 条件是未使用预装载寄存器(OCiPE='0', 否则 TIM3_CCRi 的影子寄存器只能在发生下一次更新事件时被更新)



14.4.8 PWM 模式

脉冲宽度调制(PWM)模式可以产生一个由 **TIM3_ARR** 寄存器确定频率、由 **TIM3_CCRi** 寄存器确定占空比的信号。

在 **TIM3_CCMRi** 寄存器中的 **OCiM** 位写入'110'(PWM 模式 1)或'111'(PWM 模式 2), 能够独立地设置每个 **OCi** 输出通道产生一路 PWM。

必须设置 **TIM3_CCMRi** 寄存器的 **OCiPE** 位使能相应的预装载寄存器, 也可以设置 **TIM3_CR1** 寄存器的 **ARPE** 位使能自动重载的预装载寄存器(在向上计数模式或中央对称模式中)。

由于仅当发生一个更新事件的时候, 预装载寄存器才能被传送到影子寄存器, 因此在计数器开始计数之前, 必须通过设置 **TIM3_EGR** 寄存器的 **UG** 位来初始化所有的寄存器。

OCi 的极性可以通过软件在 **TIM3_CCERi** 寄存器中的 **CCiP** 位设置, 它可以设置为高电平有效或低电平有效。**OCi** 的输出使能通过(**TIM3_CCERi** 和 **TIM3_BKR** 寄存器中)**CCiE**、**MOE**、**OISi** 和 **OSSR** 位和 **OSSI** 位的组合来控制。详见 **TIM3_CCERi** 寄存器的描述。

在 PWM 模式(模式 1 或模式 2)下, **TIM3_CNT** 和 **TIM3_CCRi** 始终在进行比较, (依据计数器的计数方向)以确定是否符合 $TIM3_CCRi \leq TIM3_CNT$ 或者 $TIM3_CNT \leq TIM3_CCRi$ 。

根据 **TIM3_CR1** 寄存器中 **CMS** 位域的状态, 定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

14.4.8.1 PWM 边沿对齐模式

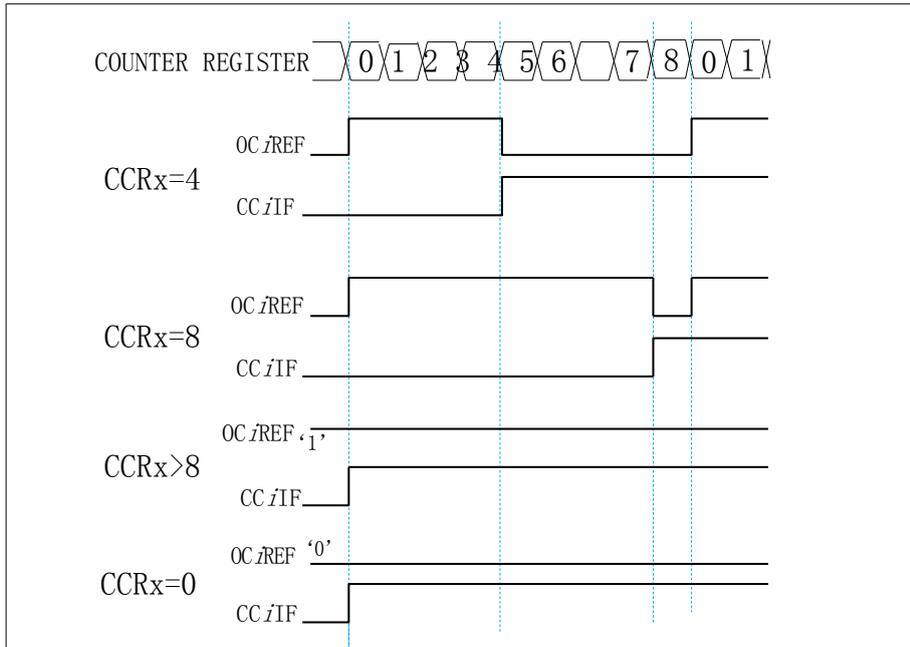
★ 向上计数配置

当 **TIM3_CR1** 寄存器中的 **DIR** 位为低的时候执行向上计数。

下面是一个 PWM 模式 1 的例子。当 $TIM3_CNT < TIM3_CCRi$ 时, PWM 参考信号 **OCiREF** 为高, 否则为低。

如果 **TIM3_CCRi** 中的比较值大于自动重载值(**TIM3_ARR**), 则 **OCiREF** 保持为'1'。如果比较值为 0, 则 **OCiREF** 保持为'0'。

下图为 **TIM3_ARR=8** 时边沿对齐的 PWM 波形实例。



★ 向下计数的配置

当 TIM3_CR1 寄存器的 DIR 位为高时执行向下计数。

在 PWM 模式 1 时，当 TIM3_CNT>TIM3_CCRi 时参考信号 OCiREF 为低，否则为高。

如果 TIM3_CCRi 中的比较值大于 TIM3_ARR 中的自动重装载值，则 OCiREF 保持为‘1’。该模式下不能产生 0% 的 PWM 波形。

14.4.8.2 PWM 中央对齐模式

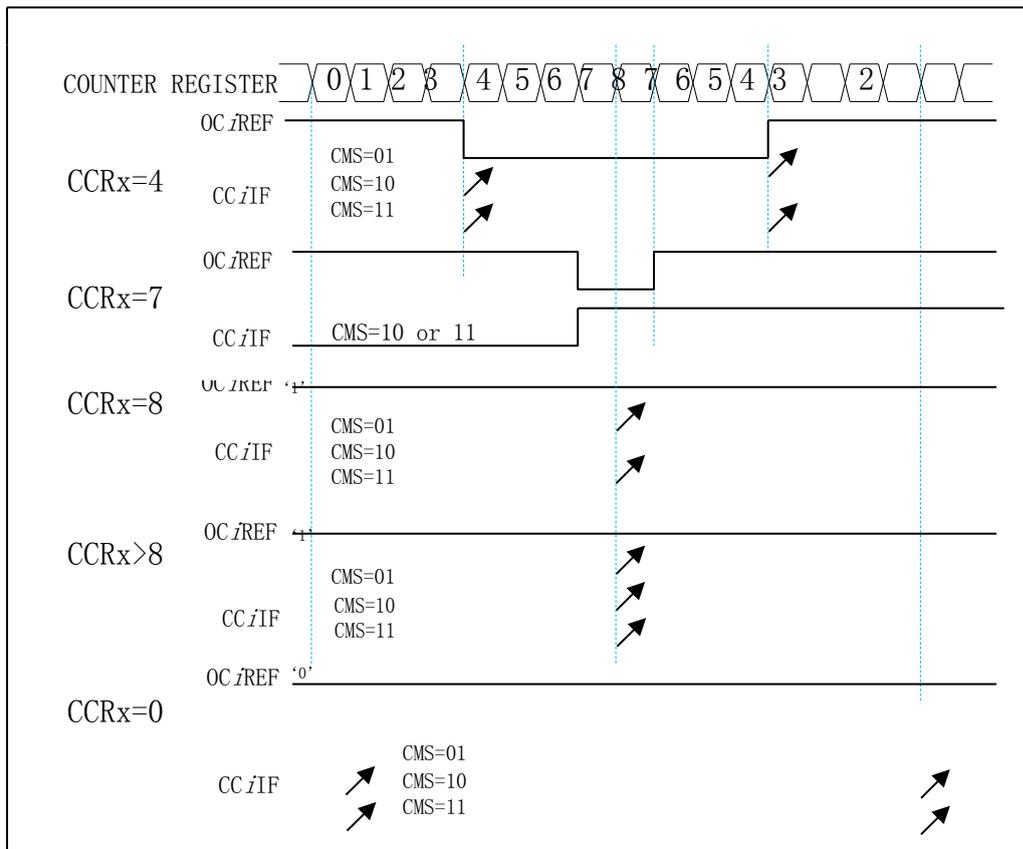
当 TIM3_CR1 寄存器中的 CMS 位不为‘00’时为中央对齐模式(所有其它的配置对 OCiREF/OCi 信号都有相同的作用)。

根据不同的 CMS 位的设置，比较标志可以在计数器向上计数，向下计数，或向上和向下计数时被置 1。TIM3_CR1 寄存器中的计数方向位(DIR)由硬件更新，不要用软件修改它。

下图给出了一些中央对齐的 PWM 波形的例子

- TIM_x_ARR=8
- PWM 模式 1
- 标志位在以下三种情况下被置位(以箭头形式在图中标出)
 只有在计数器向下计数时(CMS=01) 只有在计数器向上计数时(CMS=10) 在计数器向上和向下计数时(CMS=11)

Figure XX. Center-aligned PWM waveforms (ARR=8)



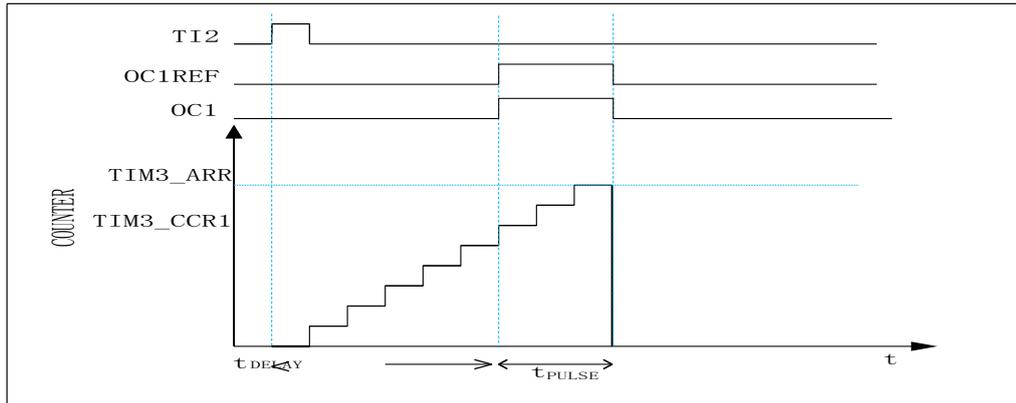
14.4.8.3 单脉冲模式

单脉冲模式(OPM)是前述众多模式的一个特例。这种模式允许计数器响应一个激励,并在一个程序可控的延时之后产生一个脉宽可控的脉冲。

可以通过时钟/触发控制器启动计数器,在输出比较模式或者 PWM 模式下产生波形。设置 TIM3_CR1 寄存器的 OPM 位将选择单脉冲模式,此时计数器自动地在下一个更新事件 UEV 时停止。仅当比较值与计数器的初始值不同时,才能产生一个脉冲。启动之前(当定时器正在等待触发),必须如下配置:

- ★ 向上计数方式: 计数器 $CNT < CCRi \leq ARR$,
- ★ 向下计数方式: 计数器 $CNT > CCRi$ 。

Figure XX. Example of one-pulse mode



14.4.8.4 特殊情况：OCx 快速使能

在单脉冲模式下，对 Ti 输入脚的边沿检测会设置 CEN 位以启动计数器。然后计数器和比较值间的比较操作产生了单脉冲的输出。但是这些操作需要一定的时钟周期，因此它限制了可得到的最小延时 t_{DELAY} 。

如果要以最小延时输出波形，可以设置 $TIM3_CCMRi$ 寄存器中的 $OCiFE$ 位；此时强制 $OCiREF$ (和 OCx) 直接响应激励而不再依赖比较的结果，输出的波形与比较匹配时的波形一样。 $OCiFE$ 只在通道配置为 PWM1 和 PWM2 模式时起作用。

14.4.8.4 互补输出和死区插入

$TIM3$ 能够输出两路互补信号，并且能够管理输出的瞬时关断和接通。这段时间通常被称为死区，用户应该根据连接的输出器件和它们的特性(电平转换的延时、电源开关的延时等)来调整死区时间。

配置 $TIM3_CCERi$ 寄存器中的 $CCiP$ 和 $CCiNP$ 位，可以为每一个输出独立地选择极性(主输出 OCi 或互补输出 $OCiN$)。

互补信号 OCi 和 $OCiN$ 通过下列控制位的组合进行控制：

$TIM3_CCERi$ 寄存器的 $CCiE$ 和 $CCiNE$ 位。(注：主通道和副通道使能位)

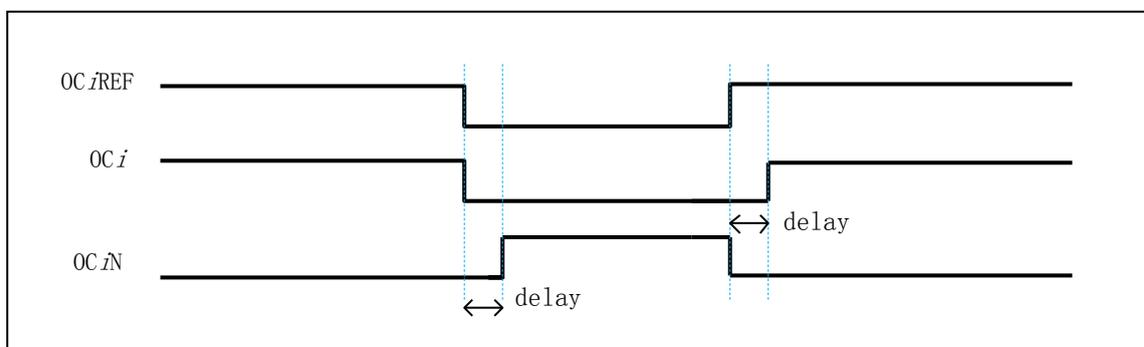
$TIM3_BKR$ 寄存器中的 MOE 、 $OISi$ 、 $OISiN$ 、 $OSSI$ 和 $OSSR$ 位，详见表 34 (寄存器 $CCER1$ 描述)。

特别是，在转换到 IDLE 状态时(MOE 下降到 0)死区控制被激活。(注：IDLE 状态就是 $MOE=0$ 的状态)

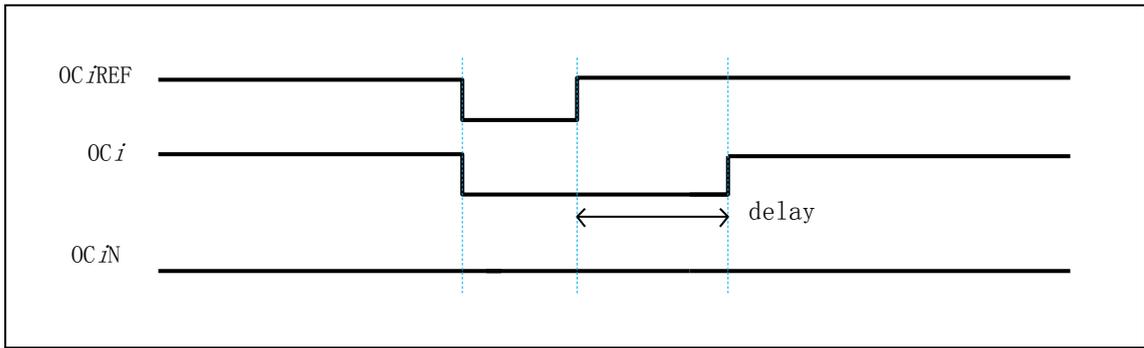
同时设置 $CCiE$ 和 $CCiNE$ 位将插入死区，如果存在刹车电路，则还要设置 MOE 位。每一个通道都有一个 8 位的死区发生器。参考信号 $OCiREF$ 可以产生 2 路输出 OCi 和 $OCiN$ 。如果 OCi 和 $OCiN$ 为高有效：

OCi 输出信号与参考信号相同，只是它的上升沿相对于参考信号的上升沿有一个延迟。

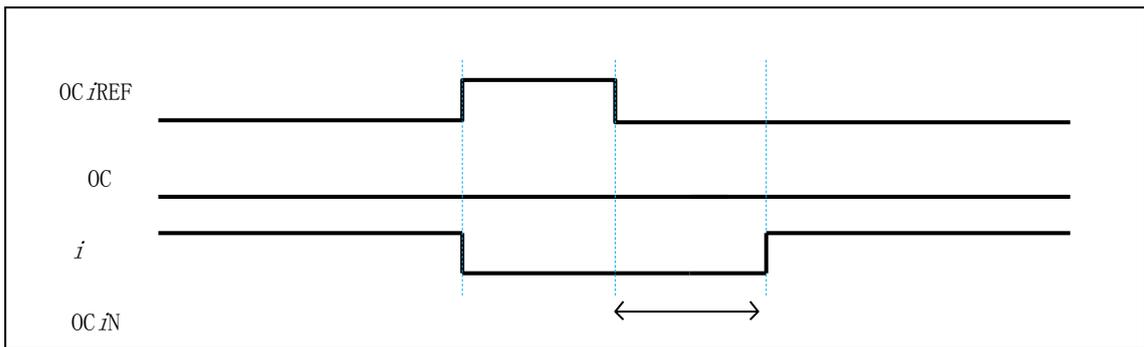
$OCiN$ 输出信号与参考信号相反，只是它的上升沿相对于参考信号的下降沿有一个延迟。如果延迟大于当前有效的输出宽度(OCi 或者 $OCiN$)，则不会产生相应的脉冲。



带死区插入的互补输出



死区波形延迟大于负脉冲



死区波形延迟大于正脉冲

14.4.8.5 重定向 OCiREF 到 OCi 或 OCiN

在输出模式下(强置、输出比较或 PWM), 通过配置 TIM3_CCERi 寄存器的 CCiE 和 CCiNE 位, OCiREF 可以被重定向到 OCi 或者 OCiN 的输出。

这个功能可以在互补输出处于无效电平时, 在某个输出上送出一个特殊的波形(例如 PWM 或者静态有效电平)。另一个作用是, 让两个输出同时处于无效电平, 或同时处于有效电平(此时仍然是带死区的互补输出)。

注: 当只使能 OCiN(CCiE=0, CCiNE=1)时, 它不会反相, 而当 OCiREF 变高时立即有效。例如, 如果 CCiNP=0, 则 OCiN=OCiREF。另一方面, 当 OCi 和 OCiN 都被使能时(CCiE=CCiNE=1), 当 OCiREF 为高时 OCi 有效; 而 OCiN 相反, 当 OCiREF 低时 OCiN 变为有效。

14.4.9 使用刹车功能

功能常用于马达控制中。当使用刹车功能时, 依据相应的控制位(TIM_BKR 寄存器中的 MOE、OSSI 和 OSSR 位), 输出使能信号和无效电平都会被修改。

系统复位后, 刹车电路被禁止, MOE 位为低。设置 TIM_BKR 寄存器中的 BKE 位可以使能刹车功能。刹车输入信号的极性可以通过配置同一个寄存器中的 BKP 位选择。BKE 和 BKP 可以被同时修改。

MOE 下降沿相对于时钟模块可以是异步的, 因此在实际信号(作用在输出端)和同步控制位(在 TIM_BKR 寄存器中)之间设置了一个再同步电路。这个再同步电路会在异步信号和同步信号之间产生延迟。特别的, 如果当它为低时写 MOE=1, 则读出它之前必须先插入一个延时(空指令)才能读到正确的值。这是因为写入的是异步信号而读的是同步信号。

14.5 中断

TIM3 有 8 个中断请求源，分别映射到 2 个中断矢量上：

- ★ 刹车中断
- ★ 触发中断
- ★ COM 事件中断
- ★ 输入捕捉/输出比较 4 中断
- ★ 输入捕捉/输出比较 3 中断
- ★ 输入捕捉/输出比较 2 中断
- ★ 输入捕捉/输出比较 1 中断
- ★ 更新事件中断(如：计数器上溢，下溢及初始化)

为了使用中断特性，对每个被使用的中断通道，设置 TIM_IER 寄存器中相应的中断使能位：即 BIE，TIE，COMIE，CCiIE，UIE 位。

通过设置 TIM3_EGR 寄存器中的相应位，也可以用软件产生上述各个中断源。

14.6 TIM3 寄存器描述

高级定时器寄存器表如下：

名称	说明	可位寻址	读写权限	复位值	字节地址
CR1	控制寄存器 1	x	R/W	0000_0000B	F3H
CR2	控制寄存器 2	x	R/W	0000_0000B	F4H
SR1	状态寄存器 1	x	R/W	0000_0000B	F5H
SR2	状态寄存器 2	x	R/W	0000_0000B	F6H
EGR	事件产生寄存器	x	R/W	0000_0000B	F7H
CNTH	计数器高 8 位	x	R/W	0000_0000B	84H
CNTL	计数器低 8 位	x	R/W	0000_0000B	85H
SMCR	模式控制寄存器	x	R/W	0100_0000B	FF30H
ETR	外部触发控制器	x	R/W	0000_0000B	FF31H
IER	中断允许控制器	x	R/W	0000_0000B	FF32H
CCMR1	CC1 捕获/比较模式寄存器	x	R/W	0000_0000B	FF33H
CCMR2	CC2 捕获/比较模式寄存器	x	R/W	0000_0000B	FF34H
CCMR3	CC3 捕获/比较模式寄存器	x	R/W	0000_0000B	FF35H
CCMR4	CC4 捕获/比较模式寄存器	x	R/W	00u0_u0u0B	FF36H
CCER1	捕获/比较使能寄存器 1	x	R/W	0000_0000B	FF37H
CCER2	捕获/比较使能寄存器 2	x	R/W	0000_0000B	FF38H
PSCH	预分频器高 8 位	x	R/W	0000_0000B	FF39H
PSCL	预分频器低 8 位	x	R/W	0000_0000B	FF3AH
ARRH	自动重载寄存器高 8 位	x	R/W	0000_0000B	FF3BH
ARRL	自动重载寄存器低 8 位	x	R/W	uuu0_0000B	FF3CH
RCR	重复计数器	x	R/W	0000_0000B	FF3DH

名称	说明	可位寻址	读写权限	复位值	字节地址
CCR1H	捕获/比较通道 1 寄存器高 8 位	x	R/W	uuuu_uuu0B	FF3EH
CCR1L	捕获/比较通道 1 寄存器低 8 位	x	R/W	0000_0000B	FF3FH
CCR2H	捕获/比较通道 2 寄存器高 8 位	x	R/W	0000_0000B	FF80H
CCR2L	捕获/比较通道 2 寄存器低 8 位	x	R/W	0000_0000B	FF81H
CCR3H	捕获/比较通道 3 寄存器高 8 位	x	R/W	0000_0000B	FF82H
CCR3L	捕获/比较通道 3 寄存器低 8 位	x	R/W	0000_0000B	FF83H
CCR4H	捕获/比较通道 4 寄存器高 8 位	x	R/W	0000_0000B	FF84H
CCR4L	捕获/比较通道 4 寄存器低 8 位	x	R/W	0000_0000B	FF85H
BKR	刹车控制寄存器	x	R/W	0000_0000B	FF86H
DTR	死区控制寄存器	x	R/W	0000_0000B	FF87H
OSIR	输出空闲状态寄存器	x	R/W	0000_0000B	FF88H
CR1H	控制寄存器 1H	x	R/W	0000_0000B	FF89H
CR1M	控制寄存器 1M	x	R/W	0000_0000B	FF8aH
SMCRH	控制寄存器 H	x	R/W	0000_0000B	FF8BH
DLAMT	延迟触发&防多次触发 控制寄存器	x	R/W	XXXX_XX01B	FF8CH
ATMG	防多次触发窗口控制寄存器	x	R/W	0000_0000B	FF8DH
DTWG	延迟触发窗口控制寄存器	x	R/W	0000_0001B	FF8EH
TIRMP	触发源复用寄存器	x	R/W	0000_0000B	FFCEH
OCRMP	PWM 引脚复用寄存器	x	R/W	0000_0000B	FFCFH

CR1H 控制寄存器 (FF89H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AS	OCF	CENCE	TI4E	TI3E	TI2E	TI1E	ETRE
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	该寄存器总体控制输入滤波使能。							

Bit7 **AS: 影子寄存器读使能位。**

This bit-field selects **active register value** or **preload register value** when mcu reads TIMx_PSC/TIMx_ARR/TIMx_CCRx Registers.

0: 读的时候选择 Preload register value (默认)。

1: 读的时候选择 active register value (shadow register)。

Bit6 **OCF: OC/OCN asynchronous anti-glitch filter (异步抗干扰滤波)。**

0: 无滤波 (默认)。

1: 滤波。

Bit5 **CENCE: OCREF clear enable when CEN is disabled (CEN 不使能的时候允许清 OCREF)。**

0: CEN 不使能时, OCREF clear 不被使能 (默认)。

1: CEN 不使能时, OCREF clear 使能。

Bit4 **TI4E: TI4 input detection/filter enable**

0: 不使能 TI4 输入检测/滤波

- 1: 使能 TI4 输入检测/滤波
- Bit3 **TI3E: TI3 input detection/filter enable**
 0: 不使能 TI3 输入检测/滤波
 1: 使能 TI3 输入检测/滤波
- Bit2 **TI2E: TI2 input detection/filter enable**
 0: 不使能 TI2 输入检测/滤波
 1: 使能 TI2 输入检测/滤波
- Bit1 **TI1E: TI1 input detection/filter enable**
 0: 不使能 TI1 输入检测/滤波
 1: 使能 TI1 输入检测/滤波
- Bit0 **ETRE: External trigger input detection/filter enable**
 0: 不使能 ETR 输入检测/滤波
 1: 使能 ETR 输入检测/滤波

CR1M 控制寄存器 (FF8AH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	DTSE	CKD[1]	CKD[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	U	U	0	0	0
提 示:	该寄存器总体控制输入滤波使能。							

- Bit7~Bit3 — : 保留。
- Bit2 **DTSE: DTS clock enable**
 该位使能死区产生器和数字滤波器用的 DTS 时钟, (ETR, TIx 输入滤波)
 0: 不使能 DTS 时钟
 1: 使能 DTS 时钟
- Bit1~Bit0 **CKD[1:0]: 时钟分频**
 该位表示 CK_INT 和 DTS 时钟之间的分频系数
 1 : tDTS=tCK_INT
 2 : tDTS=2*tCK_INT
 10 : tDTS=4*tCK_INT
 11 : Reserved, do not program this value

CR1 控制寄存器 (F3H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ARPE	CMS[1]	CMS[0]	DIR	OPM	URS	UDIS	CEN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	该寄存器总体控制输入滤波使能。							

- Bit7 **ARPE: 自动预装载允许位**
 0: TIMx_ARR 寄存器没有缓冲, 它可以被直接写入

	1: TIMx_ARR 寄存器由预装载缓冲器缓冲
Bit6~Bit5	<p>CMS[1:0]: 选择中央对齐模式</p> <p>00: 边沿对齐模式。计数器依据方向位(DIR)向上或向下计数。</p> <p>01: 中央对齐模式 1。计数器交替地向上和向下计数。配置为输出的通道(TIM1_CCMRx 寄存器中 CCIS=00)的输出比较中断标志位, 只在计数器向下计数时被置 1。</p> <p>10: 中央对齐模式 2。计数器交替地向上和向下计数。配置为输出的通道(TIM1_CCMRx 寄存器中 CCIS=00)的输出比较中断标志位, 只在计数器向上计数时被置 1。</p> <p>11: 中央对齐模式 3。计数器交替地向上和向下计数。配置为输出的通道(TIM1_CCMRx 寄存器中 CCIS=00)的输出比较中断标志位, 在计数器向上和向下计数时均被置 1。</p> <p>注 1: 在计数器开启时(CEN=1), 不允许从边沿对齐模式转换到中央对齐模式。</p> <p>注 2: 在中央对齐模式下, 编码器模式 (GPT_SMCR 寄存器中的 SMS=001, 010, 011) 必须被禁止。</p>
Bit4	<p>DIR: 方向</p> <p>0: 计数器向上计数;</p> <p>1: 计数器向下计数。 注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。</p>
Bit3	<p>OPM: 单脉冲模式</p> <p>0: 在发生更新事件时, 计数器不停止;</p> <p>1: 在发生下一次更新事件(清除 CEN 位)时, 计数器停止。</p>
Bit2	<p>URS: 更新请求源</p> <p>0: 如果 UDIS 允许产生更新事件, 则下述任一事件产生一个更新中断:</p> <ul style="list-style-type: none"> - 寄存器被更新(计数器上溢/下溢) - 软件设置 UG 位 - 时钟/触发控制器产生的更新 <p>1: 如果 UDIS 允许产生更新事件, 则只有当下列事件发生时才产生更新中断, 并 UIF 置 1:</p> <ul style="list-style-type: none"> - 寄存器被更新(计数器上溢/下溢)
Bit1	<p>UDIS: 禁止更新</p> <p>0: 一旦下列事件发生, 产生更新(UEV)事件:</p> <ul style="list-style-type: none"> - 计数器溢出/下溢 - 产生软件更新事件 - 时钟/触发模式控制器产生的硬件复位 <p>被缓存的寄存器被装入它们的预装载值。</p> <p>1: 不产生更新事件, 影子寄存器(ARR、PSC、CCRx)保持它们的值。如果设置了 UG 位或时钟/触发控制器发出了一个硬件复位, 则计数器和预分频器被重新初始化。</p>
Bit0	<p>CEN: 允许计数器</p> <p>0: 禁止计数器;</p> <p>1: 使能计数器。</p> <p>注: 在软件设置了 CEN 位后, 外部时钟、门控模式和编码器模式才能工作。然而触发模式可以自动地通过硬件设置 CEN 位。</p>

CR2 控制寄存器 (F4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TI1S	MMS[2]	MMS[1]	MMS[0]	—	CCUS	—	CCPC
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0
提 示:	该寄存器总体控制输入滤波使能。							

Bit7 TI1S : TI1 selection

- 0: CC1 输入管脚连到 TI1(数字滤波器的输入);
 1: CC1、CC2 和 CC3 管脚经异或后连到 TI1。

Bit6~Bit4 MMS[2:0] : Master mode selection

- 该位用于选择在主模式下送到 ADC 或其它从定时器的同步信息(TRGO)。可能的组合如下:
 000: 复位 - TIM1_EGR 寄存器的 UG 位被用于作为触发输出(TRGO)。如果触发输入(时钟/触发控制器配置为复位模式)产生复位, 则 TRGO 上的信号相对实际的复位会有一个延迟。
 001: 使能 - 计数器使能信号被用于作为触发输出(TRGO)。其用于启动多个定时器或 ADC, 以便控制在一段时间内使能从定时器或 ADC。计数器使能信号是通过 CEN 控制位和门控模式下的 触发输入信号的逻辑或产生。除非选择了主/从模式(见 TIM1_SMCR 寄存器中 MSM 位的描述), 当计数器使能信号受控于触发输入时, TRGO 上会有一个延迟。
 010: 更新 - 更新事件被选为触发输入(TRGO)。
 011: 比较脉冲(MATCH1) - 一旦发生一次捕获或一次比较成功, 当 CC1IF 标志被置 1 时(即使它已经为高), 触发输出送出一个正脉冲(TRGO)。
 100: 比较 - OC1REF 信号被用于作为触发输出(TRGO)。
 101: 比较 - OC2REF 信号被用于作为触发输出(TRGO)。
 110: 比较 - OC3REF 信号被用于作为触发输出(TRGO)。
 111: 比较 - OC4REF 信号被用于作为触发输出(TRGO)。

Bit3 Reserved
Bit2 CCUS : Capture/compare control update selection

COMS: 捕获/比较控制位的更新控制选择

- 0: 当捕获/比较的控制位为预装载时(CCPC=1), 只有在 COMG 位置 1 的时候这些控制位才被更新;
 1: 当捕获/比较的控制位为预装载时(CCPC=1), 只有在 COMG 位置 1 或 TRGI 发生上升沿的时候这些控制位才被更新;
 注: 该位只对拥有互补输出的通道有效。

Bit1 Reserved
Bit0 CCPC : Capture/compare preloaded control

- 0: CCIE, CCINE, CCiP, CCiNP 位(TIM1_CCERx 寄存器)和 OCIM 位(TIM1_CCMRx 寄存器)不是预装载的;
 1: CCIE, CCINE, CCiP, CCiNP 和 OCIM 位是预装载的; 设置该位后, 它们只在设置了 COMG 位(TIM1_EGR 寄存器)后被更新。 注: 该位只对具有互补输出的通道起作用。

SMCRH 模式控制寄存器 (FF8BH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
--------	------	------	------	------	------	------	------	------

位 定 义:	—	—	—	—	—	—	OCCP	SMS[3]
访问权限:	R/W	R/W						
复 位 值:	0	0	0	0	0	0	U	0
提 示:								

Bit7~Bit2 **Reserved**

Bit1 **OCCP**: OCREF_CLR 输入极性选择(OCREF Clear Polarity)

0: OCREF_CLR 输入高有效.

1: OCREF_CLR 输入低有效.

Bit0 **SMS[3]**: Slave mode selection - bit 3

参考 SMS[2:0]描述

SMCR 模式控制寄存器 (FF30H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MSM	TS[2]	TS[1]	TS[0]	SMS[3]	SMS[2]	SMS[1]	SMS[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0
提 示:								

Bit7 **MSM**: 主/从模式

0: 无作用;

1: 触发输入(TRGI)上的事件被延迟了, 以允许定时器 1 与它的从定时器间的完美同步(通过 TRGO)。

Bit6~Bit4 **TS**: 触发选择

这 3 位选择用于选择同步计数器的触发输入。

000: 内部触发 ITRO, 连接到内部定时器 T2 的溢出中断 (ovf_int)

001: 内部触发 ITR1, 连接到内部比较器 0 (CMP0) 输出

010: 内部触发 ITR2, 连接到内部比较器 1 (CMP1) 输出

011: 内部触发 ITR3, 连接到内部 ADC_event(ADC 事件, 参考 ADC 部分说明)

100: TI1 的边沿检测器(TI1F_ED)

101: 滤波后的定时器输入 1(TI1FP1)

110: 滤波后的定时器输入 2(TI2FP2)

111: 外部触发输入(ETRF)

注: 这些位只能在未用到(如 SMS=000)时被改变, 以避免在改变时产生错误的边沿检测。

Bit3 **Reserved**

Bit2~Bit0 **SMS**: 时钟/触发/从模式选择

当选择了外部信号, 触发信号(TRGI)的有效边沿与选中的外部输入极性相关(见输入控制寄存器和控制寄存器的说明)

000: 时钟/触发控制器禁止 - 如果 CEN=1, 则预分频器直接由内部时钟驱动。

001: 编码器模式 1 - 根据 TI1FP1 的电平, 计数器在 TI2FP2 的边沿向上/下计数。

010: 编码器模式 2 - 根据 TI2FP2 的电平, 计数器在 TI1FP1 的边沿向上/下计数。

011: 编码器模式 3 - 根据另一个输入的电平, 计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。

- 100: 复位模式 - 在选中的触发输入(TRGI)的上升沿时重新初始化计数器, 并且产生一个更新寄存器的信号。
- 101: 门控模式 - 当触发输入(TRGI)为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止(但不复位)。计数器的启动和停止都是受控的。
- 110: 触发模式 - 计数器在触发输入 TRGI 的上升沿启动(但不复位), 只有计数器的启动是受控的。
- 111: 外部时钟模式 1 - 选中的触发输入(TRGI)的上升沿驱动计数器。
- 注: 如果 TI1F_ED 被选为触发输入(TS=100)时, 不要使用门控模式。这是因为 TI1F_ED 在每次 TI1F 变化时只是输出一个脉冲, 然而门控模式是要检查触发输入的电平。

ETR 控制寄存器 (FF31H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ETP	ECE	ETPS[1]	ETPS[0]	ETF[3]	ETF[2]	ETF[1]	ETF[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	U	0
提示:								

- Bit7** **ETP: 外部触发极性**
 该位决定是 ETR 还是 ETR 用于触发操作。
 0: ETR 不反相, 即高电平或上升沿有效;
 1: ETR 反相, 即低电平或下降沿有效。
- Bit6** **ECE: 外部时钟使能**
 该位用于使能外部时钟模式 2。
 0: 禁止外部时钟模式 2;
 1: 使能外部时钟模式 2, 计数器的时钟为 ETRF 的有效沿。
 注1: ECE 位置 1 的效果与选择把 TRGI 连接到 ETRF 的外部时钟模式 1 相同(TIM1_SMCR 寄存器中, SMS=111, TS=111)。
 注 2: 外部时钟模式 2 可与下列模式同时使用: 触发标准模式; 触发复位模式; 触发门控模式 但是, 此时 TRGI 决不能与 ETRF 相连(TIM1_SMCR 寄存器中, TS 不能为 111)。
 注 3: 外部时钟模式 1 与外部时钟模式 2 同时使能, 外部时钟输入为 ETRF。
- Bit5~Bit4** **ETPS: 外部触发预分频器**
 外部触发信号 ETRP 的频率最大不能超过 fMASTER/4。可用预分频器来降低 ETRP 的频率, 当 ETRP 的频率很高时, 它非常有用:
 00: 预分频器关闭;
 01: ETRP 的频率/2;
 02: ETRP 的频率/4;
 03: ETRP 的频率/8。
- Bit3~Bit0** **ETF[3:0]: ETF: 外部触发滤波器选择**
 该位域定义了 ETRP 的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变:
 0000: 无滤波器, 以 fMASTER 采样
 1000: 采样频率 fSAMPLING=fMASTER/8, N=6

- 0001: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, $N=2$
- 1001: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/8$, $N=8$
- 0010: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, $N=4$
- 1010: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/16$, $N=5$
- 0011: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, $N=8$
- 1011: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/16$, $N=6$
- 0100: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/2$, $N=6$
- 1100: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/16$, $N=8$
- 0101: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/2$, $N=8$
- 1101: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/32$, $N=5$
- 0110: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/4$, $N=6$
- 1110: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/32$, $N=6$
- 0111: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/4$, $N=8$
- 1111: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/32$, $N=8$

IER 控制寄存器 (FF32H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0
提 示:								

- Bit7 BIE: 允许刹车中断
0: 禁止刹车中断;
1: 允许刹车中断。
- Bit6 TIE: 触发中断使能
0: 禁止触发中断;
1: 使能触发中断。
- Bit5 COMIE: 允许 COM 中断
0: 禁止 COM 中断;
1: 允许 COM 中断。
- Bit4 CC4IE: 允许捕获/比较 4 中断
0: 禁止捕获/比较 4 中断;
1: 允许捕获/比较 4 中断。
- Bit3 CC3IE: 允许捕获/比较 3 中断
0: 禁止捕获/比较 3 中断;
1: 允许捕获/比较 3 中断。
- Bit2 CC2IE: 允许捕获/比较 2 中断
0: 禁止捕获/比较 2 中断;
1: 允许捕获/比较 2 中断。
- Bit1 CC1IE: 允许捕获/比较 1 中断
0: 禁止捕获/比较 1 中断;
1: 允许捕获/比较 1 中断。

Bit0 UIE: 允许更新中断
 0: 禁止更新中断;
 1: 允许更新中断。

SR1 控制寄存器 (F5H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	U	0

Bit7 BIF: 刹车中断标记
 一旦刹车输入有效, 由硬件对该位置 1。如果刹车输入无效, 则该位可由软件清 0。
 0: 无刹车事件产生;
 1: 刹车输入上检测到有效电平。

Bit6 TIF: 触发器中断标记
 当发生触发事件(当从模式控制器处于除门控模式外的其它模式时, 在 TRGI 输入端检测到有效边沿, 或门控模式下的任一边沿)时由硬件对该位置 1。它由软件清 0。 0: 无触发器事件产生;
 1: 触发中断等待响应。

Bit5 COMIF: COM 中断标记
 一旦产生 COM 事件(当捕获/比较控制位: CCiE、CCiNE、OCiM 已被更新)该位由硬件置 1。它由软件清 0。
 0: 无 COM 事件产生;
 1: COM 中断等待响应。

Bit4 CC4IF: 捕获/比较 4 中断标记
 参考 CC1IF 描述。

Bit3 CC3IF: 捕获/比较 3 中断标记
 参考 CC1IF 描述。

Bit2 CC2IF: 捕获/比较 2 中断标记
 参考 CC1IF 描述。

Bit1 CC1IF: 捕获/比较 1 中断标记
 如果通道 CC1 配置为输出模式:
 当计数器值与比较值匹配时该位由硬件置 1, 但在中心对称模式下除外(参考 TIM1_CR1 寄存器的 CMS 位)。它由软件清 0。
 0: 无匹配发生;
 1: TIMx_CNT 的值与 TIMx_CCR1 的值匹配。
 注: 在中心对称模式下, 当计数器值为 0 时, 向上计数, 当计数器值为 ARR 时, 向下计数(它从 0 向上计数到 ARR-1, 再由 ARR 向下计数到 1)。因此, 对所有的 SMS 位值, 这两个值都不置标记。但是, 如果 CCR1>ARR, 则当 CNT 达到 ARR 值时, CC1IF 置 1。
 如果通道 CC1 配置为输入模式:
 当捕获事件发生时该位由硬件置 1, 它由软件清 0 或通过读 TIM1_CCR1L 清 0。

- 0: 无输入捕获产生;
 1: 计数器值已被捕获(拷贝)至 TIM1_CCR1(在 IC1 上检测到与所选极性相同的边沿)。

Bit0
UIF: 更新中断标记

当产生更新事件时该位由硬件置 1。它由软件清 0。

0: 无更新事件产生;

1: 更新事件等待响应。当寄存器被更新时该位由硬件置 1:

-若 TIM1_CR1 寄存器的 UDIS=0, 当计数器上溢或下溢时;

-若 TIM1_CR1 寄存器的 UDIS=0、URS=0, 当设置 TIM1_EGR 寄存器的 UG 位软件对计数器 CNT 重新初始化时;

-若 TIM1_CR1 寄存器的 UDIS=0、URS=0, 当计数器 CNT 被触发事件重新初始化时 (参考 0 从模式控制寄存器 TIM1_SMCR)。

SR2 控制寄存器 (F6H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:				CC40F	CC30F	CC20F	CC10F	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:								

Bit7 Reserved

Bit6 Reserved

Bit5 Reserved

Bit4 CC40F: 捕获/比较 4 重复捕获标记
 参见 CC10F 描述。

Bit3 CC30F: 捕获/比较 3 重复捕获标记
 参见 CC10F 描述。

Bit2 CC20F: 捕获/比较 2 重复捕获标记
 参见 CC10F 描述。

Bit1 CC10F: 捕获/比较 1 重复捕获标记
 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置 1。写 0 可清除该位。

0: 无重复捕获产生;

1: 计数器的值被捕获到 TIM1_CCR1 寄存器时, CC1IF 的状态已经为 1。

Bit0 Reserved

EGR 寄存器 (F7H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	BG	TG	COM	CC4G	CC3G	CC2G	CC1G	UG
访问权限:	R/W							
复位值:	0	0	0	0	0	0	U	0

提 示:	
------	--

Bit7	<p>BG: 产生刹车事件 该位由软件置 1，用于产生一个刹车事件，由硬件自动清 0。 0: 无动作; 1: 产生一个刹车事件。此时 MOE=0、BIF=1，若开启对应的中断(BIE=1)，则产生相应的中断。</p>
Bit6	<p>TG: 产生触发事件 该位由软件置 1，用于产生一个触发事件，由硬件自动清 0。 0: 无动作; 1: TIM1_SR 寄存器的 TIF=1，若开启对应的中断 (TIE=1)，则产生相应的中断。</p>
Bit5	<p>COMG: 捕获/比较事件，产生控制更新 该位由软件置 1，由硬件自动清 0。 0: 无动作; 1: 当 CCPC=1，允许更新 CCIE、CCINE、CCiP, CCiNP, OCIM 位。 注: 该位只对拥有互补输出的通道有效。</p>
Bit4	<p>CC4G: 产生捕获/比较 4 事件 参考 CC1G 描述。</p>
Bit3	<p>CC3G: 产生捕获/比较 3 事件 参考 CC1G 描述。</p>
Bit2	<p>CC2G: 产生捕获/比较 2 事件 参考 CC1G 描述。</p>
Bit1	<p>CC1G: 产生捕获/比较 1 事件 该位由软件置 1，用于产生一个捕获/比较事件，由硬件自动清 0。 0: 无动作; 1: 在通道 CC1 上产生一个捕获/比较事件: 若通道 CC1 配置为输出: 设置 CC1IF=1，若开启对应的中断，则产生相应的中断。 若通道 CC1 配置为输入: 当前的计数器值被捕获至 TIM1_CCR1 寄存器，设置 CC1IF=1，若开启对应的中断，则产生相应的中断。若 CC1IF 已经为 1，则设置 CC1OF=1。</p>
Bit0	<p>UG: 产生更新事件 该位由软件置 1，由硬件自动清 0。 0: 无动作; 1: 重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清 0(但是预分频系数不变)。若在中心对称模式下或 DIR=0(向上计数)则计数器被清 0; 若 DIR=1(向下计数)则计数器取 TIM1_ARR 的值。</p>

CCMR1 寄存器 (FF33H)

通道可用于输入(捕获模式)或输出(比较模式)，通道的方向由相应的 CC1S 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OC1CE	OC1M[2]	OC1M[1]	OC1M[0]	OC1PE	OC1FE	CC1S[1]	CC1S[0]

	IC1F[3]	IC1F[2]	IC1F[1]	IC1F[0]	IC1PSC[1]	IC1PSC[0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:								

输出比较模式

Bit7

OC1CE: 输出比较 1 清零使能

该位用于使能使用 TIM1_TRIG 引脚上的外部事件来清通道 1 的输出信号(OC1REF)

0: OC1REF 不受 ETRF 输入 (来自 TIM1_TRIG 引脚) 的影响;

1: 一旦检测到 ETRF 输入高电平, OC1REF=0。

Bit6~Bit4

OC1M[2:0]: 输出比较 1 模式

该 3 位定义了输出参考信号 OC1REF 的动作, 而 OC1REF 决定了 OC1 的值。OC1REF 是高电平有效, 而 OC1 的有效电平取决于 CC1P 位。

000: 冻结。输出比较寄存器 TIM1_CCR1 与计数器 TIM1_CNT 间的比较对 OC1REF 不起作用;

001: 匹配时设置通道 1 的输出为有效电平。当计数器 TIM1_CNT 的值与捕获/比较寄存器 1 (TIM1_CCR1)相同时, 强制 OC1REF 为高。

010: 匹配时设置通道 1 的输出为无效电平。当计数器 TIM1_CNT 的值与捕获/比较寄存器 1 (TIM1_CCR1)相同时, 强制 OC1REF 为低。

011: 翻转。当 TIM1_CCR1=TIM1_CNT 时, 翻转 OC1REF 的电平。

100: 强制为无效电平。强制 OC1REF 为低。(既为强制输出模式)

101: 强制为有效电平。强制 OC1REF 为高。

110: PWM 模式 1— 在向上计数时, 一旦 TIM1_CNT<TIM1_CCR1 时通道 1 为有效电平, 否则为无效电平; 在向下计数时, 一旦 TIM1_CNT>TIM1_CCR1 时通道 1 为无效电平(OC1REF=0), 否则为有效电平(OC1REF=1)。

(注: TIM1_CCR1<(上升)TIM1_CNT(下降)<=TIM1_CCR1, 通道输出有效电平)。

111: PWM 模式 2— 在向上计数时, 一旦 TIM1_CNT<TIM1_CCR1 时通道 1 为无效电平, 否则为有效电平; 在向下计数时, 一旦 TIM1_CNT>TIM1_CCR1 时通道 1 为有效电平, 否则为无效电平。

(注: TIM1_CCR1<=(上升)TIM1_CNT(下降)>TIM1_CCR1, 通道输出有效电平)。

注 1: 一旦 LOCK 级别设为 3(TIM1_BKR 寄存器中的 LOCK 位)并且 CC1S=00(该通道配置成输出)则该位不能被修改。

注 2: 在 PWM 模式 1 或 PWM 模式 2 中, 只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时, OC1REF 电平才改变。(参考 17.5.7PWM 模式)

注 3: 在有互补输出的通道上, 这些位是预装载的。如果 TIM1_CR2 寄存器的 CCPC=1, OCM 位只有在 COM 事件发生时, 才从预装载位取新值。

Bit3

OC1PE: 输出比较 1 预装载使能

0: 禁止 TIM1_CCR1 寄存器的预装载功能, 可随时写入 TIM1_CCR1 寄存器, 并且新写入的数值立即起作用。

1: 开启 TIM1_CCR1 寄存器的预装载功能, 读写操作仅对预装载寄存器操作, TIM1_CCR1 的预装载值在更新事件到来时被加载至当前寄存器中。

注 1: 一旦 LOCK 级别设为 3(TIM1_BKR 寄存器中的 LOCK 位)并且 CC1S=00(该通道配置成输出)则该位不能被修改。

注 2: 为了操作正确, 在 PWM 模式下必须使能预装载功能。但在单脉冲模式下(TIM1_CR1 寄存器的 OPM=1), 它不是必须的。

Bit2

OC1FE: 输出比较 1 快速使能

该位用于加快 CC 输出对触发输入事件的响应。

0: 根据计数器与 CCR1 的值, CC1 正常操作, 即使触发器是打开的。当触发器的输入有一个有效沿时, 激活 CC1 输出的最小延时为 5 个时钟周期。 1: 输入到触发器的有效沿的作用就象发生了一次比较匹配。因此, OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。

OCFE 只在通道被配置成 PWM1 或 PWM2 模式时起作用。

Bit1~Bit0

CC1S[1:0]: 捕获/比较 1 选择

这 2 位定义通道的方向(输入/输出), 及输入脚的选择:

00: CC1 通道被配置为输出;

01: CC1 通道被配置为输入, IC1 映射在 TI1FP1 上;

10: CC1 通道被配置为输入, IC1 映射在 TI2FP1 上;

11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIM1_SMCR 寄存器的 TS 位选择)。

注: CC1S 仅在通道关闭时(TIM1_CCER1 寄存器的 CC1E=0)才是可写的。

输入捕获模式

Bit7~Bit4

IC1F[3:0]: 输入捕获 1 滤波器

这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 只有发生了 N 个事件后输出的跳变才被认为有效。

0000: fSAMPLING=fMASTER, 无滤波器。

1000: 采样频率 fSAMPLING=fMASTER/8, N=6

0001: 采样频率 fSAMPLING=fMASTER, N=2

1001: 采样频率 fSAMPLING=fMASTER/8, N=8

0010: 采样频率 fSAMPLING=fMASTER, N=4

1010: 采样频率 fSAMPLING=fMASTER/16, N=5

0011: 采样频率 fSAMPLING=fMASTER, N=8

1011: 采样频率 fSAMPLING=fMASTER/16, N=6

0100: 采样频率 fSAMPLING=fMASTER/2, N=6

1100: 采样频率 fSAMPLING=fMASTER/16, N=8

0101: 采样频率 fSAMPLING=fMASTER/2, N=8

1101: 采样频率 fSAMPLING=fMASTER/32, N=5

0110: 采样频率 fSAMPLING=fMASTER/4, N=6

1110: 采样频率 fSAMPLING=fMASTER/32, N=6

0111: 采样频率 fSAMPLING=fMASTER/4, N=8

1111: 采样频率 fSAMPLING=fMASTER/32, N=8

注: 即使对于带互补输出的通道, 该位域也是非预装载的, 并且不会考虑 CCPC (TIM1_CR2 寄存器) 的值。

Bit3~Bit2

IC1PSC[1:0]: 输入/捕获 1 预分频器

这 2 位定义了 CC1 输入(IC1)的预分频系数。

一旦 CC1E=0(TIM1_CCER 寄存器中), 则预分频器复位。

00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获;

01: 每 2 个事件触发一次捕获;

10: 每 4 个事件触发一次捕获;

11: 每 8 个事件触发一次捕获。

Bit1~Bit0

CC1S[1:0]: 捕获/比较 1 选择。

这 2 位定义通道的方向(输入/输出), 及输入脚的选择:

00: CC1 通道被配置为输出;

01: CC1 通道被配置为输入, IC1 映射在 TI1FP1 上;

10: CC1 通道被配置为输入, IC1 映射在 TI2FP1 上;

11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIM1_SMCR 寄存器的 TS 位选择)。

注: CC1S 仅在通道关闭时(TIM1_CCER1 寄存器的 CC1E=0)才是可写的。

CCMR2 寄存器 (FF34H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OC2CE	OC2M[2]	OC2M[1]	OC2M[0]	OC2PE	OC2FE	CC2S[1]	CC2S[0]
	IC2F[3]	IC2F[2]	IC2F[1]	IC2F[0]	IC2PSC[1]	IC2PSC[0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

输出比较模式

Bit7

OC2CE: 输出比较 2 清零使能

该位用于使能使用 TIM1_TRIG 引脚上的外部事件来清通道 2 的输出信号(OC2REF),

0: OC2REF 不受 ETRF 输入 (来自 TIM1_TRIG 引脚) 的影响;

1: 一旦检测到 ETRF 输入高电平, OC2REF=0

Bit6~Bit4

OC2M[2:0]: 输出比较 2 模式

Bit3

OC2PE: 输出比较 2 预装载使能

Bit2

OC2FE: 输出比较 2 快速使能

Bit1~Bit0

CC2S[1:0]: 捕获/比较 2 选择。

该位定义通道的方向(输入/输出), 及输入脚的选择:

00: CC2 通道被配置为输出;

01: CC2 通道被配置为输入, IC2 映射在 TI2FP2 上;

10: CC2 通道被配置为输入, IC2 映射在 TI1FP2 上;

11: 预留

注: CC2S 仅在通道关闭时(TIM1_CCER1 寄存器的 CC2E=0, CC2NE=0 且已被更新)才是可写的。

输入模式

- Bit7~Bit4 IC2F[3:0]: 输入捕获 2 滤波器
- Bit3~Bit2 IC2PSC[1:0]: 输入/捕获 2 预分频器
- Bit1~Bit0 CC1S[1:0]: 捕获/比较 2 选择。
 这 2 位定义通道的方向(输入/输出), 及输入脚的选择:
 00: CC2 通道被配置为输出;
 01: CC2 通道被配置为输入, IC2 映射在 TI2FP2 上;
 10: CC2 通道被配置为输入, IC2 映射在 TI1FP2 上;
 11: CC2 通道被配置为输入, IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIM1_SMCR 寄存器的 TS 位选择)。
 注: CC2S 仅在通道关闭时(TIM1_CCER1 寄存器的 CC2E=0, CC2NE=0 且已被更新)才是可写的。

CCMR3 寄存器 (FF35H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OC3CE	OC3M[2]	OC3M[1]	OC3M[0]	OC3PE	OC3FE	CC3S[1]	CC3S[0]
	IC3F[3]	IC3F[2]	IC3F[1]	IC3F[0]	IC3PSC[1]	IC3PSC[0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

输出比较模式

- Bit7 **OC3CE**: 输出比较 3 清零使能
 该位用于使能使用 TIM1_TRIG 引脚上的外部事件来清通道 3 的输出信号(OC3REF),
 0: OC3REF 不受 ETRF 输入 (来自 TIM1_TRIG 引脚) 的影响;
 1: 一旦检测到 ETRF 输入高电平, OC2REF=0
- Bit6~Bit4 **OC3M[2:0]**: 输出比较 3 模式
- Bit3 **OC3PE**: 输出比较 3 预装载使能
- Bit2 **OC3FE**: 输出比较 3 快速使能
- Bit1~Bit0 **CC3S[1:0]**: 捕获/比较 3 选择。
 该位定义通道的方向(输入/输出), 及输入脚的选择:
 00: CC3 通道被配置为输出;
 01: CC3 通道被配置为输入, IC3 映射在 TI3FP3 上;
 10: CC3 通道被配置为输入, IC3 映射在 TI4FP3 上;
 11: 预留
 注: CC3S 仅在通道关闭时(TIM1_CCER2 寄存器的 CC3E=0, CC3NE=0 且已被更新)才是可写的。

输入捕获模式

- Bit7~Bit4 **IC3F[3:0]**: 输入捕获 3 滤波器
- Bit3~Bit2 **IC3PSC[1:0]**: 输入/捕获 3 预分频器
- Bit1~Bit0 **CC3S[1:0]**: 捕获/比较 3 选择。

这 2 位定义通道的方向(输入/输出), 及输入脚的选择:

00: CC3 通道被配置为输出;

01: CC3 通道被配置为输入, IC3 映射在 TI3FP3 上;

10: CC3 通道被配置为输入, IC3 映射在 TI4FP3 上;

11: 预留

注: CC2S 仅在通道关闭时(TIM1_CCER2 寄存器的 CC3E=0, CC3NE=0 且已被更新)才是可写的。

CCMR4 寄存器 (FF36H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	OC4CE	OC4M[2]	OC4M[1]	OC4M[0]	OC4PE	OC4FE	CC4S[1]	CC4S[0]
	IC4F[3]	IC4F[2]	IC4F[1]	IC4F[0]	IC4PSC[1]	IC4PSC[0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:								

输出比较模式

Bit7

OC4CE: 输出比较 4 清零使能

该位用于使能使用 TIM1_TRIG 引脚上的外部事件来清通道 4 的输出信号(OC4REF),

0: OC4REF 不受 ETRF 输入 (来自 TIM1_TRIG 引脚) 的影响;

1: 一旦检测到 ETRF 输入高电平, OC4REF=0

Bit6~Bit4

OC4M[2:0]: 输出比较 4 模式

Bit3

OC4PE: 输出比较 4 预装载使能

Bit2

OC4FE: 输出比较 4 快速使能

Bit1~Bit0

CC4S[1:0]: 捕获/比较 4 选择。

该位定义通道的方向(输入/输出), 及输入脚的选择:

00: CC4 通道被配置为输出;

01: CC4 通道被配置为输入, IC4 映射在 TI3FP4 上;

10: CC4 通道被配置为输入, IC4 映射在 TI4F4 上;

11: 预留

注: CC3S 仅在通道关闭时(TIM1_CCER2 寄存器的 CC4E=0, CC4NE=0 且已被更新)才是可写的。

输入捕获模式

Bit7~Bit4

IC4F[3:0]: 输入捕获 4 滤波器

Bit3~Bit2

IC4PSC[1:0]: 输入/捕获 4 预分频器

Bit1~Bit0

CC4S[1:0]: 捕获/比较 4 选择。

这 2 位定义通道的方向(输入/输出), 及输入脚的选择:

00: CC4 通道被配置为输出;

01: CC4 通道被配置为输入, IC4 映射在 TI3FP4 上;

10: CC4 通道被配置为输入, IC4 映射在 TI4FP4 上;

11: 预留

注: CC2S 仅在通道关闭时(TIM1_CCER2 寄存器的 CC4E=0, CC4NE=0 且已被更新)才是可写的。

CCER1 捕获/比较使能寄存器 1 (FF37H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0
提 示:								

- Bit7** **CC2NP:** 输入捕获/比较 2 互补输出极性。参考 CC1NP 的描述。
- Bit6** **CC2NE:** 输入捕获/比较 2 互补输出使能。参考 CC1NE 的描述。
- Bit5** **CC2P:** 输入捕获/比较 2 输出极性。参考 CC1P 的描述。
- Bit4** CC2E: 输入捕获/比较 2 输出使能。参考 CC1E 的描述。
- Bit3** CC1NP: 输入捕获/比较 1 互补输出极性
 0: OC1N 高电平有效;
 1: OC1N 低电平有效。
 注 1: 一旦 LOCK 级别(TIM1_BKR 寄存器中的 LCCK 位)设为 3 或 2 且 CC1S=00(通道配置为输出) 则该位不能被修改。
 注 2: 对于有互补输出的通道, 该位是预装载的。如果 CCPC=1 (TIM1_CR2 寄存器), 只有在 COM 事件发生时, CC1NP 位才从预装载位中取新值。
- Bit2** CC1NE: 输入捕获/比较 1 互补输出使能
 0: 关闭— OC1N 禁止输出, 因此 OC1N 的输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。
 1: 开启— OC1N 信号输出到对应的输出引脚, 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。
 注: 对于有互补输出的通道, 该位是预装载的。如果 CCPC=1(TIM1_CR2 寄存器), 只有在 COM 事件发生时, CC1NE 位才从预装载位中取新值。
- Bit1** CC1P: 输入捕获/比较 1 输出极性
 CC1 通道配置为输出:
 0: OC1 高电平有效;
 1: OC1 低电平有效。
 CC1 通道配置为触发:
 0: 触发发生在 TI1F 的高电平或上升沿;
 1: 触发发生在 TI1F 的低电平或下降沿。
 CC1 通道配置为输入:
 0: 捕捉发生在 TI1F 的高电平或上升沿;
 1: 捕捉发生在 TI1F 的低电平或下降沿。
 注 1: 一旦 LOCK 级别(TIM1_BKR 寄存器中的 LCCK 位)设为 3 或 2, 则该位不能被修改。
 注 2: 对于有互补输出的通道, 该位是预装载的。如果 CCPC=1 (TIM1_CR2 寄存器), 只有在 COM 事件发生时, CC1P 位才从预装载位中取新值。
- Bit0** CC1E: 输入捕获/比较 1 输出使能
 CC1 通道配置为输出:
 0: 关闭— OC1 禁止输出, 因此 OC1 的输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值。

1: 开启— OC1 信号输出到对应的输出引脚，其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值。

CC1 通道配置为输入：该位决定了计数器的值是否能捕获入 TIM1_CCR1 寄存器。 0: 捕获禁止；

0: 捕获使能。

注：对于有互补输出的通道，该位是预装载的。如果 CCPC=1(TIM1_CR2 寄存器)，只有在 COM 事件发生时，CC1E 位才从预装载位中取新值。

表：带刹车功能的互补输出通道 OC_i 和 OC_{iN} 的控制位

控制位					输出状态	
M OE	OSSI	OSSR	CCiE	CCiNE	OC _i 输出状态	OC _{iN} 输出状态
1	X	0	0	0	输出禁止(与定时器断开)	输出禁止(与定时器断开)
		0	0	1	输出禁止(与定时器断开)	OC _i REF + 极性, OC _{iN} =OC _i REF xor CC _i NP
		0	1	0	OC _i REF + 极性, OC _i =OC _i REF xor CC _i P	输出禁止(与定时器断开)
		0	1	1	OC _i REF + 极性 + 死区	OC _i REF 反相 + 极性 + 死区
		1	0	0	输出禁止(与定时器断开)	输出禁止(与定时器断开)
		1	0	1	关闭状态(输出使能且为无效电平)OC _i =CC _i P	OC _i REF + 极性, OC _{iN} =OC _i REF xor CC _i NP
		1	1	0	OC _i REF + 极性, OC _i =OC _i REF xor CC _i P	关闭状态(输出使能且为无效电平)OC _{iN} =CC _i NP
		1	1	1	OC _i REF + 极性 + 死区	OC _i REF 反相 + 极性 + 死区
0	0	X	X	X	输出禁止（与定时器断开）	
	0					
	0					
	0					
	1				关闭状态(输出使能且为无效电平) 异步地：OC _i =CC _i P， OC _{iN} =CC _i NP； 然后，若时钟存在：经过一个死区时间后 OC _i =OIS _i ， OC _{iN} =OIS _{iN} ， 假设 OIS _i 与 OIS _{iN} 并不都对应 OC _i 和 OC _{iN} 的有效电平	
	1					
	1					
	1					

注：管脚连接到互补的 OC_i 和 OC_{iN} 通道的外部 I/O 管脚的状态，取决于 OC_i 和 OC_{iN} 通道状态和 GPIO 寄存器。

CCER2 捕获/比较使能寄存器 (FF38H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:			CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:								

Bit7~Bit6 保留。

Bit5	CC4P: 输入捕获/比较 4 输出极性。参考 CC1P 的描述。
Bit4	CC4E: 输入捕获/比较 4 输出使能。参考 CC1E 的描述。
Bit3	CC3NP: 输入捕获/比较 3 互补输出极性。参考 CC1NP 的描述。
Bit2	CC1NE: 输入捕获/比较 3 互补输出使能。参考 CC1NE 的描述。
Bit1	CC3P: 输入捕获/比较 3 输出极性。参考 CC1P 的描述。
Bit0	CC3E: 输入捕获/比较 3 输出使能。参考 CC1E 的描述。

CNTRH 计数器高 8 位 (84H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CNT[15]	CNT[14]	CNT[13]	CNT[12]	CNT[11]	CNT[10]	CNT[9]	CNT[8]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	U	0
提示:								

Bit7~Bit0 CNT[15:8]: 计数器的高 8 位值

CNTRH 计数器低 8 位 (85H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CNT[7]	CNT[6]	CNT[5]	CNT[4]	CNT[3]	CNT[2]	CNT[1]	CNT[0]
访问权限:	R/W							
复位值:	0	0	0	0	0	0	U	0
提示:								

Bit7~Bit0 CNT[7:0]: 计数器的低 8 位值

PSCRH 预分频器高 8 位 (FF39H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	PSC[15]	PSC[14]	PSC[13]	PSC[12]	PSC[11]	PSC[10]	PSC[9]	PSC[8]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	U	0
提示:								

Bit7~Bit0 PSC[15:8]: 预分频器的高 8 位值

PSCRL 预分频器低 8 位 (FF3AH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	PSC[7]	PSC[6]	PSC[5]	PSC[4]	PSC[3]	PSC[2]	PSC[1]	PSC[0]
访问权限:	R/W							
复位值:	0	0	0	0	0	0	U	0

提 示:	
------	--

Bit7~Bit0 PSC[7:0]: 预分频器的低 8 位值

ARRH 自动重载寄存器高 8 位 (FF3BH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ARR[15]	ARR[14]	ARR[13]	ARR[12]	ARR[11]	ARR[10]	ARR[9]	ARR[8]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0
提 示:								

Bit7~Bit0 ARR[15:8]: 自动重载寄存器高 8 位值

ARRL 自动重载寄存器低 8 位 (FF3CH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ARR[7]	ARR[6]	ARR[5]	ARR[4]	ARR[3]	ARR[2]	ARR[1]	ARR[0]
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	U	0
提 示:								

Bit7~Bit0 ARR[7:0]: 自动重载寄存器低 8 位值

RCR 重复计数寄存器 (FF3DH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	REP[7]	REP[6]	REP[5]	REP[4]	REP[3]	REP[2]	REP[1]	REP[0]
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	U	0
提 示:								

Bit7~Bit0 REP[7:0]: 重复计数器的值

开启了预装载功能后, 这些位允许用户设置比较寄存器的更新速率(即周期性地从预装载寄存器传输到当前寄存器); 如果允许产生更新中断, 则会同时影响产生更新中断的速率。每次向下计数器 REP_CNT 达到 0, 会产生一个更新事件并且计数器 REP_CNT 重新从 REP 值开始计数。由于 REP_CNT 只有在周期更新事件 U_RC 发生时才重载 REP 值, 因此对 TIM1_RCR 寄存器写入的新值只在下次周期更新事件发生时才起作用。

这意味着在 PWM 模式中, (REP+1)对应着:

- 在边沿对齐模式下, PWM 周期的数目;
- 在中心对称模式下, PWM 半周期的数目;

CCR1H 捕获/比较寄存器高 8 位 (FF3EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCR1[15]	CCR1[14]	CCR1[13]	CCR1[12]	CCR1[11]	CCR1[10]	CCR1[9]	CCR1[8]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	0	0	0	0	0	0	0	0
提示:								

Bit7~Bit0
CCR1[15:8]: 捕获/比较 1 的高 8 位值

若 CC1 通道配置为输出(TIM1_CCMR1 的 CC1S 位):

CCR1 包含了装入当前捕获/比较 1 寄存器的值(预装载值)。

如果在 TIM1_CCMR1 寄存器(OC1PE 位)中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器的值同计数器 TIM1_CNT 的值相比较, 并在 OC1 端口上产生输出信号。

若 CC1 通道配置为输入:

CCR1 包含了上一次输入捕获 1 事件(IC1)发生时的计数器值(此时该寄存器为只读)。

CCR1L 捕获/比较寄存器低 8 位 (FF3FH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CCR1[7]	CCR1[6]	CCR1[5]	CCR1[4]	CCR1[3]	CCR1[2]	CCR1[1]	CCR1[0]
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0
提示:								

Bit7~Bit0

捕获/比较 1 的低 8 位值

CCR2H 捕获/比较寄存器高 8 位 (FF80H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CCR2[15]	CCR2[14]	CCR2[13]	CCR2[12]	CCR2[11]	CCR2[10]	CCR2[9]	CCR2[8]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:								

Bit7~Bit0
CCR2[15:8]: 捕获/比较 2 的高 8 位值

若 CC2 通道配置为输出(TIM1_CCMR2 的 CC2S 位):

CCR2 包含了装入当前捕获/比较 2 寄存器的值(预装载值)。

如果在 TIM1_CCMR2 寄存器(OC2PE 位)中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器的值同计数器 TIM1_CNT 的值相比较, 并在 OC2 端口上产生输出信号。

若 CC2 通道配置为输入:

CCR2 包含了由上一次输入捕获 2 事件(IC2)传输的计数器值(此时该寄存器为只读)。

CCR2L 捕获/比较寄存器低 8 位 (FF81H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CCR2[7]	CCR2[6]	CCR2[5]	CCR2[4]	CCR2[3]	CCR2[2]	CCR2[1]	CCR2[0]
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0
提示:								

Bit7~Bit0 捕获/比较 2 的低 8 位值

CCR3H 捕获/比较寄存器高 8 位 (FF82H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCR3[15]	CCR3[14]	CCR3[13]	CCR3[12]	CCR3[11]	CCR3[10]	CCR3[9]	CCR3[8]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

Bit7~Bit0 CCR3[15:8]: 捕获/比较 3 的高 8 位值
 若 CC3 通道配置为输出(TIM1_CCMR3 的 CC3S 位):
 CCR3 包含了装入当前捕获/比较 3 寄存器的值(预装载值)。
 如果在 TIM1_CCMR3 寄存器(OC3PE 位)中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器的值同计数器 TIM1_CNT 的值相比较, 并在 OC3 端口上产生输出信号。
 若 CC3 通道配置为输入:
 CCR3 包含了由上一次输入捕获 3 事件(IC3)传输的计数器值(此时该寄存器为只读)。

CCR3L 捕获/比较寄存器低 8 位 (FF83H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCR3[7]	CCR3[6]	CCR3[5]	CCR3[4]	CCR3[3]	CCR3[2]	CCR3[1]	CCR3[0]
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

Bit7~Bit0 捕获/比较 3 的低 8 位值

CCR4H 捕获/比较寄存器高 8 位 (FF84H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCR4[15]	CCR4[14]	CCR4[13]	CCR4[12]	CCR4[11]	CCR4[10]	CCR4[9]	CCR4[8]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

Bit7~Bit0 CCR4[15:8]: 捕获/比较 4 的高 8 位值
 若 CC4 通道配置为输出(TIM1_CCMR4 的 CC4S 位):
 CCR4 包含了装入当前捕获/比较 4 寄存器的值(预装载值)。
 如果在 TIM1_CCMR4 寄存器(OC4PE 位)中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器的值同计数器 TIM1_CNT 的值相比较, 并在 OC4 端口上产生输出信号。
 若 CC4 通道配置为输入:
 CCR4 包含了由上一次输入捕获 4 事件(IC4)传输的计数器值(此时该寄存器为只读)。

CCR4L 捕获/比较寄存器低 8 位 (FF85H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CCR4[7]	CCR4[6]	CCR4[5]	CCR4[4]	CCR4[3]	CCR4[2]	CCR4[1]	CCR4[0]
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0
提示:								

Bit7~Bit0 捕获/比较 4 的低 8 位值

BKR 刹车控制寄存器 (FF86H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1]	LOCK[0]
访问权限:	R/W	R/W						
复位值:	0	0	0	0	0	0	0	0
提示:								

- Bit7** **MOE:** 主输出使能(main output enable)
 一旦刹车输入有效, 该位被硬件异步清 0。根据 AOE 位的设置值, 该位可以由软件置 1 或被自动置 1。它仅对配置为输出的通道有效。
0: 禁止 OC 和 OCN 输出或强制为空闲状态 (注: 空闲状态的值由 OISR 寄存器决定);
1: 允许输出, 如果设置了相应的使能位(TIM3_CCERx 寄存器的 CCiE 位), 则使能 OC 和 OCN 输出。
- Bit6** **AOE:** 自动输出使能
0: MOE 只能被软件置 1;
1: MOE 能被软件置 1 或在下一个更新事件被自动置 1(如果刹车输入无效)。
 注: 一旦 LOCK 级别(TIM3_BKR 寄存器中的 LOCK 位)设为 1, 则该位不能被修改。
- Bit5** **BKP:** 刹车输入极性
0: 刹车输入低电平有效;
1: 刹车输入高电平有效。
 注: 一旦 LOCK 级别(TIM3_BKR 寄存器中的 LOCK 位)设为 1, 则该位不能被修改。
- Bit4** **BKE:** 刹车功能使能
0: 禁止刹车输入(BRK);
1: 开启刹车输入(BRK)。
 注: 一旦 LOCK 级别(TIM3_BKR 寄存器中的 LOCK 位)设为 1, 则该位不能被修改。
- Bit3** **OSSR:** 运行模式下的“关闭状态”选择(Off State Selection for Run mode)
 该位用于当 MOE=1 且通道为互补输出时。
0: 当定时器不工作时, 禁止 OC/OCN 输出(OC/OCN 使能输出信号=0);
1: 当定时器不工作时, 一旦 CCiE=1 或 CCiNE=1, 首先开启 OC/OCN 并输出无效电平, 然后置 OC/OCN 使能输出信号=1。
 注: 一旦 LOCK 级别(TIM3_BKR 寄存器中的 LOCK 位)设为 2, 则该位不能被修改。注: 这里说的定时器不工作, 是指定时器的某个输出通道没有使能输出, 比如: 如果 TIM 的通道 1 的 CC1E=1, 而 CC1NE=0, 此时就是手册上所讲的“不工作”; 不工作不是 CR1 寄存器的 CEN=0, 计数器停止工作。
- Bit2** **OSSI:** 空闲模式下的“关闭状态”选择(Off State Selection for Idle mode)
 该位用于当 MOE=0 且通道设为输出时。

- 0: 当定时器不工作时, 禁止 OC/OCN 输出(OC/OCN 使能输出信号=0);
- 1: 当定时器不工作时, 一旦 CCI_E=1 或 CCI_{NE}=1, OC/OCN 首先输出其空闲电平, 然后 OC/OCN 使能输出信号=1。
- 注: 一旦 LOCK 级别(TIM3_BKR 寄存器中的 LOCK 位)设为 2, 则该位不能被修改。

Bit1~Bit0
LOOK[1:0]: 锁定设置

该位为防止软件错误而提供写保护。

00: 锁定关闭, 寄存器无写保护;
01: 锁定级别 1, 不能写入 TIM3_BKR 寄存器的 BKE、BKP、AOE 位和 TIM3_OISR 寄存器的 OISI 位;
10: 锁定级别 2, 不能写入锁定级别 1 中的各位, 也不能写入 CC 极性位(一旦相关通道通过 CCIS 位设为输出, CC 极性位是 TIM3_CCERX 寄存器的 CCIP 位)以及 OSSR/OSSI 位;
11: 锁定级别 3, 不能写入锁定级别 2 中的各位, 也不能写入 CC 控制位(一旦相关通道通过 CCIS 位设为输出, CC 控制位是 TIM3_CCMRx 寄存器的 OCIM/OCIPE 位); 注: 在系统复位后, 只能写一次 LOCK 位, 一旦写入 TIM3_BDR 寄存器, 则其内容保持不变直至复位。

死区寄存器 (FF87H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1]	LOCK[0]
访问权限:	R/W	R/W						
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

Bit7~Bit0
DTG[7:0]: 死区发生器设置

这些位定义了插入互补输出之间的死区持续时间。假设 DT 表示其持续时间, tCK_PSC 为 TIM1 的时钟脉冲:

DTG[7:5]=0xx => DT=DTG[7:0]x tdtg, 其中: tdtg=tCK_PSC.(f1)

DTG[7:5]=10x => DT=(64+DTG[5:0])x tdtg, 其中: tdtg= tCK_PSC.(f2)

DTG[7:5]=110 => DT=(32+DTG[4:0])x tdtg, 其中: tdtg=8x tCK_PSC.(f3)

DTG[7:5]=111 => DT=(32+DTG[4:0])x tdtg, 其中: tdtg=16x tCK_PSC.(f4)

举例:

如果 tCK_PSC =125 ns (8 MHz), 可能的死区时间为:

DTG[7:0] = 0 到 7Fh, 0 到 15875 ns, 步长时间为 125 ns (参考 f1),

DTG[7:0] = 80h 到 BFh, 16 μs 到 31750 ns, 步长时间为 250 ns (参考 f2),

DTG[7:0] = C0h 到 DFh, 32 μs 到 63 μs, 步长时间为 1 μs (参考 f3),

DTG[7:0] = E0h 到 FFh, 64 μs 到 126 μs, 步长时间为 2 μs (参考 f4),

注: 一旦 LOCK 级别(TIM3_BKR 寄存器中的 LOCK 位)设为 1、2 或 3, 则不能修改这些位。

OISR 输出空闲状态寄存器 (FF88H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OIS4N	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

- Bit7 OIS4N: 输出空闲状态 4(OC4N 输出)。参见 OIS1N 位。
- Bit6 OIS4 : 输出空闲状态 4(OC4 输出)。参见 OIS1 位。
- Bit5 OIS3N: 输出空闲状态 3(OC3N 输出)。参见 OIS1N 位。
- Bit4 OIS3 : 输出空闲状态 3(OC3 输出)。参见 OIS1 位。
- Bit3 OIS2N: 输出空闲状态 2(OC2N 输出)。参见 OIS1N 位。
- Bit2 OIS2 : 输出空闲状态 2(OC2 输出)。参见 OIS1 位。
- Bit1 OIS1N: 输出空闲状态 1(OC1N 输出)。
 0: 当 MOE=0 时, 则在一个死区时间后, OC1N=0;
 1: 当 MOE=0 时, 则在一个死区时间后, OC1N=1。
 注: 已经设置了 LOCK(TIM1_BKR 寄存器)级别 1、2 或 3 后, 该位不能被修改。
- Bit0 OIS1: 输出空闲状态 1(OC1 输出)。
 0: 当 MOE=0 时, 如果 OC1N 使能, 则在一个死区后, OC1=0;
 1: 当 MOE=0 时, 如果 OC1N 使能, 则在一个死区后, OC1=1。注: 已经设置了 LOCK(TIM1_BKR 寄存器)级别 1、2 或 3 后, 该位不能被修改。

DLAMT (Trigger Delay and Anti-Multi trigger controll register) 触发延迟和防多次触发控制寄存器 (FF8CH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	-	-	-	-	-	DLS	AMTDL
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	1
提示:								

- Bit7~2 保留
- Bit1 DLS: 触发延迟期间是否允许清除 OCxREF (OCxREF clear enable during the trigger delay period)
 0: 不允许;
 1: 允许。
 注: 已经设置了 LOCK(TIM1_BKR 寄存器)级别 1、2 或 3 后, 该位不能被修改。
- Bit0 AMTDL: 抗丢失窗口开始时间选择 (Anti-miss trigger window start time selection)
 0: 从延迟触发输入开始;
 1: 从触发输入开始。
 注: 已经设置了 LOCK(TIM1_BKR 寄存器)级别 1、2 或 3 后, 该位不能被修改。

ATMG 防多次触发窗口设置寄存器 (Anti-Multi trigger window generator setup) (FF8DH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ATMG[7]	ATMG[6]	ATMG[5]	ATMG[4]	ATMG[3]	ATMG[2]	ATMG[1]	ATMG[0]
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0
提示:								

Bit7:0 定义了抗丢失触发窗口的时间 **AMT**

$AMTG[7:5]=0xx \Rightarrow AMT=AMTG[7:0] \times t_{amtg}$ with $t_{amtg} = t_{DTS}$.
 $AMTG[7:5]=10x \Rightarrow AMT=(64+AMTG[5:0]) \times t_{amtg}$ with $t_{amtg} = 2 \times t_{DTS}$.
 $AMTG[7:5]=110 \Rightarrow AMT=(32+AMTG[4:0]) \times t_{amtg}$ with $t_{amtg} = 8 \times t_{DTS}$.
 $AMTG[7:5]=111 \Rightarrow AMT=(32+AMTG[4:0]) \times t_{amtg}$ with $t_{amtg} = 16 \times t_{DTS}$.

Example if $t_{DTS} = 125$ ns (8 MHz), anti-miss trigger window possible values are:

- 0 to 15875 ns by 125 ns steps,
- 16 us to 31750 ns by 250 ns steps,
- 32 us to 63 us by 1 us steps,
- 64 us to 126 us by 2 us steps

注：已经设置了 LOCK(TIM1_BKR 寄存器)级别 1、2 或 3 后，该位不能被修改。

DTWG 延迟触发窗口设置寄存器 (Delay trigger window generator setup) (FF8EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ATMG[7]	ATMG[6]	ATMG[5]	ATMG[4]	ATMG[3]	ATMG[2]	ATMG[1]	ATMG[0]
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

Bit7:0 定义了延迟触发窗口的时间 **DLT**

$DLG[7:5]=0xx \Rightarrow DLT=DLG[7:0] \times t_{dlg}$ with $t_{dlg} = t_{DTS}$.
 $DLG[7:5]=10x \Rightarrow DLT=(64+DLG[5:0]) \times t_{dlg}$ with $t_{dlg} = 2 \times t_{DTS}$.
 $DLG[7:5]=110 \Rightarrow DLT=(32+DLG[4:0]) \times t_{dlg}$ with $t_{dlg} = 8 \times t_{DTS}$.
 $DLG[7:5]=111 \Rightarrow DLT=(32+DLG[4:0]) \times t_{dlg}$ with $t_{dlg} = 16 \times t_{DTS}$.

Example if $t_{DTS} = 125$ ns (8 MHz), delay trigger window possible values are:

- 0 to 15875 ns by 125 ns steps,
- 16 us to 31750 ns by 250 ns steps,
- 32 us to 63 us by 1 us steps,
- 64 us to 126 us by 2 us steps

注：已经设置了 LOCK(TIM1_BKR 寄存器)级别 1、2 或 3 后，该位不能被修改。

TIRMP (FFCEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TI4RMP		TI3RMP		TI2RMP		TI1RMP	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

Bit7:6 TI4RMP[1:0]

00: TI4 从 P0.4 输入
 01: TI4 从 P0.5 输入
 10: TI4 从 P1.1 输入

- 11: TI4 从 P1.4 输入
- Bit5:4 TI3RMP[1:0]
 00: TI3 从 P0.3 输入
 01: TI3 从 P1.2 输入
 10: TI3 从 P1.3 输入
 11: TI3 从 P1.5 输入
- Bit3:2 TI2RMP[1:0]
 00: TI2 从 P0.1 输入
 01: TI2 从 P2.4 输入
 1x: TI2 从 ACMP1 输入
- Bit1:0 TI1RMP[1:0]
 00: TI1 从 P0.0 输入
 01: TI1 从 P2.3 输入
 1x: TI1 从 ACMP0 输入

OCRMP (FFCFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OC4RMP		OC3RMP		OC2RMP		OC1RMP	
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:								

- Bit6 OC4nRMP
 0: 通道 4 互补(OC4n)从 P0.7 输出
- Bit5:4 OC4RMP[1:0]
 00: 通道 4(OC4)从 P0.4 输出
 01: 通道 4(OC4)从 P0.5 输出
 10: 通道 4(OC4)从 P1.1 输出
 11: 通道 4(OC4)从 P1.4 输出
- Bit3:2 OC3RMP[1:0]
 00: 通道 3(OC3)从 P0.3 输出
 01: 通道 3(OC3)从 P1.2 输出
 10: 通道 3(OC3)从 P1.3 输出
 11: 通道 3(OC3)从 P1.5 输出
- Bit 1 OC2RMP[1:0]
 00: 通道 2(OC2)从 P0.1 输出
 01: 通道 2(OC2)从 P2.4 输出
- Bit 0 OC1RMP[1:0]
 0: 通道 1(OC1)从 P0.0 输出
 1: 通道 1(OC1)从 P2.3 输出

15. 钟表定时器 WT

钟表定时器主要用于产生实时中断，同时还作为蜂鸣器输出。

15.1 基本特征

WT 模块具有以下特征：

- ◇ WT 时钟源 3 种可选：CRY, RCH, RCL。
- ◇ 8 位定时器时钟源有 4 个：4096Hz, 64Hz, 1Hz, 1/60Hz。
- ◇ 可产生 8 位定时器溢出中断。
- ◇ 可输出 0.5S 中断。
- ◇ 可输出四种 BUZ 信号频率：8192Hz、4096Hz、2048Hz、1024Hz，并可输出对应的反向 nBUZ 信号。
- ◇ 可输出 1024Hz 信号做 Timer2 捕获源使用。

15.2 工作模式

正常工作模式下和待机模式下 WT 均可正常工作，产生中断。

停机模式下，由于 WT 时钟源可选择 RCL 或 CRY（配置为低频），仍可以工作并产生中断。

15.3 功能框图

WT 功能框图如下：

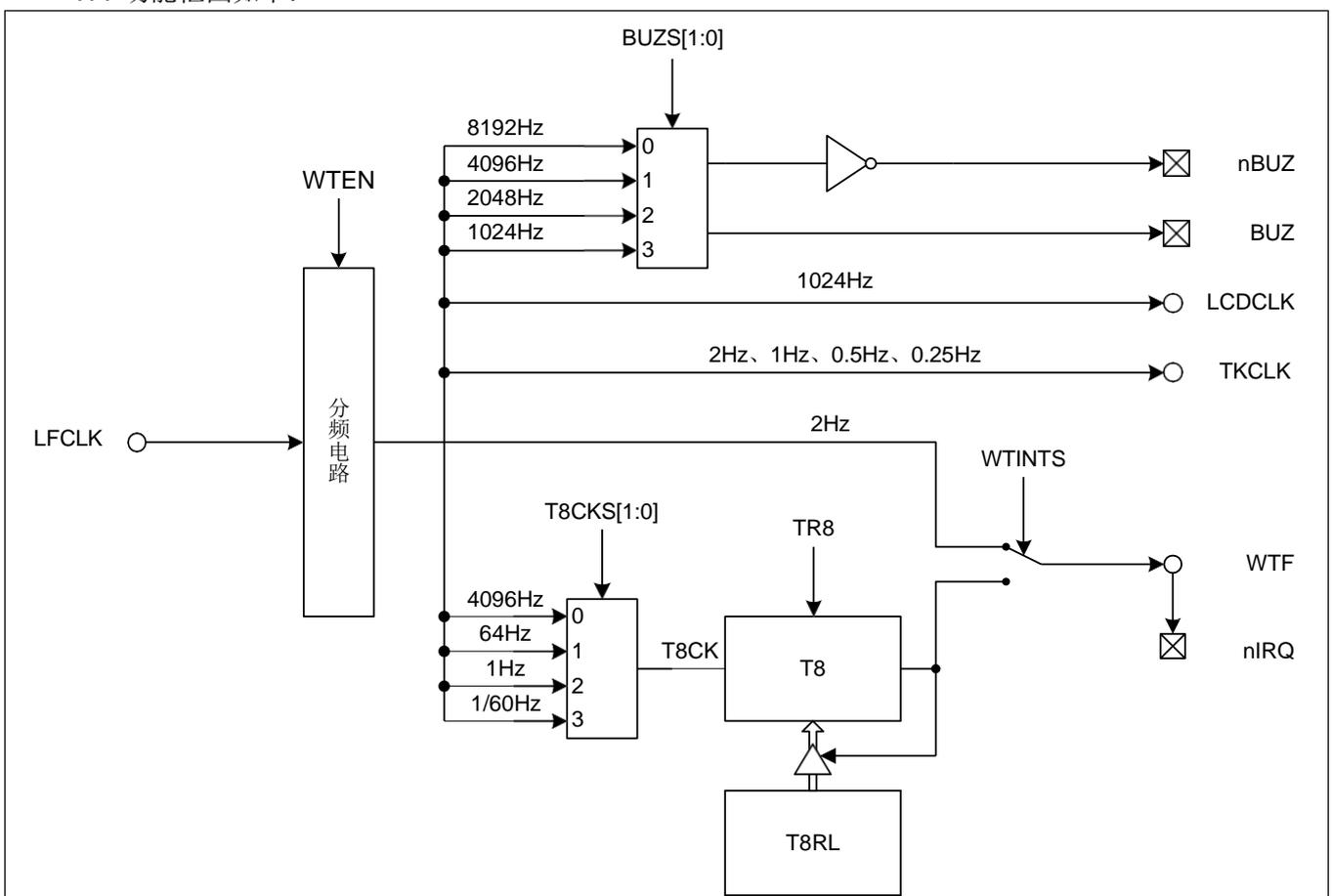


图 39 WT 功能框图

注 1：上图中的频率值是根据 LFCLK 是 32KHz 得到的。如果 LFCLK 变化，后续频率值也会相应变化。在使用 WT 时，建议选择外接低频晶振（32.768KHz）或者 RCL 作为时钟源。

15.4 管脚配置

WT 有 3 个信号与外部管脚复用，具体配置见下表：

表 36 WT 配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
nBUZ	O	BUZ 反相输出	P0.6	nBUZEN (IOMUX2[0]) 置 1
BUZ	O	BUZ 正相输出	P0.5	BUZEN (IOMUX2[1]) 置 1
nIRQ	O	中断输出	P0.7	nIRQEN (IOMUX0[2]) 置 1

15.5 寄存器说明

WT 的相关寄存器如表 37 所示。

表 37 WT 相关寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
WTCON	WT 控制寄存器	×	R/W	0000_0000B	BFH
T8(T8RL)	8 位下行定时器(T8 初值寄存器)	×	R/W	0000_0000B	FF9BH
IOMUX0	IO 复用控制寄存器 0	×	R/W	u000-0000B	FFE0H
IOMUX1	IO 复用控制寄存器 1	×	R/W	0000-0000B	FFE1H

WT 相关寄存器的详细说明如下：

WT 控制寄存器 WTCON (BFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WTEN	WTF	BUZS[1]	BUZS[0]	TR8	T8CKS[1]	T8CKS[0]	WTINTS
访问权限:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0 ^c	0 ^c	0 ^c	0 ^c	0 ^c	0 ^c	0 ^c	0 ^c
提示:	该寄存器只能被 POR 复位，其它复位条件下保持不变，程序启动后，需要用户重新初始化。							

- Bit7** WTEN: WT 使能位。
 0: WT 定时器关闭 (默认)。
 1: WT 定时器开启。
- Bit6** WTF: WT 中断标志位。
 0: 无中断产生 (默认)。
 1: 产生中断。
- Bit5~Bit4** BUZS[1:0]: BUZ 输出频率选择位。
 00: 1024Hz (默认)。
 01: 2048Hz。
 10: 4096Hz。
 11: 8192Hz。
- Bit3** TR8: T8 使能位。
 0: T8 关闭 (默认)。
 1: T8 开启。
- Bit2~Bit1** T8CKS[1:0]: T8 时钟源选择位。
 00: 4096Hz。

01: 64Hz。

10: 1Hz。

11: 1/60Hz。

Bit0 WTINTS: WT 中断源选择位。

0: 2Hz 中断。

1: T8 递减溢出中断。

T8 下行定时器 (T8 初值寄存器) T8 (T8RL) (FF9BH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T8[7:0] (T8RL[7:0])							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	该寄存器只能被 POR 复位, 其它复位条件下保持不变, 程序启动后, 需要用户重新初始化。							

T8 和 T8RL 两个寄存器地址共用, 写操作时选择 T8RL 寄存器, 读操作时选择 T8 寄存器, T8 为 8 位 下行计数器计数值; T8RL 为 T8 初值寄存器。当 T8 计数器从 FFH 递减到 T8RL 的值时产生比较匹配中断, 计数器重新置 FFH 并开始下一计数周期。假设 T8RL 设置为 N, 那么定时时间间隔 = $(256-N) / T8CLK$ (由 T8CKS 选择位决定)。WT 数据寄存器, 存放写入 FIFO 的 16 位数据低 8 位。

管脚复用控制寄存器 管脚复用控制寄存器 IOMUX0 (FFE0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit2 nIRQEN: WT 中断输出引脚控制信号

0: P0.7 做 GPIO 使用(默认)。

1: P0.7 用做 WT nIRQ 中断输出

管脚复用控制寄存器 IOMUX2 (FFE2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T1OE	T0OE	—	—	I2CRMP[1:0]		BUZEN	nBUZEN
访问权限:	R/W	R/W	R-0	R/W			R/W	R/W
复 位 值:	0	0	U	U			0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit1 BUZEN: BUZ 复用使能位。

0: P0.5 用作 GPIO (默认)。

1: P0.5 用作 BUZ 输出。

Bit0 nBUZEN: nBUZ 复用使能位。

0: P0.6 用作 GPIO (默认)。

1: P0.6 用作 nBUZ 输出。

15.6 功能描述

钟表定时器（WT）模块主要用于产生实时中断并提供给其他模块时基。该模块主要包括前级分频电路和一个 8 位定时器 T8。前级分频电路产生 8 位定时器的时钟源并可直接产生 0.5 秒中断，同时提供蜂鸣器的时钟。需要使用蜂鸣器功能时必须开启 WT 模块。T8 定时器在上电复位有效的时候载入初值 FFH，然后由 T8CK 的边沿触发 T8 递减计数，当计数值与 T8RL 的值匹配时，产生中断。最大可产生 256 分钟的定时。由于 WT 的时钟源为 LFCLK，因此待机模式或停机模式都能利用 WT 模块实现定时或唤醒功能。

16. 键盘中断 KBI

键盘中断可以用来配置唤醒 SLEEP 和 STOP 模式，也可以用来产生按键。QF08L18 的 P0/P1/P2 都可复用作键盘中断。

16.1 基本特征

- ◇ 最大支持 21 个独立使能的外部键盘输入，与 P0/P1/P2 口复用。
- ◇ 内置 200ns 去抖动处理。
- ◇ 21 个键盘输入共用一个中断标志以及一个中断矢量地址。
- ◇ 键盘中断可以唤醒 SLEEP 模式，有效的按键信号可以将 MCU 从 STOP 模式唤醒。
- ◇ 键盘输入信号极性可配置，可有效防止卡键使 MCU 不能进入 STOP 模式的问题。

16.2 工作模式

工作模式下，键盘扫描正常工作，可以产生键盘中断。待机模式下，有效的键盘中断唤醒系统。停机模式下，有效的键盘输入信号唤醒系统。

16.3 内部框图

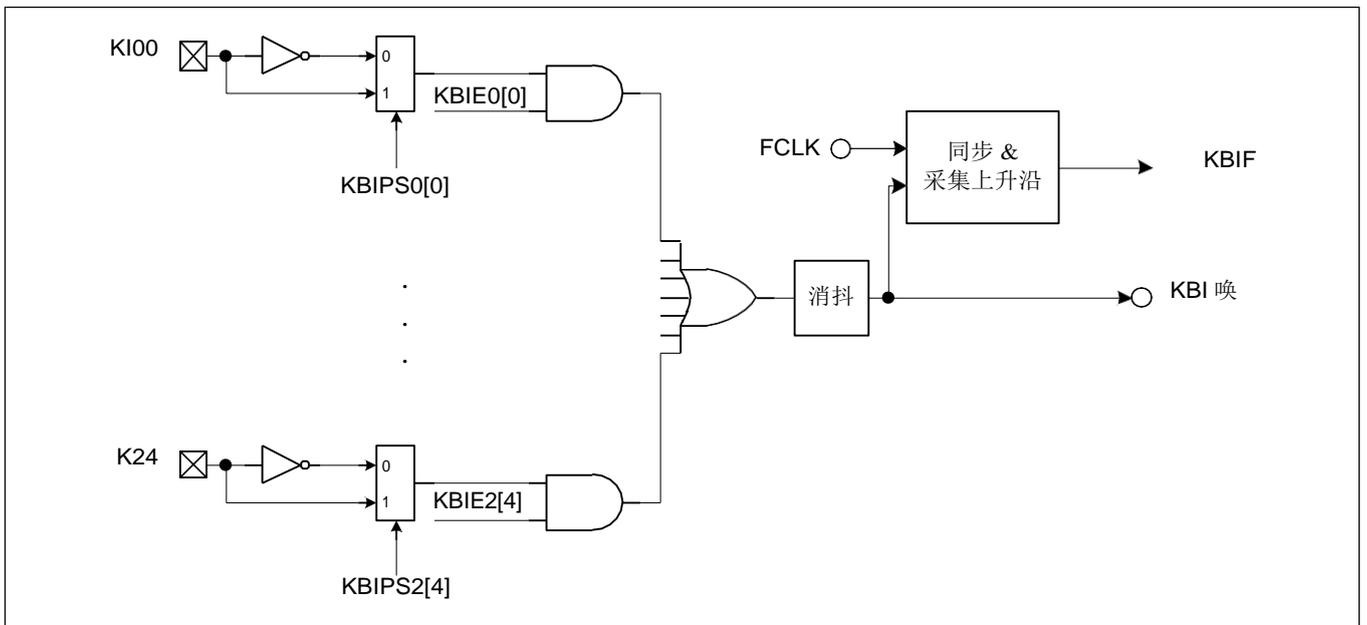


图 40 KBI 结构框图

16.4 管脚配置

KBI 输入需要与外部管脚复用，具体配置见下表：

表 38 KBI 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
KI00~KI07	I	P0 键盘中断输入	P0.0~P0.7	KIn (KBICON0.n) 置 1。(n=0~7)
KI10~KI17	I	P1 口键盘中断输入	P1.0~P1.7	KIn (KBICON1.n) 置 1。(n=0~7)
KI20~KI24	I	P2 口键盘中断输入	P2.0~P2.4	KIn (KBICON2.n) 置 1。(n=0~4)

16.5 寄存器说明

键盘中断的相关寄存器如表 39 所示。

表 39 键盘中断寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
KBICON0	P0 键盘中断使能寄存器	×	R/W	0000_0000B	FFDAH
KBICON1	P1 键盘中断使能寄存器	×	R/W	uuuu_uu00B	FFDCH
KBICON2	P2 键盘中断使能寄存器	×	R/W	u000_0000B	FFDEH
KBIPS0	P0 键盘中断极性选择寄存器	×	R/W	0000_0000B	FFDBH
KBIPS1	P1 键盘中断极性选择寄存器	×	R/W	uuuu_uu00B	FFDDH
KBIPS2	P2 键盘中断极性选择寄存器	×	R/W	u000_0000B	FFDFH
KBIFLG	键盘中断控制寄存器	×	R/W	uuuu_uuu0B	9EH

键盘中断寄存器的详细说明如下：

P0 键盘中断控制寄存器 KBICON0 (FFDAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	KBIE0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit7~Bit0 KBIE0[7:0]: KI07~KI00 键盘输入中断使能位。

0: 禁止键盘输入中断 (默认)。

1: 使能键盘输入中断。

P1 键盘中断控制寄存器 KBICON1 (FFDCH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	KBIE1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit1~Bit0 KBIE1[7:0]: KI17~KI10 键盘输入中断使能位。

0: 禁止键盘输入中断 (默认)。

1: 使能键盘输入中断。

P2 键盘中断控制寄存器 KBICON2 (FFDEH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	KBIE2[4:0]				
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	U	0	0	0	0	0

Bit6~Bit0 KBIE2[4:0]: KI24~KI20 键盘输入中断使能位。

0: 禁止键盘输入中断 (默认)。

1: 使能键盘输入中断。

P0 键盘中断极性选择寄存器 KBIPS0 (FFDBH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	KBIPS0[7:0]							

访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

Bit7~Bit1 KBIPS0[7:0]: KI07~KI00 中断极性选择位。
 0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)。
 1: 上升沿触发 KBI 中断, 高电平唤醒 STOP。

P1 键盘中断极性选择寄存器 KBIPS1 (FFDDH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	KBIPS1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit1~Bit0 KBIPS1[7:0]: KI17~KI10 中断极性选择位。
 0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)。
 1: 上升沿触发 KBI 中断, 高电平唤醒 STOP。

P2 键盘中断极性选择寄存器 KBIPS2 (FFDFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	KBIPS2[4:0]				
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	U	0	0	0	0	0

Bit6~Bit0 KBIPS2[4:0]: KI24~KI20 中断极性选择位。
 0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)。
 1: 上升沿触发 KBI 中断, 高电平唤醒 STOP。

键盘中断标志寄存器 KBIFLG (9EH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	—	KBIF ^①
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复位值:	U	U	U	U	U	U	U	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit1 未实现位。
Bit0 KBIF: 键盘中断标志位。
 0: 没有发生 KBI 中断。
 1: 发生 KBI 中断。

注 1:	该标志位需要读 1 后写 0 清标志位。
------	----------------------

16.6 功能描述

通过设置 KBI 中断使能寄存器和中断极性选择寄存器, 选择相应的 KBI 输入信号以及有效的边沿和电平。

待机模式下, 有效的 KBI 边沿, 可置位 KBIF, 如果 KBI 中断使能位 EKB(EIE2.6)置 1, 则产生 KBI 中断从而唤醒待机模式, 唤醒后 PC 跳转到 KBI 中断入口执行 KBI 中断程序。中断响应过程参见第 9 章描述。如果 KBI 中断使能位 EKB(EIE2.6)为 0, 则无法产生 KBI 中断而唤醒待机模式, 也无法执行 KBI 中断程序。

待机模式下, 有效的 KBI 电平, 可以直接唤醒待机模式, 而无需 KBI 中断使能 EKB 置 1。唤醒后, RCH 需要等计数满 256 个周期后才输出时钟, 所以唤醒到 CPU 开始运行需要等 RCH 重新启动以及延迟一段时

间。

如果进入停机模式前 **EKB** 置 1，唤醒电路后即可直接进入 **KBI** 中断服务程序。由于上面提到的延迟时间，所以按键输入信号宽度超过 256 个 **RCH** 周期才能保证采集到有效按键。

16.7 使用提示

键盘中断的标志 **KBIF** 信号为双缓冲设计，因此对于连续的中断信号，如果系统来不及处理，系统会记忆两次中断，其余的中断都将丢掉。而需要清楚中断标志时，需要清除两次才能确保完全清除。一般在打开中断使能之前需要清除两次，确保无效的中断标志被清除掉。进入中断后可以视应用要求清除一次还是两次。

17. 看门狗定时器 WDT

看门狗定时器（WDT）主要用于程序监控，在计数溢出后产生复位信号，使电路复位，避免进入死机等错误执行状态。

17.1 基本特征

QF08L18 的 WDT 具备以下特征：

- ✧ WDT 采用 16 位计数器（由 7 位预分频器和 9 位计数器组成）实现。
- ✧ WDT 溢出时间间隔可步进调节。典型条件下，WDT 溢出时间范围为 5.6ms~2867.2ms。
- ✧ STOP 模式下可配置唤醒电路。

17.2 工作模式

上电后，WDT 默认关闭，清 WDT 动作完成后将打开 WDT，工作模式下，WDT 一旦打开就无法再关闭。

待机模式下，WDT 不工作。

停机模式下，WDT 默认不工作。通过配置系统配置寄存器 SYSCFG 中的 RCLCFG（置 0）和 WDTCFG（置 1），在停机模式下仍可工作，产生 WDTIRQ 中断可唤醒电路。

17.3 内部框图

WDT 内部结构如下：

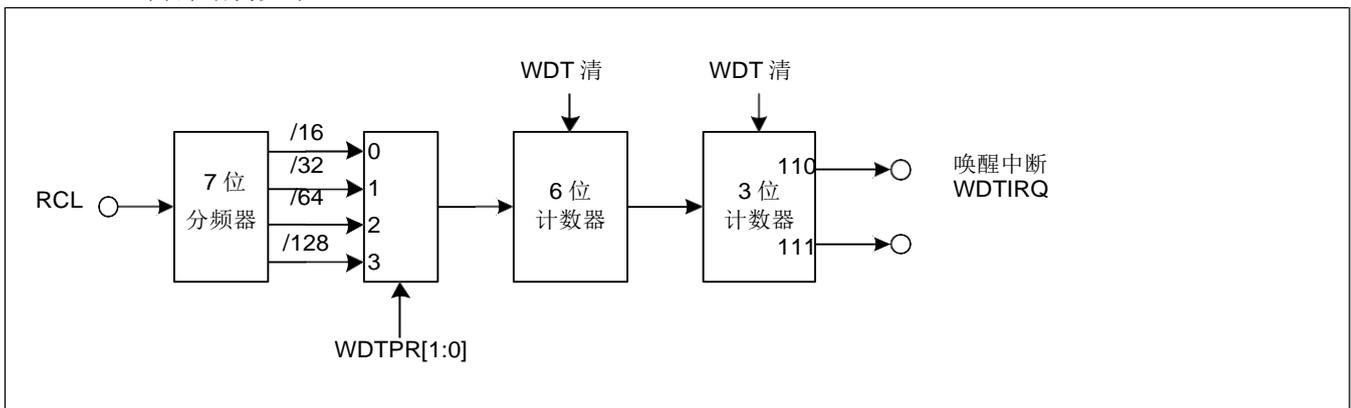


图 41 WDT 功能框图

17.4 寄存器说明

WDT 的相关寄存器如表 40 所示。

表 40 WDT 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
WDTCON	WDT 控制寄存器	×	R/W	1111_1111B	DDH
WDTCLR0	WDT 清零寄存器 0	×	W	uuuu_uuuuB	DEH
WDTCLR1	WDT 清零寄存器 1	×	W	uuuu_uuuuB	DFH
SYSCFG	系统配置寄存器	×	R/W	1000_1111B	FFA2H

WDT 的寄存器详细说明如下：

WDT 控制寄存器 WDTCON（DDH）

名称/地址:	WDTCN/DDH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTRL [5:0]						WDTPR[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	R-1: 只读, 读出值为 1; R/W: 可读写;							

Bit7~Bit2 WDTRL[5:0]: 6 位自动装载初值的向下计数器的初始值设置位。默认为 1FH。

Bit2~Bit0 WDTPR[1:0]: WDT 时钟预分频选择位。

00: RCL/16。

01: RCL/32。

10: RCL/64。

11: RCL/128 (默认)。

WDT 清零寄存器 1 WDTCLR1 (DFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTCLR1[7:0]							
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	U	U	U	U	U	U	U	U

WDT 清零寄存器 0 WDTCLR0 (DEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTCLR0[7:0]							
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	U	U	U	U	U	U	U	U

WDTCLR0、WDTCLR1 为 WDT 清零寄存器。打开 WDT 功能需向 WDTCLR0 写 53H, 向 WDTCLR1 写 ACH。

系统配置寄存器 SYSCFG^{注1} (FFA2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	RSTCFG	BYPASS	CRYCFG	WDTCFG	CRY_CG[1:0]		RCLCFG	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	0	0	0	1	1	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit4 WDTCFG: 停机模式下 OscWdt 时钟控制位。

0: 停机状态下时钟关闭 (默认)。

1: 停机状态下时钟开启。

Bit0 RCLCFG: 停机、睡眠模式下 RCL 时钟控制位。

0: 停机/睡眠状态下 RCL 时钟开启。

1: 停机/睡眠状态下 RCL 时钟关闭 (默认)。

注 1:	该寄存器除 bit4 (WDTCFG), Bit3~Bit1 外, 其它位在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。
------	--

17.5 功能描述

WDT 采用 16 位计数器 (由 7 位预分频器、6 位可自动装载预置初值的向下计数器和 3 位计数器组成) 实现, 由 RCL 提供。

WDT 缺省是关闭的，一旦执行了清 WDT 操作，WDT 即刻开始工作，而且不能再被关闭。WDT 计数到总溢出时间的 $\frac{6}{7}$ 时产生中断 WDTIRQ 唤醒系统，计数溢出后产生复位信号 WDTR 复位电路，同时置位复位标志位 WDTF。清零 WDT 时，清零 WDTF。

在 SLEEP 模式时，RCL 关闭，WDT 不工作。在 STOP 模式时，RCL 默认关闭，WDT 默认也不工作。只有当设置 RCLCFG=0、WDTCFG=1 时才允许 WDT 工作。

WDT 溢出时间=16*T_{RCL}*2^{WDTPR[1:0]}* (WDTRL[5:0]+1)*7。范围约在 112~57344 个 RCL 时钟周期。RCL 的频率按典型值 20KHz 计算，则 WDT 溢出时间范围如下表：

表 41 WDT 溢出时间范围列表

WDTPR[1:0]	WDTRLCLK	WDTRL[5:0]=000000	WDTRL[5:0]=111111	溢出时间步进
00	RCL/16	5.6ms	179.2ms	5.6ms
01	RCL/32	11.2ms	716.8ms	11.2ms
10	RCL/64	22.4ms	1433.6ms	22.4ms
11	RCL/128	44.8ms	2867.2ms	44.8ms

17.6 使用提示

清 WDT 步骤如下：

- 1) 写 53H-> WDT_CLR0
- 2) 写 ACH-> WDT_CLR1
- 3) 写 00H-> WDT_CLR0
- 4) 写 00H-> WDT_CLR1。

系统复位后默认 WDT 关闭。按照上述流程执行后启动 WDT 计数，此后 WDT 将一直工作，软件无法关闭。整个软件循环中必须在 WDT 溢出时间到来之前重新清一次 WDT 计数器（步骤同启动过程），否则将引起 WDT 复位。

示例代码：P1 端口在 0x55 和 0xaa 重复翻转

```
void WdtClr()
{
    WDTCLR0 = 0x53;
    WDTCLR1 = 0xAC;
    WDTCLR0 = 0x00;
    WDTCLR1 = 0x00;
}

void io_init()
{
    P1MDL = 0xaa;
    P1MDH = 0xaa;
}

void ISR_WDT(void) interrupt 17 using 1
{
    P1 = ~P1;
    WdtClr();
}
```

```
}  
  
int main()  
{  
    io_init();  
    EA = 1;  
    EIE2 |= 1<<3;  
    WDTCON = 0x0C;    // WDT 分频控制, 时钟选择 RCL/2, 初中部设定为 0x3F  
    P1 = 0x55;  
    WdtClr();    // 启动 WDT  
    while(1);  
}
```

18. 窗式看门狗 WWDG

窗口看门狗用于监测由于外部干扰或不可预知的逻辑条件所产生的软件错误，这样的软件错误通常会导导致应用程序不按照预期的方式运行。除非程序在递减计数器的 T6 位变为 0 之前刷新递减计数器，看门狗电路将在一个预置的时间间隔后产生系统复位；如果在 7 位的递减计数器数值达到窗口寄存器数值之前刷新递减计数器，同样会产生系统复位。这就意味着只能在一个有限的时间窗口内允许刷新递减计数器。默认情况下,WWDG 的时钟被关闭，使用前请将 PCGC1 中 WWDTGC 设置为 1 打开时钟，若要减小功耗，请在不使用时将 PPCG1 中 WWDTGC 设置为 0。

18.1 基本特征

- ◇ 可编程的自由运行递减计数器
- ◇ 有条件的复位
 - 如果开启了看门狗，当递减计数器的数值小于 0x40 时产生复位
 - 如果开启了看门狗，当在指定的时间窗口之外重加载递减计数器的数值时产生复位
- ◇ 支持进入 STOP 模式复位；

18.2 内部框图

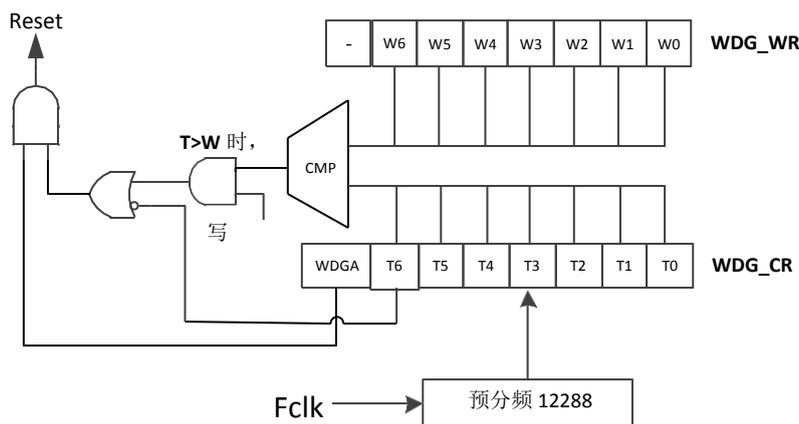


图 42 WWDG 内部框图

18.3 寄存器说明

WWDG 相关寄存器如表 42 所示。

表 42 WWDG 器寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
WWDG_CR	WWDG 控制寄存器	x	R/W	0111_1111B	F1H
WWDG_WR	WWDG 窗口寄存器	x	R/W	0111_1111B	F2H
WWDG_CFG	WWDG 特殊功能寄存器	x	R/W	0000_0000B	FFA3H

WWDG 寄存器详细描述如下：

WWDG 控制寄存器 WWDG_CR (F1H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WDGA	T[6:0]						
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	1	1	1	1	1	1	1
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7 **WDGA:** 开启位
 该位由软件设置, 只能由硬件在复位后清除。当 WDGA=1 时, 看门狗可以产生复位。
 0: 关闭看门狗
 1: 开启看门狗

Bit6~Bit0 **T[6:0]:** 7 位计数器(MSB 至 LSB)
 这些位包含看门狗计数器的数值, 每过(大约)12288 个 MClk 周期递减一次。当它的内容从 0x40 变为 0x3F(T6 被清除)时, 则产生一个复位。

WWDG 窗口寄存器 WWDG_WR (F2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	W[6:0]						
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	1	1	1	1	1	1	1
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7 保留

Bit6~Bit0 **W[6:0]:** 7 位计数器(MSB 至 LSB)
 这些位包含了窗口的数值, 这是需要与递减计数器比较的数值。

WWDG 特殊功能寄存器 WWDG_CFG (FFA3H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	-	-	-	-	-	-	STP
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7~Bit2 保留

Bit0 **STP:** Stop 模式进入禁止位
 0: WWDG 运行中允许用户进入 Stop 模式
 1: WWDG 运行中禁止用户进入 Stop 模式, 进入动作无效。(设置该位, 需要打开密钥并向整个寄存器写入 0xF5)

18.4 功能描述

如果开启了看门狗(设置了 $WDGA=1$)，当 7 位的递减计数器(T[6:0]位)从 $0x40$ 变为 $0x3F$ 时(即 T6 变为 0)，看门狗产生一个复位信号并把复位引脚拉低。如果软件刷新计数器时，计数器的数值大于窗口寄存器中的数值，同样会产生复位。

18.4.1 计数器的刷新

在正常的操作期间，应用程序必须定期地写入 $WDGCR$ 寄存器，以避免产生复位；这个写的动作必须在计数器的数值小于窗口寄存器的数值时进行。写入 $WDGCR$ 寄存器的数值必须是介于 $0xFF$ 和 $0x40$ 之间。

递减计数器是自由运行计数器：即使未开启看门狗，它依然不断地递减计数。当开启看门狗时，必须设置 T6 位以避免立刻产生复位。T[5:0]位中包含了看门狗产生复位前允许的时间延迟；因为写入 $WDGCR$ 寄存器时，预分频器的状态是不可知的，所以这个时间延迟介于一个最小和最大数值之间。

窗口寄存器($WDGWR$)的数值是指定窗口的高限：为防止复位，必须在递减计数器的数值小于窗口寄存器的数值并大于 $0x3F$ 时刷新递减计数器。

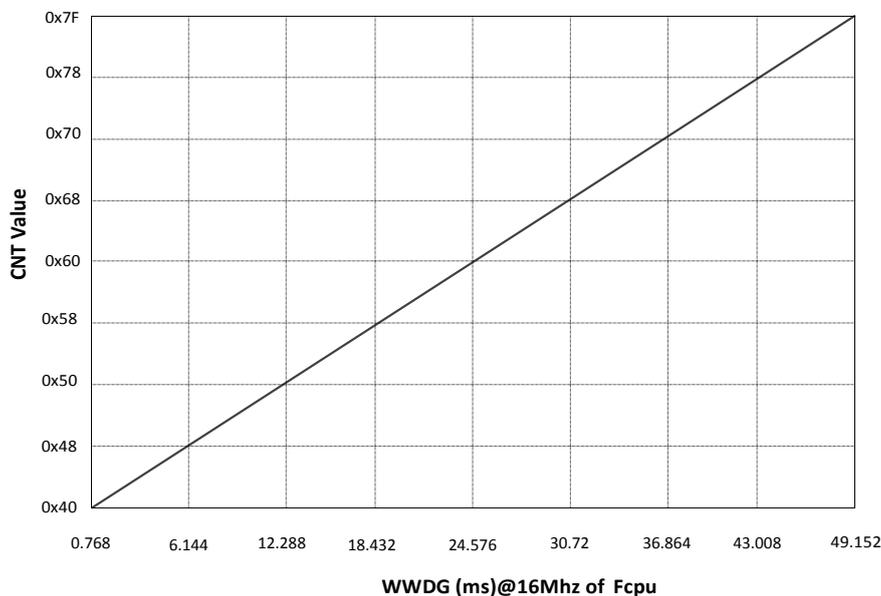
注意：T6 位可以用于产生一个软件复位(即设置 $WDGA$ 位同时清除 T6 位)

18.4.2 在停止时产生看门狗复位

如果开启了看门狗，并且选择了停止时产生看门狗复位的选项，则置位 **Stop** 将产生复位。在停止模式下使用 $WWDG$ 如果在选择字节中使能了停止模式下的看门狗(进入停机模式不产生看门狗复位)，建议在进入 **Stop** 模式前先刷新看门狗计数器，以避免在唤醒微控制器后立刻进入不希望看的门狗复位。

18.4.3 设置看门狗的超时

下图显示了看门狗计数器(CNT)中的 6 位数值，与以毫秒为单位的超时时间的线性关系，这个表可以在不考虑时序变化时作为一个快速的粗略计算参考。



精确时间计算公式： $T = (12288 * (WDGCR - 0x3F)) / f$ ，其中 f 为系统工作频率。

19. 通用串行接口 UART0

通用异步收发器（UART）是该电路提供的串行 I/O 模块之一，是可以和外设（例如个人电脑、RS-232 和 RS-485 接口）通信的全双工异步系统。它有两个互相独立的接收、发送缓冲器，可以同时发送和接收数据。异步串行通信以帧为单位，可以连续传送也可以断续。还可以作为同步移位寄存器使用。

19.1 基本特征

模块特征：

- ◇ 全双工，异步通信
- ◇ 单线半双工通信
- ◇ 四种工作模式。
- ◇ 可编程的数据字长（8 位或 9 位）。
- ◇ 完全集成的具有 8 位预分频器的波特率发生器。
- ◇ 可设置高精度波特率。
- ◇ 发送和接收中断。

19.2 工作模式

正常工作模式下和待机模式下 UART0 均可正常工作，产生中断。
停机模式下，UART0 被禁止。

19.3 功能框图

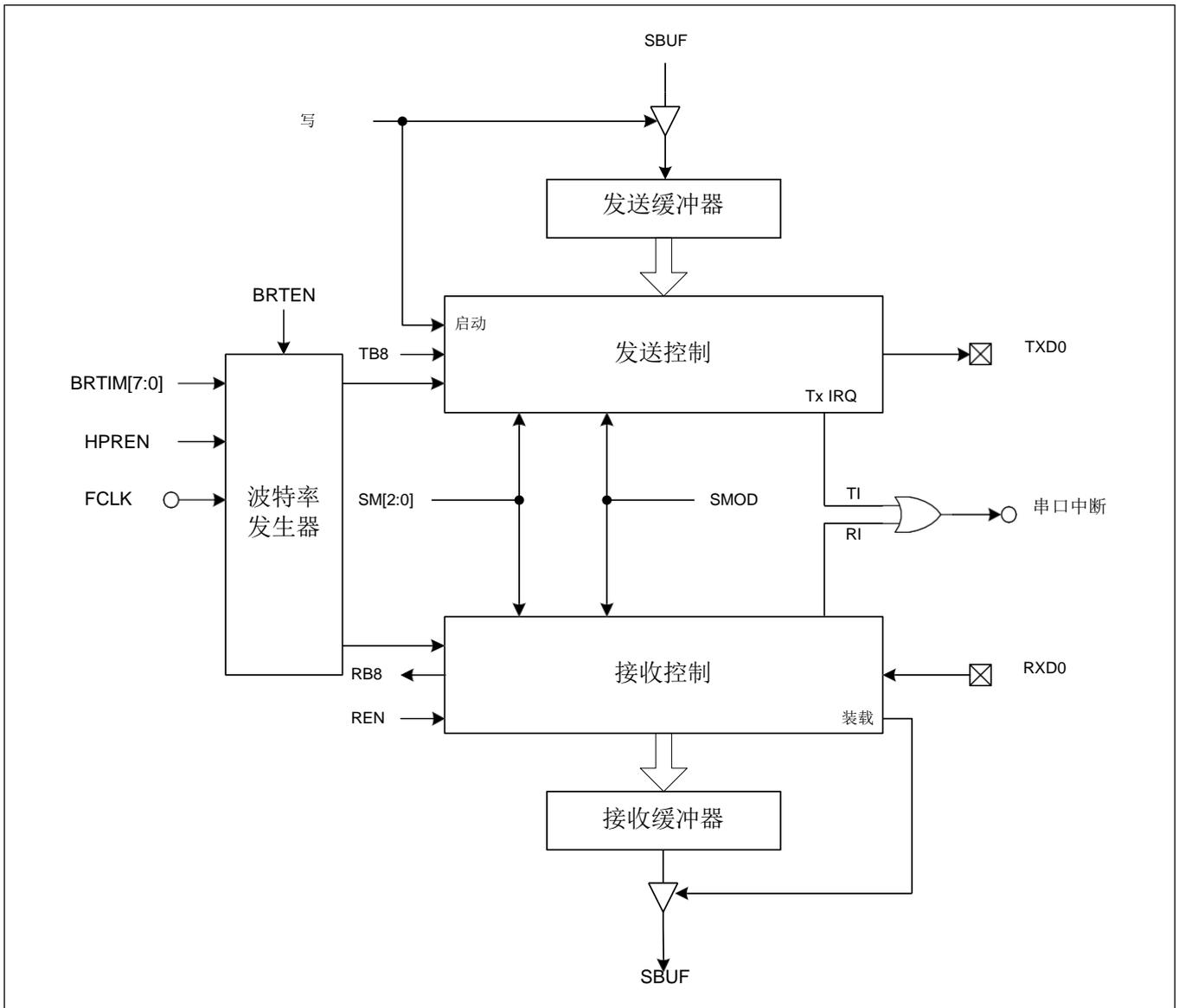


图 43 UART0 功能框图

19.4 管脚配置

UART0 模块用到 4 个外部脚，其配置如下表。

表 43 UART0 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
TXD0	O	UART0 数据输出脚。	P0.1	UART0EN=10
RXD0	I	UART0 数据输入脚。	P0.0	
TXD1	O	UART0 数据输出脚。	P0.6	UART0EN=11
RXD1	I	UART0 数据输入脚。	P0.7	

19.5 寄存器说明

UART 相关寄存器如下表所示：

表 17-1 UART 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
SCON0	UART0 控制寄存器	x	R/W	0000_0000B	98H
SBUF0	UART0 接收发送缓冲寄存器	x	R/W	0000_0000B	99H
BRCON0	UART0 波特率控制寄存器	x	R/W	1000_0uuuB	8EH
BRTIM0	UART0 波特率计数器	x	R/W	0000_0000B	8FH
HALFDUPLEX	半双工模式寄存器	x	R/W	0000_0000B	9CH
IOMUX0	IO 复用控制寄存器 0	x	R/W	u000_0000B	FFE0H

UART 相关寄存器详细说明如下：

UART 控制寄存器 0 SCON0 (98H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	SM1	SM0	SM2	REN	TB8	RB8	TI	RI
位地址:	9FH	9EH	9DH	9CH	9BH	9AH	99H	98H
访问权限:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
复位值:	0	0	0	0	0	1	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit7~ Bit6** SM1~SM0: UART 工作模式选择位。
 00: 工作模式 0: 同步传输 (双线, 支持主机; TX 脚作时钟, RX 输入输出数据) (默认)。
 01: 工作模式 1: 8 位异步通信模式, 波特率可调。
 10: 工作模式 2: 9 位异步通信模式, 波特率固定。
 11: 工作模式 3: 9 位异步通信模式, 波特率可调。
- Bit5** SM2: 多机通信控制位, REN = 1 时该位设置有效。
 工作模式 1 时:
 0: 接收到任意停止位都将产生中断标志 (RI 位置 1)。
 1: 只有在接收到停止位为 1 时才会产生中断标志 (RI 位置 1)。
 工作模式 2/3 时:
 0: 第 9 位数据 RB8 为任意值都将产生中断标志 (RI 位置 1)。
 1: 只有在接收到第 9 位数据 RB8 为 1 时才会产生中断标志 (RI 位置 1)。
- Bit4** REN: 串行接收使能位。
 0: 禁止串行接收数据 (默认)。
 1: 允许串行接收数据。
- Bit3** TB8: 工作模式 2 或 3, TB8 由程序装载要发送的第 9 位数据。
- Bit2** RB8: 工作模式 2 或 3, RB8 是接收到的第 9 位数据。工作模式 1, RB8 接收到的是停止位。
- Bit1** TI: 发送中断标志位。
 停止位开始发送时该位置 1, 需软件清除。
- Bit0** RI: 接收中断标志位。
 工作模式 1/2/3 中, 接收到停止位时 RI 置 1(例外情况见 SM2 说明), 必须由软件清零。

UART 收发缓冲寄存器 SBUF (99H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	SBUF[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7~Bit0 **SBUF[7:0]:** 8 位发送/接收的缓冲寄存器, 写该寄存器则启动 TXD 发送数据; 读该寄存器则读取接收到的数据。

波特率控制寄存器 BRCON (8EH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	SMOD	BRTEN	—	—	HPREN ^①	—	—	—
访问权限:	R/W	R/W	R/W	R/W	R/W	R-0	R-0	R-0
复位值:	1	0	0	0	0	U	U	U
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7 **SMOD:** 波特率选择位。
 0: 波特率计算公式中第一项为 1/32 (默认)。
 1: 波特率计算公式中第一项为 1/16。

Bit6 **BRTEN:** 波特率发生器使能位 (工作模式 1/3 下有效)。
 0: 波特率发生器禁止 (默认)。
 1: 波特率发生器开启。

Bit5~ Bit4 保留。

Bit3 **HPREN** 波特率高精度控制位。

Bit2~ Bit0 未实现。

注 1:	当该位置 1 时, 可变波特率模式下波特率计算公式= $(2^{SMOD}/32) * (1/(255.5-N)) * FCLK$ 。第二项分母 256 - N 变成: $(256-N)+0.5$ 。当该位为 0 时, 计算方法如前面所述。 该控制位在需要高精度波特率通信应用中, 非常有用。如利用 4.194MHz(PLL 时钟, 32.768KHz OSC 的 128 倍频)做 CPU 时钟时, 如果要产生 $19200 \pm 2\%$ 精度的波特率, 则 N 无论置 243 (对应波特率 18724) 或 242 (对应波特率 20164) 得到的波特率误差都超过 2%。此时如果置 HPREN 为 1, 波特率变成 19418, 误差为 1.1%。
------	--

波特率初值设置寄存器 BRTIM (8FH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	BRTIM[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7~Bit0 **BRTIM[7:0]:** BRTIM 是波特率发生器的初值设置寄存器。
 波特率发生器是一个 8 位向上计数器, 当加 1 到 FF 时, 计数器溢出, 产生一个溢出脉冲。每次溢出后计数器会自动载入初始值, 重新加 1 计数。UART 工作在方式 1 或方式 3 时, 使用该溢出时钟作为发送接收时钟, 使 UART 的波特率可以有较大的调整范围。

半双工模式寄存器 HALFDUPLEX (9CH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	-	-	-	-	-	-	HalfDuplex
访问权限:	R-0	R/W						
复位值:	0	0	0	0	0	1	0	0

提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写
------	--

Bit0 HalfDuplex: UART0 半双工工作模式选择位。
 0: 全双工模式 (默认)。
 1: 半双工模式

管脚复用控制寄存器 IOMUX0 (FFE0H) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit5:4 UART0EN[1:0] UART0 输入/出引脚复用控制信号
 00: 对应的复用引脚做 GPIO 使用(默认)。
 01: 对应的复用引脚做 GPIO 使用
 10: RX >> P0.0 ,TX >> P0.1
 11: RX >> P0.7 , TX >> P0.6

注 1:	寄存器位置 1 时, 强制将复用管脚设置为功能模块对应的方向, 例如 TXD/RXD 引脚分别被设置为输入输出;
------	--

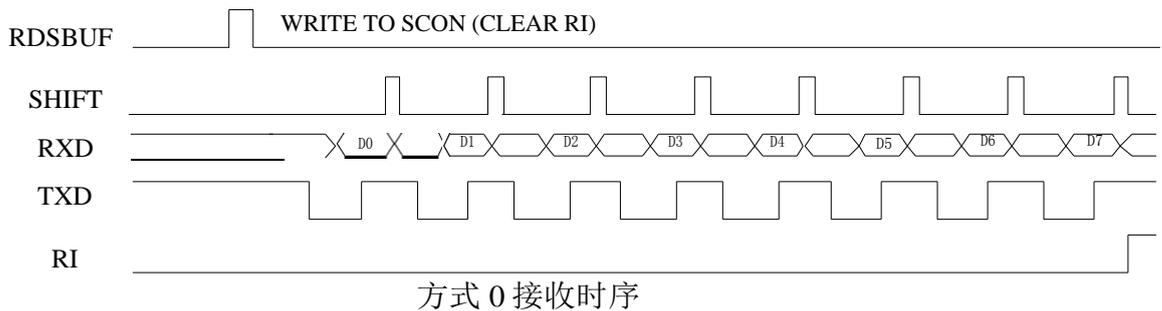
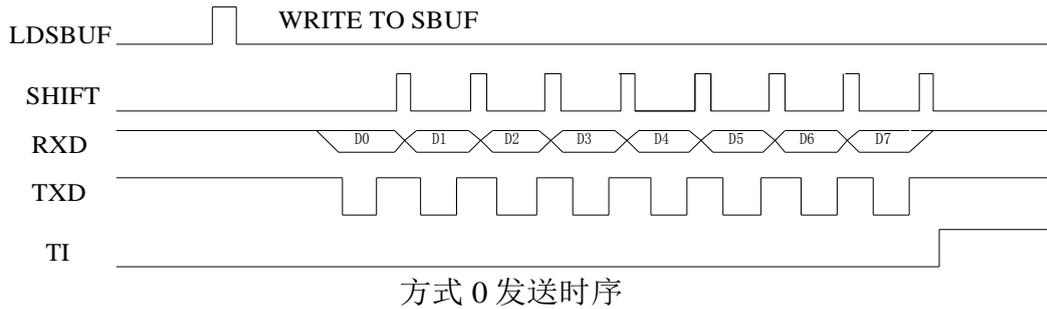
19.6 功能描述

异步串行通信接口 (UART0) 有两个互相独立的接收、发送缓冲器, 可以同时发送和接收数据。发送缓冲器只能写入而不能读出, 接收缓冲器只能读出而不能写入, 因而两个缓冲器共用一个地址码, 两个缓冲器统称串行通信特殊功能寄存器 SBUF。数据由 TXD 输出, 由 RXD 接收。

UART0 设有 4 种工作方式, 其中方式 1, 方式 3 的波特率是可变的, 方式 2 是固定的, 以供不同应用场合选用。波特率由独立的波特率发生器产生。用软件可以选择不同的工作方式和设置不同的波特率。

19.6.1 方式 0

模式 0 支持与外围设备同步通信。串行数据通过 RXD 脚输入和输出, 利用 TXD 脚输出移位时钟。发送或接收一帧信息为 8 位, 其波特率由独立波特率发生器产生。由于发送和接收都通过 RXD 脚, 模式 0 提供了一种半双工通信方式。无论发送或接收, 移位时钟均由 MCU 产生。当选用方式 0 时, MCU 作为主机。



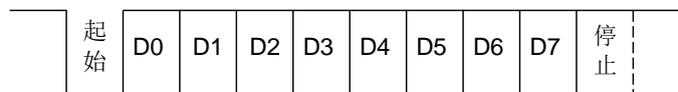
如上图所示，双向数据线 RXD，时钟线完成同步传输，LSB 优先，移位时钟频率即波特率。

写 SBUF 发起发送操作，发送控制器产生时钟并产生数据直至 8 位传输完毕，随后置位 TI 用于指示一个字节传输结束。

清 RI 发起接收操作，控制器产生时钟并接收数据直至 8 位传输完毕，随后置位 RI 用于指示一个字节接收完毕，清 RI 重新发起新字节数据的接收操作。

19.6.2 方式 1

当 SM0=0, SM1=1 时，串口选择方式 1。其波特率由独立波特率发生器产生。发送或接收一帧信息为 10 位：1 位起始位，8 位数据位和 1 位停止位。帧格式如下：



当往寄存器 SBUF 写数据就启动 TXD 发送数据，“写 SBUF”信号还把“1”装入发送移位寄存器的第 9 位即停止位，并通知发送控制单元开始发送。当 1 帧数据发送完成后，中断请求标志位 TI 置 1，如果中断允许则申请中断。

当接收允许标志位 REN 置 1 且清除 RI 后，当检测到 RXD 端口从 1 到 0 的负跳变时就启动一次接收。如果第一位接收到的值不为 0（起始位），则起始位无效，复位接收电路，并重新检测从 1 到 0 的跳变。如果接收到的起始位有效，则将它输入移位寄存器，并接收本帧的其余信息。当一帧数据接收完后，将 8 位数据和停止位分别送入接收缓冲器 SBUF 和 RB8，然后 RI 置 1。如果中断允许则申请中断。

在进行最后一次移位时，能将数据送入接收数据缓冲器 SBUF 和 RB8，而且 RI 置 1 的条件是：

- ★ RI=0。
- ★ SM2=0，接收到任意停止位；

或 $SM2=1$ ，接收到的停止位为1。若上述两条件不能同时满足，则接收到的数据作废并丢失，也不置位 RI。接收器重新检测 RXD 端口上的 1 到 0 的跳变，继续下一帧的接收。

方式 1 的波特率是可变的，可变的波特率由独立波特率发生器产生。其波特率为：

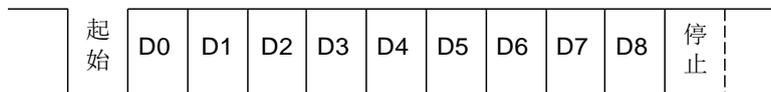
$$\text{波特率} = \frac{2^{SMOD}}{32} \times \frac{1}{(256-N)} \times FCLK$$

注：上式中 N 是波特率发生器 BRTIM 装载的初值。另外上式中 $1/(256-N)$ 这一项受 BRCON.3 影响。

19.6.3 方式 2 和 3

当 $SM0=1$ 、 $SM1=0$ 时，串口选择方式 2；当 $SM0=1$ 、 $SM1=1$ 时，串口选择方式 3。方式 2 和 3 的不同在于它们波特率产生方式不同。方式 2 的波特率是固定的，为功能模块时钟 FCLK 的 $1/32$ 或 $1/64$ 。方式 3 的波特率由独立波特率发生器产生。

在模式 2 和 3，发送和接收一帧数据信息为 11 位：1 位起始位（0），9 位数据位和 1 位停止位（1）。帧格式如下：



数据发送时第 9 位数据位由 SCON 中的 TB8 提供，可软件设置为 1 或 0，接收时第 9 位数据装入 SCON 的 RB8。若 $SM2=1$ ，如果接收到的第 9 位数据（RB8）为 1，才将数据送入接收缓冲器 SBUF，并 RI 置 1，申请中断，否则数据将丢失。若 $SM2=0$ ，则无论第 9 位数据（RB8）是 1 还是 0，都能将数据装入 SBUF，并且申请中断。其他发送接收操作方式与方式 1 相同。

在进行最后一次移位时，能将数据送入接收数据缓冲器 SBUF 和 RB8，而且 RI 置 1 的条件是：

➤ RI=0；

➤ $SM2=0$ ，接收到任意第 9 位数据

或者 $SM2=1$ ，接收到第 9 位数据 $RB8=1$ 。若上述两条件不能同时满足，则接收到的数据作废并丢失，也不置位 RI。接收器重新检测 RXD 端口上

的 1 到 0 的跳变，继续下一帧的接收。

在方式 2 和方式 3 中，接收到的停止位与 SBUF、RB8 和 RI 无关。

方式 2 的波特率是固定的，其波特率为：

$$\text{波特率} = \frac{2^{SMOD}}{64} \times FCLK$$

方式 3 的波特率为：

$$\text{波特率} = \frac{2^{SMOD}}{32} \times \frac{1}{(256-N)} \times FCLK$$

注：上式中 N 是波特率发生器 BRTIM 装载的初值。另外上式中 $1/(256-N)$ 这一项受 BRCON.3 影响。

19.6.4 单线半双工方式

UART 可配置成单线半双工模式，置位 HalfDuplex，即 TXD 脚用于发送和接收数据，数据的传输方向由 REN 决定，为 1 时串口作为输入接收数据，为 0 时串口作为输出发送数据。此模式下，RXD 脚闲置可做 GPIO 使用。数据帧格式和波特率产生方式同方式 1/2/3。

20. 通用串行接口 UART1

通用异步收发器（UART）是该电路提供的串行 I/O 模块之一，是可以和外设（例如个人电脑、RS-232 和 RS-485 接口）通信的全双工异步系统。它有两个互相独立的接收、发送缓冲器，可以同时发送和接收数据。异步串行通信以帧为单位，可以连续传送也可以断续。还可以作为同步移位寄存器使用。

20.1 基本特征

模块特征：

- ◇ 全双工，异步通信
- ◇ 单线半双工通信
- ◇ 四种工作模式。
- ◇ 可编程的数据字长（8 位或 9 位）。
- ◇ 完全集成的具有 8 位预分频器的波特率发生器。
- ◇ 可设置高精度波特率。
- ◇ 发送和接收中断。

20.2 工作模式

正常工作模式下和待机模式下 UART1 均可正常工作，产生中断。
停机模式下，UART1 被禁止。

20.3 功能框图

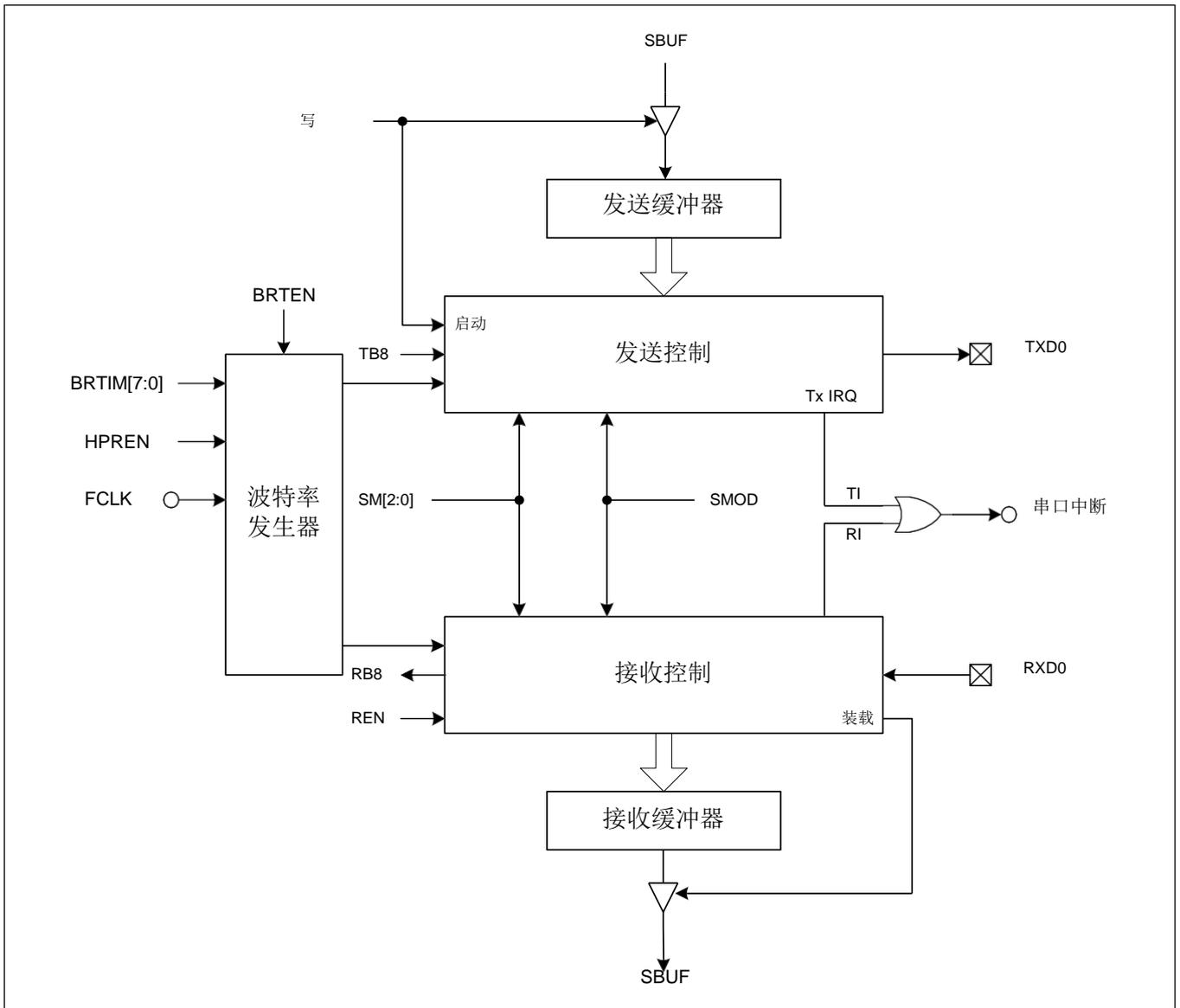


图 44 UART1 功能框图

20.4 管脚配置

UART1 模块用到 4 个外部复位脚，其配置如下表。

表 44 UART1 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
TXD2	O	UART1 数据输出脚。	P2.0	UART1EN=10
RXD2	I	UART1 数据输入脚。	P2.1	
TXD3	O	UART1 数据输出脚。	P2.2	UART1EN=11
RXD3	I	UART1 数据输入脚。	P0.2	

20.5 寄存器说明

UART1 相关寄存器如下表所示：

表 45 UART1 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
SCON1	UART1 控制寄存器	x	R/W	0000_0000B	B4H
SBUF1	UART1 接收发送缓冲寄存器	x	R/W	0000_0000B	B5H
BRCON1	UART1 波特率控制寄存器	x	R/W	1000_0uuuB	B6H
BRTIM1	UART1 波特率计数器	x	R/W	0000_0000B	B7H
HALFDUPLEX1	半双工模式寄存器	x	R/W	0000_0000B	B3H
IOMUX0	IO 复用控制寄存器 0	x	R/W	u000_0000B	FFE0H

UART 相关寄存器详细说明如下：

UART1 控制寄存器 SCON1 (B4H)

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	SM1	SM0	SM2	REN	TB8	RB8	TI	RI
位地址：	9FH	9EH	9DH	9CH	9BH	9AH	99H	98H
访问权限：	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
复位值：	0	0	0	0	0	1	0	0
提示：	—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写							

- Bit7~ Bit6** SM1~SM0：UART1 工作模式选择位。
 00：工作模式 0：同步传输（双线，支持主机；TX 脚作时钟，RX 输入输出数据）（默认）。
 01：工作模式 1：8 位异步通信模式，波特率可调。
 10：工作模式 2：9 位异步通信模式，波特率固定。
 11：工作模式 3：9 位异步通信模式，波特率可调。
- Bit5** SM2：多机通信控制位，REN = 1 时该位设置有效。
 工作模式 1 时：
 0：接收到任意停止位都将产生中断标志（RI 位置 1）。
 1：只有在接收到停止位为 1 时才会产生中断标志（RI 位置 1）。
 工作模式 2/3 时：
 0：第 9 位数据 RB8 为任意值都将产生中断标志（RI 位置 1）。
 1：只有在接收到第 9 位数据 RB8 为 1 时才会产生中断标志（RI 位置 1）。
- Bit4** REN：串行接收使能位。
 0：禁止串行接收数据（默认）。
 1：允许串行接收数据。
- Bit3** TB8：工作模式 2 或 3，TB8 由程序装载要发送的第 9 位数据。
- Bit2** RB8：工作模式 2 或 3，RB8 是接收到的第 9 位数据。工作模式 1，RB8 接收到的是停止位。
- Bit1** TI：发送中断标志位。
 停止位开始发送时该位置 1，需软件清除。
- Bit0** RI：接收中断标志位。
 工作模式 1/2/3 中，接收到停止位时 RI 置 1(例外情况见 SM2 说明)，必须由软件清零。

UART1 收发缓冲寄存器 SBUF1 (B5H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	SBUF1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7~Bit0 SBUF1[7:0]: 8 位发送/接收的缓冲寄存器, 写该寄存器则启动 TXD 发送数据; 读该寄存器则读取接收到的数据。

波特率控制寄存器 BRCON1 (B6H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	SMOD	BRTEN	—	—	HPREN ^①	—	—	—
访问权限:	R/W	R/W	R/W	R/W	R/W	R-0	R-0	R-0
复位值:	1	0	0	0	0	U	U	U
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7 SMOD: 波特率选择位。
 0: 波特率计算公式中第一项为 1/32 (默认)。
 1: 波特率计算公式中第一项为 1/16。

Bit6 BRTEN: 波特率发生器使能位 (工作模式 1/3 下有效)。
 0: 波特率发生器禁止 (默认)。
 1: 波特率发生器开启。

Bit5~Bit4 保留。

Bit3 HPREN 波特率高精度控制位。

Bit2~Bit0 未实现。

注 1:	当该位置 1 时, 可变波特率模式下波特率计算公式 = $(2^{SMOD}/32) * (1/(255.5-N)) * FCLK$ 。第二项分母 256 - N 变成: $(256-N)+0.5$ 。当该位为 0 时, 计算方法如前面所述。 该控制位在需要高精度波特率通信应用中, 非常有用。如利用 4.194MHz(PLL 时钟, 32.768KHz OSC 的 128 倍频)做 CPU 时钟时, 如果要产生 $19200 \pm 2\%$ 精度的波特率, 则 N 无论置 243 (对应波特率 18724) 或 242 (对应波特率 20164) 得到的波特率误差都超过 2%。此时如果置 HPREN 为 1, 波特率变成 19418, 误差为 1.1%。
------	---

波特率初值设置寄存器 BRTIM1 (B7H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	BRTIM1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7~Bit0 BRTIM1[7:0]: BRTIM1 是波特率发生器的初值设置寄存器。
 波特率发生器是一个 8 位向上计数器, 当加 1 到 FF 时, 计数器溢出, 产生一个溢出脉冲。每次溢出后计数器会自动载入初始值, 重新加 1 计数。UART 工作在方式 1 或方式 3 时, 使用该溢出时钟作为发送接收时钟, 使 UART 的波特率可以有较大的调整范围。

半双工模式寄存器 HALFDUPLEX1 (B3H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	-	-	HalfDuplex
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复 位 值:	0	0	0	0	0	1	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit0 HalfDuplex: UART 半双工工作模式选择位。
 0: 全双工模式 (默认)。
 1: 半双工模式

管脚复用控制寄存器 IOMUX0 (FFE0H) 注1

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7:6 UART1EN[1:0] UART1 输入/出引脚复用控制信号
 00: 对应的复用引脚做 GPIO 使用(默认)。
 01: 对应的复用引脚做 GPIO 使用
 10: RX >> P2.1 ,TX >> P2.0
 11: RX >> P0.2 ,TX >> P2.2

注 1:	寄存器位置 1 时, 强制将复用管脚设置为功能模块对应的方向, 例如 TXD/RXD 引脚分别被设置为输入输出;
------	--

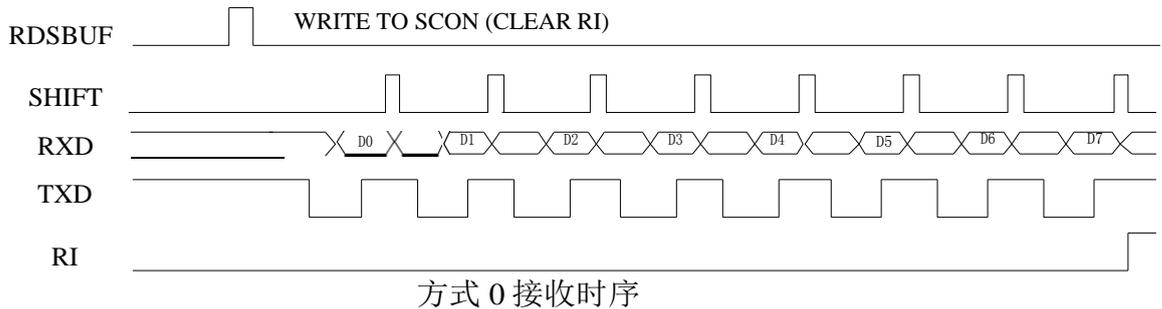
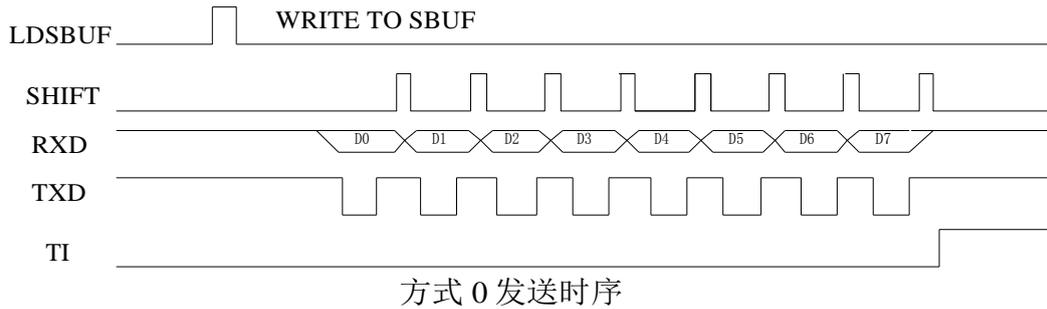
20.6 功能描述

异步串行通信接口 (UART1) 有两个互相独立的接收、发送缓冲器, 可以同时发送和接收数据。发送缓冲器只能写入而不能读出, 接收缓冲器只能读出而不能写入, 因而两个缓冲器共用一个地址码, 两个缓冲器统称串行通信特殊功能寄存器 SBUF1。数据由 TXD 输出, 由 RXD 接收。

UART1 设有 4 种工作方式, 其中方式 1, 方式 3 的波特率是可变的, 方式 2 是固定的, 以供不同应用场合选用。波特率由独立的波特率发生器产生。用软件可以选择不同的工作方式和设置不同的波特率。

20.6.1 方式 0

模式 0 支持与外围设备同步通信。串行数据通过 RXD 脚输入和输出, 利用 TXD 脚输出移位时钟。发送或接收一帧信息为 8 位, 其波特率由独立波特率发生器产生。由于发送和接收都通过 RXD 脚, 模式 0 提供了一种半双工通信方式。无论发送或接收, 移位时钟均由 MCU 产生。当选用方式 0 时, MCU 作为主机。



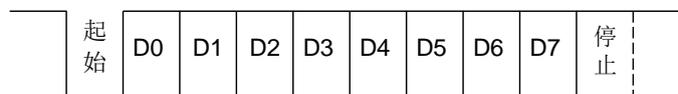
如上图所示，双向数据线 RXD，时钟线完成同步传输，LSB 优先，移位时钟频率即波特率。

写 SBUF 发起发送操作，发送控制器产生时钟并产生数据直至 8 位传输完毕，随后置位 TI 用于指示一个字节传输结束。

清 RI 发起接收操作，控制器产生时钟并接收数据直至 8 位传输完毕，随后置位 RI 用于指示一个字节接收结束，清 RI 重新发起新字节数据的接收操作。

20.6.2 方式 1

当 SM0=0, SM1=1 时，串口选择方式 1。其波特率由独立波特率发生器产生。发送或接收一帧信息为 10 位：1 位起始位，8 位数据位和 1 位停止位。帧格式如下：



当往寄存器 SBUF1 写数据就启动 TXD 发送数据，“写 SBUF1”信号还把“1”装入发送移位寄存器的第 9 位即停止位，并通知发送控制单元开始发送。当 1 帧数据发送完成后，中断请求标志位 TI 置 1，如果中断允许则申请中断。

当接收允许标志位 REN 置 1 且清除 RI 后，当检测到 RXD 端口从 1 到 0 的负跳变时就启动一次接收。如果第一位接收到的值不为 0（起始位），则起始位无效，复位接收电路，并重新检测从 1 到 0 的跳变。如果接收到的起始位有效，则将它输入移位寄存器，并接收本帧的其余信息。当一帧数据接收完后，将 8 位数据和停止位分别送入接收缓冲器 SBUF1 和 RB8，然后 RI 置 1。如果中断允许则申请中断。

在进行最后一次移位时，能将数据送入接收数据缓冲器 SBUF1 和 RB8，而且 RI 置 1 的条件是：

- ★ RI=0。

★ SM2=0, 接收到任意停止位;

或 SM2=1, 接收到的停止位为 1。

若上述两条件不能同时满足, 则接收到的数据作废并丢失, 也不置位 RI。接收器重新检测 RXD 端口上的 1 到 0 的跳变, 继续下一帧的接收。

方式 1 的波特率是可变的, 可变的波特率由独立波特率发生器产生。其波特率为:

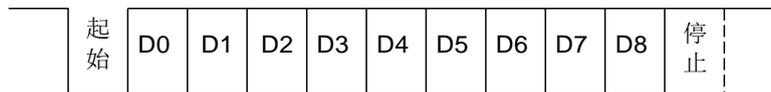
$$\text{波特率} = \frac{2^{\text{SMOD}}}{32} \times \frac{1}{(256-N)} \times \text{FCLK}$$

注: 上式中 N 是波特率发生器 BRTIM1 装载的初值。另外上式中 1/(256-N) 这一项受 BRCON1.3 影响。

20.6.3 方式 2 和 3

当 SM0=1、SM1=0 时, 串口选择方式 2; 当 SM0=1、SM1=1 时, 串口选择方式 3。方式 2 和 3 的不同在于它们波特率产生方式不同。方式 2 的波特率是固定的, 为功能模块时钟 FCLK 的 1/32 或 1/64。方式 3 的波特率由独立波特率发生器产生。

在模式 2 和 3, 发送和接收一帧数据信息为 11 位: 1 位起始位 (0), 9 位数据位和 1 位停止位 (1)。帧格式如下:



数据发送时第 9 位数据位由 SCON1 中的 TB8 提供, 可软件设置为 1 或 0, 接收时第 9 位数据装入 SCON1 的 RB8。若 SM2=1, 如果接收到的第 9 位数据 (RB8) 为 1, 才将数据送入接收缓冲器 SBUF1, 并 RI 置 1, 申请中断, 否则数据将丢失。若 SM2=0, 则无论第 9 位数据 (RB8) 是 1 还是 0, 都能将数据装入 SBUF1, 并且申请中断。其他发送接收操作方式与方式 1 相同。

在进行最后一次移位时, 能将数据送入接收数据缓冲器 SBUF1 和 RB8, 而且 RI 置 1 的条件是:

➤ RI=0;

➤ SM2=0, 接收到任意第 9 位数据

或者 SM2=1, 接收到第 9 位数据 RB8=1。若上述两条件不能同时满足, 则接收到的数据作废并丢失, 也不置位 RI。接收器重新检测 RXD 端口上

的 1 到 0 的跳变, 继续下一帧的接收。

在方式 2 和方式 3 中, 接收到的停止位与 SBUF1、RB8 和 RI 无关。

方式 2 的波特率是固定的, 其波特率为:

$$\text{波特率} = \frac{2^{\text{SMOD}}}{64} \times \text{FCLK}$$

方式 3 的波特率为:

$$\text{波特率} = \frac{2^{\text{SMOD}}}{32} \times \frac{1}{(256-N)} \times \text{FCLK}$$

注: 上式中 N 是波特率发生器 BRTIM1 装载的初值。另外上式中 1/(256-N) 这一项受 BRCON1.3 影响。

20.6.4 单线半双工方式

UART1 可配置成单线半双工模式, 置位 HalfDuplex, 即 TXD 脚用于发送和接收数据, 数据的传输方向由 REN 决定, 为 1 时串口作为输入接收数据, 为 0 时串口作为输出发送数据。此模式下, RXD 脚闲置

可做 GPIO 使用。数据帧格式和波特率产生方式同方式 1/2/3。

21. I2C 总线

QF08L18 内部集成一个 I2C 通讯接口，兼容 Philips I2C 协议。

21.1 基本特征

其主要特性包括：

- ◇ 支持标准模式下 100Kbit/s 的双向传输速率
- ◇ 支持快速模式下 400Kbit/s 的传输速率
- ◇ 支持 4 种传输模式，主机发送模式，主机接收模式，从机发送模式，从机接收模式
- ◇ 支持多主机总线仲裁
- ◇ 支持高达 128 个从机地址空间，支持地址为 00 的广呼方式
- ◇ 支持 SMBus 扩展
- ◇ 支持停机唤醒

21.2 工作模式

正常工作模式下和待机模式下 I2C 均可正常工作，正常产生中断。

待机模式下，I2C 被禁止，但地址匹配模块能正常工作，接收特定序列后唤醒系统。

21.3 管脚配置

I2C 跟 4 个外部管脚复用，具体配置见下表：

表 46 I2C 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
SCL	I/O	I2C 时钟输入/出	P1.3/P2.3	I2CRMP[1:0]: I2C 引脚复用配置
SDA	I/O	I2C 数据输入/出	P1.4/P2.4	I2CRMP[1:0]: I2C 引脚复用配置

21.4 寄存器说明

I2C 的相关寄存器如表 47 错误!未找到引用源。所示。

表 47 I2C 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
I2CDAT	I2C 数据寄存器	x	R/W	0000_0000B	93H
I2CADR	I2C 地址寄存器	x	R/W	0000_0000B	94H
I2CCON	I2C 控制寄存器	x	R/W	0000_0000B	95H
I2CSTA	I2C 状态寄存器	x	R/W	0000_0000B	96H
SMB_SEL	SMBus 选择寄存器	x	R/W	0000_0000B	97H
SMB_DST	SMBus 数据寄存器	x	R/W	0000_uu00B	9AH
I2CSTPEN	I2C STOP 模式配置寄存器	x	R/W	0000_0000B	9BH
IOMUX1	引脚复用寄存器 1	x	R/W	0000_000uB	FFE1H

I2C 的寄存器详细说明如下：

I2C 数据寄存器 (I2CDAT)

名称/地址:	I2CDAT, 93H
--------	-------------

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	I2CDAT							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit[7: 0] **I2CDAT** : I2C 数据寄存器
 作为主机/从机模式发送时, 写 I2CDAT 寄存器时, 数据将通过 I2C 总线向外发送, 当作为主机/从机模式接收时, 用户可以读取 I2CDAT 寄存器获得总线上传输的数据。由于 I2CDAT 寄存器没有缓冲, 因此用户只能在 I2C 中断的时候读取 I2CDAT 寄存器。

I2C 地址寄存器 (I2CADR)

名称/地址:	I2CADR, 94H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	I2CADR							GC
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit[7: 1] **CLKDIV**: I2C 地址寄存器
 在 I2C 作为从机时设置从机地址, 共支持 128 个从机地址

Bit0 **GC**, 广呼应答信号, 当广呼地址被识别到将置 1, 其他则忽略

I2C 控制寄存器 (I2CCON)

名称/地址:	I2CCON, 95H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CR2	ENS1	STA	STO	SI	AA	CR1	CR0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

it7 **CR2**: 主机模式速率控制位 2, 参见 CR0

Bit6 **ENS1**: I2C 使能控制位

0: 禁止 I2C

1: 使能 I2C

Bit5 **STA**: I2C 起始标志, 当 I2C 总线空闲时, 置该位为 1 将发送起始位

Bit4 **STO**: I2C 终止标志, 当 I2C 工作在主机模式时, 写该位为 1 将发送终止位

Bit3 **SI**: I2C 中断标志, 当 I2C 进入 25 种 I2C 状态之一时由硬件置起。该位只能通过软件写 0 清除。

Bit2 **AA** : 应答标志位

0: 主/从机模式下接收数据完成不返回应答信号

1: 发生地址匹配, 广呼方式, 主/从机模式下接收数据完成将返回一个应答信号

Bit1 **CR1**: 主机模式速率控制位 1, 参见 CR0

Bit0 CR0: 主机模式速率控制位 0, 与 CR2,CR1 共同控制主机模式时的发送接收速率, {CR2,CR1,CR0}

000: 波特率 FCLK/16
 001: 波特率 FCLK/20
 010: 波特率 FCLK/40
 011: 波特率 FCLK/64
 100: 波特率 FCLK/80
 101: 波特率 FCLK/160
 110: 波特率 FCLK/240
 111: 波特率 BAUDCLK/8

其中 BAUDCLK 由 Timer1 的定时器中断产生, 可采用重载模式, 使用溢出中断产生 I2C 的发送时钟。

I2C 状态标志寄存器 (I2CSTA)

名称/地址:	I2CSTA, 96H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	I2CSTA					TMOUT	TSOUT	TOUT
访问权限:	R	R	R	R	R	R	R	R
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit[7: 3] I2CSTA : I2C 状态位, 详见各个模式下状态描述。

Bit2 TMOUT: SMBus 字节超时标志
 0: 字节累计未超时
 1: 字节累计超时

Bit1 TSOUT: SMBus 起始终止超时标志
 0: 起始终止累计未超时
 1: 起始终止累计超时

Bit0 TOUT
 0: 时钟低电平未超时
 1: 时钟低电平超时

SMBus 选择寄存器 (SMB_SEL)

名称/地址:	SMB_SEL, 97H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SMBEXEN	-				SMB_SEL		
访问权限:	R	R	R	R	R	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit7 SMBEXEN: SMBus 扩展使能位
 0: 禁止 SMBus 扩展
 1: 使能 SMBus 扩展
- Bit[2:0] SMB_SEL: 选择待写的 SMBus 超时寄存器
 000: 选择 TMEXT 低 8 位
 001: 选择 TMEXT 高 8 位
 010: 选择 TSEXT 低 8 位
 011: 选择 TSEXT 高 8 位
 100: 选择 TOUT 低 8 位
 101: 选择 TOUT 高 8 位

SMBus 数据寄存器 (SMB_DST)

名称/地址:	SMB_DST, 9AH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SMB_DST							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit[7: 0] SMB_DST: 写入 SMB_SEL 选择的超时寄存器数值

I2C 地址比较寄存器 (I2CSTPEN)

名称/地址:	I2CSTPEN, 9BH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-							ACPEN
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复 位 值:	U	U	U	U	U	U	U	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit0 ACPEN : I2C Stop 模式下地址接受使能
 0: 屏蔽
 1: 使能, 在系统进入 Stop 模式后有效;
 当该位为 1 时, I2C 在 Stop 模式下能够以从机方式工作, 接收地址; 若地址匹配, 则返回 ACK 并产生唤醒系统中断, 并将 SCL 拉低阻止主机继续发送数据。当系统唤醒, 并将该位清 0 以后, SCL 被释放。

管脚复用控制寄存器 IOMUX2 (FFE2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	T1OE	T0OE	—	—	I2CRMP[1:0]		BUZEN	nBUZEN
访问权限:	R/W	R/W	R-0	R/W			R/W	R/W
复位值:	0	0	U	U			0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit3~Bit2 I2CRMP : I2C 引脚复用
 10: SCL >> P1.3, SDA >> P1.4
 11: SCL >> P2.3, SDA >> P2.4
 0x: 对应引脚用作 GPIO

21.5 功能描述

I2C 总线通过两个线进行通信, 最大支持 128 个从机设备, 在使用时只需要在外部加两个上拉电阻即可实现组网通信。CPU 通过 I2CADR, I2CCON, I2CSTA, I2CDAT 四个寄存器对 I2C 实现控制。I2C 的协议详见 Philips I2C 协议。

21.5.1 主机发送模式

表 48 主机发送模式状态及过程描述

I2CSTA 寄存器数值	I2C 状态	软件响应					I2C 下一动作
		I2CDAT	I2CCON				
			STA	STO	SI	AA	
08H/1	传送开始位	载入从机地址, 配置主机为发送	x	0	0	x	发送从机地址, 接收 ACK
10H/2	传送重复开始位	载入从机地址 配置主机为发送	x	0	0	x	发送从机地址, 接收 ACK
		载入从机地址 配置主机为接收	x	0	0	x	发送从机地址, I2C 将转为主机接收模式
18H/3	发送完从机地址, 并配置为发送, 接收到 ACK	载入新的数据	0	0	0	x	发送新的数据, 接收 ACK
		无操作	1	0	0	x	发送重复起始位
		无操作	0	1	0	x	发送终止标志, STO 自动清 0
		无操作	1	1	0	x	发送起始位后自动发送停止位, STO 自动清零
20H/4	发送完从机地址, 并配置为发送, 未接收到 ACK	载入新的数据	0	0	0	x	发送新的数据, 接收 ACK
		无操作	1	0	0	x	发送重复起始位
		无操作	0	1	0	x	发送终止标志, STO 自动清 0
		无操作	1	1	0	x	发送起始位后自动发送停止位, STO 自动清零

28H/5	I2CDAT 的数据已发送, 接收到 ACK	载入新的数据	0	0	0	x	发送新的数据, 接收 ACK
		无操作	1	0	0	x	发送重复起始位
		无操作	0	1	0	x	发送终止标志, STO 自动清 0
		无操作	1	1	0	x	发送起始位后自动发送停止位, STO 自动清零
30H/6	I2CDAT 的数据已发送, 未受到 ACK	载入新的数据	0	0	0	x	发送新的数据, 接收 ACK
		无操作	1	0	0	x	发送重复起始位
		无操作	0	1	0	x	发送终止标志, STO 自动清 0
		无操作	1	1	0	x	发送起始位后自动发送停止位, STO 自动清零

21.5.2 主机接收模式

表 49 主机接收模式

I2CSTA 寄存器数值	I2C 状态	软件响应					I2C 下一动作
		I2CDAT	I2CCON				
			STA	STO	SI	AA	
08H/01	传送开始位	载入从机地址, 配置主机为发送	x	0	0	x	发送从机地址, 接收 ACK
10H/02	传送重复开始位	载入从机地址 配置主机为发送	x	0	0	x	发送从机地址, 接收 ACK
		载入从机地址 配置主机为接收	x	0	0	x	发送从机地址, I2C 将转为主机接收模式
40H/08	发送完从机地址, 并配置为接收, 收到 ACK	无操作	0	0	0	0	接收下一个数据, 不返回 ACK
		无操作	0	0	0	1	接收下一个数据, 返回 ACK
48H/09	发送完从机地址, 并配置为接收, 未接收到 ACK	无操作	0	0	0	0	接收下一个数据, 不返回 ACK
		无操作	0	0	0	1	接收下一个数据, 返回 ACK
50H/0a	接收到数据并返回 ACK	读数据	0	0	0	0	接收下一个数据, 不返回 ACK
		读数据	0	0	0	1	接收下一个数据, 返回 ACK
58H/0b	接收到数据, 未返回 ACK	读数据	1	0	0	x	发送重复开始位
		读数据	0	1	0	x	发送终止标志, STO 自动清 0

		读数据	1	1	0	x	发送起始位后自动发送停止位，STO 自动清零
--	--	-----	---	---	---	---	------------------------

21.5.3 从机发送模式

表 50 从机发送模式

I2CSTA 寄存器数值	I2C 状态	软件响应					I2C 下一动作
		I2CDAT	I2CCON				
			STA	STO	SI	AA	
A8H/15	接收到地址，配置为从机发送模式，返回 ACK	载入数据	x	0	0	0	发送载入的数据，接收 ACK
		载入数据	x	0	0	1	发送载入的数据，接收 ACK
B0H/16	仲裁丢失，配置为从机发送模式，返回 ACK	载入数据	x	0	0	0	发送载入的数据，接收 ACK
		载入数据	x	0	0	1	发送载入的数据，接收 ACK
B8H/17	数据传送完成，接收到 ACK	载入数据	x	0	0	0	发送载入的数据，接收 ACK
		载入数据	x	0	0	1	发送载入的数据，接收 ACK
C0H/18	数据发送完成，未收到 ACK	无操作	0	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。
		无操作	0	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。
		无操作	1	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。当总线空时再发送起始位
		无操作	1	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。当总线空时再发送起始位
C8H/19	数据发送完成，收到 ACK	无操作	0	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。
		无操作	0	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。
		无操作	1	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。

							呼。当总线空时再发送起始位
		无操作	1	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。当总线空时再发送起始位

21.5.4 从机接收模式

表 51 从机接收模式

I2CSTA 寄存器数值	I2C 状态	软件响应					I2C 下一动作
		I2CDAT	I2CCON				
			STA	STO	SI	AA	
60H/0C	接收到主机发送的地址，返回 ACK	无操作	x	0	0	0	返回数据，返回 NACK
		无操作	x	0	0	1	返回数据，返回 ACK
68H/0D	仲裁丢失，接收到主机发送的地址，返回 ACK	无操作	x	0	0	0	返回数据，返回 NACK
		无操作	x	0	0	1	返回数据，返回 ACK
70H/0E	接收到广呼信号（00H 地址），返回 ACK	无操作	x	0	0	0	返回数据，返回 NACK
		无操作	x	0	0	1	返回数据，返回 ACK
78H/0F	仲裁丢失，接收到广呼信号（00H 地址），返回 ACK	无操作	x	0	0	0	返回数据，返回 NACK
		无操作	x	0	0	1	返回数据，返回 ACK
80H/10	地址匹配，接收到数据，返回 ACK	读数据	x	0	0	0	返回数据，返回 NACK
		读数据	x	0	0	1	返回数据，返回 ACK
88H/11	地址匹配，接收到数据，返回 NACK	读数据	0	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。
		读数据	0	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。
		读数据	1	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。当总线空时再发送起始位
		读数据	1	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。当总线空时再发送起始位
90H/12	收到广呼，接收到数据，返回 ACK	读数据	x	0	0	0	返回数据，返回 NACK
		读数据	x	0	0	1	返回数据，返回 ACK

98H/13	收到广呼，接收到数据，返回 NACK	读数据	0	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。
		读数据	0	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。
		读数据	1	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。当总线空时再发送起始位
		读数据	1	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。当总线空时再发送起始位
A0H/14	在作为从机模式时，收到停止位或者重复起始位	无操作	0	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。
		无操作	0	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。
		无操作	1	0	0	0	切换到未找到从机模式，不再识别寻址和广呼。当总线空时再发送起始位
		无操作	1	0	0	1	切换到未找到从机模式，支持识别寻址和广呼。当总线空时再发送起始位

21.5.5 其他状态

表 52 其他状态

I2CSTA 寄存器数值	I2C 状态	软件响应					I2C 下一动作
		I2CDAT	I2CCON				
			STA	STO	SI	AA	
38H/07	仲裁丢失	无操作	0	0	0	x	I2C 总线释放
		无操作	1	0	0	x	当总线空闲时再次发送起始位
F8H/1F	等待	无操作	无操作				等待当前传输完成
00H/00	总线错误	无操作	0	1	0	x	只有在主机传送或者寻址的从机模式时有效，总线被释放同时 I2C 切

							换到未被寻址的从机， STO 自动清零
--	--	--	--	--	--	--	------------------------

21.5.6 中断产生

I2C 在进入前面列举的状态时都会发生，除了 F8H 状态以外。中断标志位 SI 必须通过软件写 0 来清除，写 1 无效。

21.5.7 SMBus 扩展

I2C 模块支持 SMBus 扩展，提供时钟低电平超时检测(Tout)，支持字节内的时钟累计超时检测(Tmext)以及起始和终止位之间的累计超时检测(Tsext)，分别对应超时寄存器 TOUT, TMEXT, TSEXT。

可以通过 SMB_SEL 选择各个超时计数器配置。超时时间的计算可以通过如下方程式计算：

例：当 fclkper=24Mhz, 时，如果希望 Tmext=5ms, Tsext=25ms, Tout=35ms, 那么可以根据公式计算出 TMEXT=118, TSEXT=586, TOUT=821.

21.5.8 停机唤醒

I2C 唤醒 MCU 电路用于退出系统的停机状态，其包主要含地址接收和地址匹配模块。停机模式下，唤醒电路接收主设备发送的数据，并将接收的字节与设备地址进行比较，若两者匹配则进行系统唤醒。一旦地址匹配，产生 I2C 中断，唤醒 MCU 控制器，系统恢复正常工作，并使能 I2C 的门控时钟用于 I2C 的正常通信。

主要有以下几个步骤：

- 1、接收地址，I2C 地址接收模块接收主机发来的地址。
- 2、地址匹配，I2C 地址接收模块将接收到的地址送到地址匹配电路，地址匹配电路将 I2C 接收的地址与 MCU 控制器的 I2C 地址进行比较。
- 3、产生中断，所述 I2C 地址接收模块将接收到的地址与 MCU 控制器的 I2C 地址匹配 则产生中断，否则不产生中断。
- 4、唤醒 MUC，中断送到中断控制模块，然后唤醒 MCU 控制器。
- 5、恢复工作，MCU 控制器过时钟门控模块打开时钟，系统恢复正常工作，并清除地址匹配中断，启动 I2C 通信模块开始进行 I2C 通信。

在进入 Stop 模式前，必须先把地址匹配唤醒模块使能，即置位 I2CSTPEN.0。系统唤醒后，关闭该唤醒模块，即清 I2CSTPEN.0，并软件清除 I2C 的中断标志位 I2CCON.3，其后续的正常通讯由 I2C 完成。

22. 串行外设接口 SPI

串行外设接口（SPI）提供访问一个全双工同步串行总线或半双工同步串行总线的的能力。SPI 可以作为主机或从机工作，可以使用全双工方式或半双工方式，并可在同一总线上支持多个主机和从机。工作在从方式或多主机方式时，从选择信号（NSS）只能被配置为输入。多主机环境中通过检测 NSS 信号为低时禁止主方式操作，以避免两个以上主机试图同时进行数据传输而发生总线冲突。工作在单主机时，主机方从选择信号 NSS 不被 SPI 使用，当普通 IO 使用。

22.1 基本特征

- ◇ 可选择主从机方式。
- ◇ 支持全双工方式和半双工方式。
- ◇ 支持多主机通信，有检测主机冲突功能。
- ◇ 可配置波特率大小。
- ◇ 时钟极性和相位可配置。
- ◇ 数据高低位优先发送可选择。
- ◇ 主从机数据单线传输功能。

22.2 工作模式

正常工作模式下和待机模式下 SPI 均可正常工作，产生中断。
停机模式下，SPI 被禁止。

22.3 功能框图

功能框图如下：

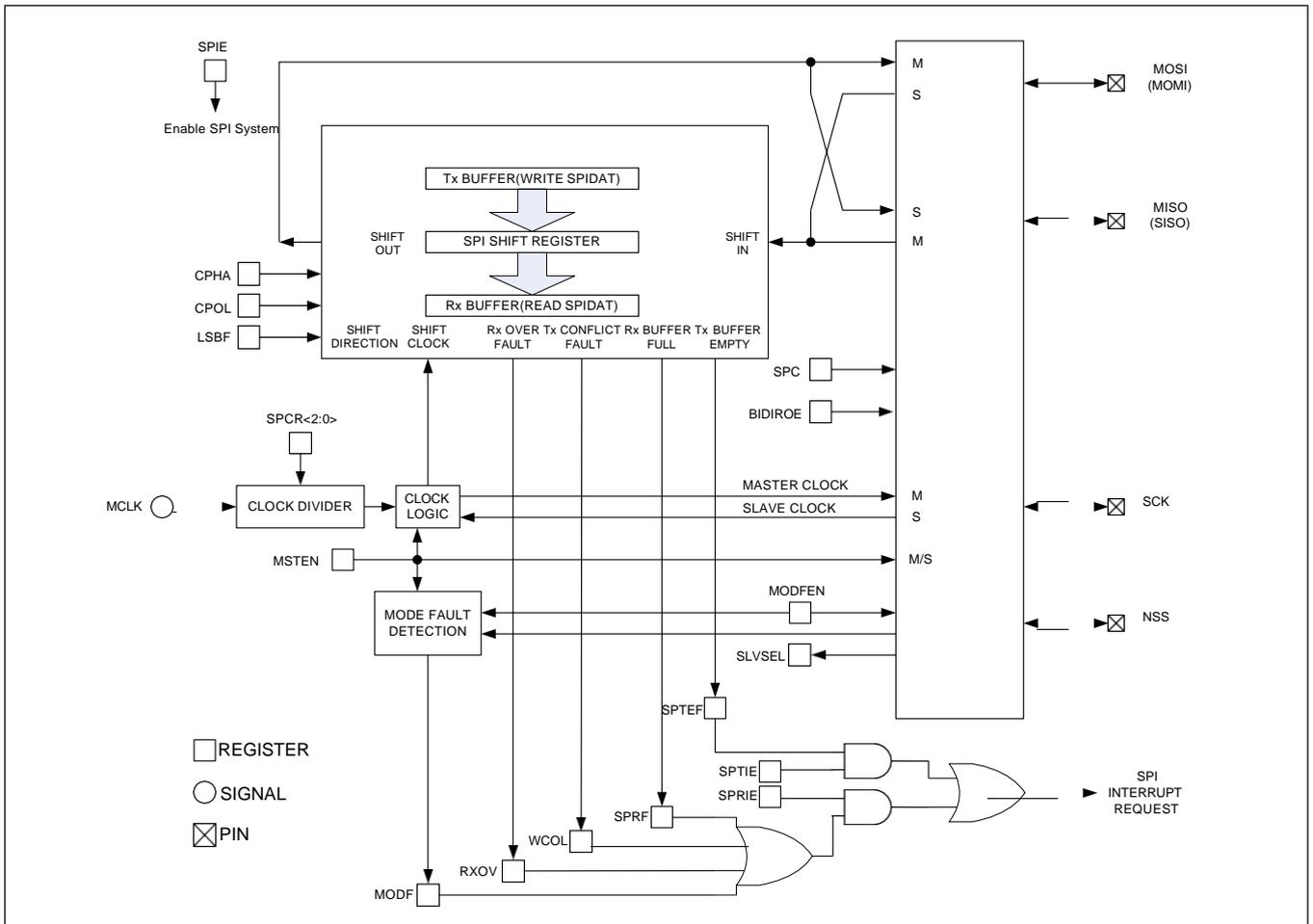


图 45 SPI 功能框图

22.4 管脚配置

SPI 模块用到 4 个外部复位脚，其配置如下表。

表 53 SPI 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
NSS	I/O	SPI 接口使能脚。	P1.5	SPIEN (IOMUX0.3) 置 1。
MOSI	I/O	SPI 接口主出从入脚。	P0.0	
MISO	I/O	SPI 接口主入从出脚。	P0.1	
SCK	I/O	SPI 接口时钟脚。	P1.0	

22.5 寄存器说明

与 SPI 相关的寄存器如下：

表 54 SPI 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
SPICON0	SPI 控制寄存器 0	√	R/W	0000_0000B	F8H
SPICON1	SPI 控制寄存器 1	x	R/W	00uu_u000B	F9H
SPIFLG	SPI 标志寄存器	x	R/W	uu01_0000B	FAH
SPIDAT	SPI 数据寄存器	x	R/W	0000_0000B	FBH
IOMUX0	IO 复用控制寄存器 1	x	R/W	0000_0000B	FFE0H

SPI 控制寄存器 0 SPICON0 (F8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPIE	MSTEN	LSBF	SPC ^①	BIDIROE ^②	MODFEN ^③	SPTIE ^④	SPRIE ^⑤
位 地 址:	FFH	FEH	FDH	FCH	FBH	FAH	F9H	F8H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7** SPIE: SPI 模块使能位。
 0: 禁止 SPI 模块 (默认)。
 1: 使能 SPI 模块。
- Bit6** MSTEN: 主从机方式选择位。
 0: 工作在从机方式 (默认)。
 1: 工作在主机方式。
- Bit5** LSBF: 低位优先发送使能位。
 0: 高位优先发送 (默认)。
 1: 低位优先发送。
- Bit4** SPC: SPI 工作方式选择位。
 0: 选择全双工方式 (默认)。
 1: 选择半双工方式。
- Bit3** BIDIROE: 半双工方式时 MOMI 或 SISO 输入输出控制位。
 0: MOMI 或 SISO 设置成输入 (默认)。
 1: MOMI 或 SISO 设置成输出。
- Bit2** MODFEN: 多主机方式冲突检测使能位。
 0: 多主机方式冲突检测输入禁止, NSS 做普通 IO (默认)。
 1: 多主机方式冲突检测输入使能。
- Bit1** SPTIE: SPI 发送缓冲器空中断使能位。
 0: 禁止 SPTEF 中断 (默认)。
 1: 允许 SPTEF 申请中断。
- Bit0** SPRIE: SPI 中断使能位 (相对于 SPRF、RXOV、WCOL、MODF)。
 0: 禁止中断 (默认)。
 1: 允许中断。

注 1:	SPC=1 时选择半双工方式。此时, 当 MSTEN = 0 (从机方式) 时, MISO 变为 SISO 做双向数据传输, MOSI 不被 SPI 使用做普通 IO。当 MSTEN = 1 (主机方式) 时, MOSI 变为 MOMI 做双向数据传输, MISO 不被 SPI 使用, 做普通 IO。
注 2:	只有当 SPC=1 时, BIDIROE 才有效, 用来决定 MOMI 和 SISO 的输入输出属性。
注 3:	SPI 配置成主机时, NSS 被设置成多主机方式冲突检测输入脚。当 SPI 配置成从机时, 该位无效。
注 4:	当发送缓冲区为空即 SPTEF=1 时, 申请中断。
注 5:	SPRIE 位用来控制 SPRF、RXOV、WCOL、MODF。

SPI 控制寄存器 1 SPICON1 (F9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CPOL	CPHA	NSS_CON	—	—	SPCR[2:0]		
访问权限:	R/W	R/W	R/W	R	R	R/W	R/W	R/W
复 位 值:	0	0	0	U	U	0	0	0

提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;
------	--

- Bit7 CPOL: SPI 时钟 (SCK) 极性选择位。
 0: SCK 空闲状态时处于低电平 (默认)。
 1: SCK 空闲状态时处于高电平。
- Bit6 CPHA: SPI 时钟相位控制位。
 0: 在 SCK 周期的第一个边沿锁存数据 (默认)。
 1: 在 SCK 周期的第二个边沿锁存数据。
- Bit5 NSS_CON: NSS 软件控制使能
 0: NSS 由控制器产生, 每发送或接收完一字节 NSS 电平拉高。
 1:
 作为主机: NSS 所对应的脚 P1.5 做为 GPIO 由用户控制 NSS 的状态, 不受控制器影响。 作为从机: SPI 默认选中(芯片内部固定为 0), P1.5 不做为 NSS 功能脚, 而复用成 GPIO 使用。
- Bit4~ Bit3 未实现位。
- Bit2~Bit0 SPCR[2:0]: SPI 时钟频率选择位。
 000: MCK/2 (默认)。
 001: MCLK/4。
 010: MCLK/8。
 011: MCLK/16。
 100: MCLK/32。
 101: MCLK/64。
 110: MCLK/128。
 111: MCLK/256。

SPI 标识寄存器 SPIFLG (FAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	SPRF ^①	SPTEF ^②	RXOV	WCOL	MODF	SLVSEL
访问权限:	R-0	R-0	R	R	R/W	R/W	R/W	R
复 位 值:	U	U	0	1	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7~ Bit6 未实现位。
- Bit5 SPRF: 接收缓冲器满标志位。
 0: 在接收缓冲器中没有数据。
 1: 在接收缓冲器中有新数据。
- Bit4 SPTEF: 发送缓冲区空标志位。
 0: 在发送缓冲器中有数据。
 1: 在发送缓冲器中没有数据。
- Bit3 RXOV: 接收缓冲器溢出标志位。
 当接收缓冲器里数据未读走即 SPRF = 1, 而传输移位寄存又接收完一个新数据时 RXOV 置 1, 原来的数据被覆盖。当读到 RXOV 为 1 后, 该位才能软件清零。当 SPIE=0 时, 此标志位被复位。
- Bit2 WCOL: 写冲突标志位。
 当发送缓冲器里还有数据未发送即 SPTEF=0, 而又向发送缓冲器写数据时 WCOL 置 1。当读到 WCOL 为 1 后, 该位才能软件清零。当 SPIE=0 时, 此标志位被复位。
- Bit1 MODF: 多主机方式冲突标志位。

当检测到主方式冲突（SPI 设置在全双工多主机方式，NSS 有低电平输入）时，MODF 置 1。当读到 MODF 为 1 后，该位才能软件清零。当 SPIE=0 时，此标志位被复位。

Bit0 **SLVSEL**: 从选择标志位。
 当 NSS 引脚为低电平时该位被置 1，表示从机是被选中。当 NSS 引脚为高电平时（从机未被选中）该位被清 0。该位不是 NSS 引脚的即时值，而是该引脚输入的去噪信号。当 SPIE=0 时，此标志位被复位。

注 1:	SPRF 置 1 表示 SPI 传输完成, 需要从数据寄存器 SPIDAT 中读数据。当读到 SPRF 为 1 后, 再读数据寄存器 SPIDAT, SPRF 被清零。当 SPIE=0 时, 此标志位被复位。
注 2:	当发送缓冲器为空时 SPTEF 置 1, 往发送缓冲器写数据后自动清零。当读到 SPTEF 为 1 后, 然后再写新的数据到 SPIDAT 在往 SPIDAT 写数据之前, 必须读到 SPTEF 为 1, 否则新写的数据会被忽略。当发送缓冲器的数据被移到传输移位寄存器时, SPTEF 自动置 1, 启动一个字节的传输。当 SPIE=0 时, 此标志位被复位。

SPI 数据寄存器 SPIDAT (FBH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	SPIDAT[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit0 **SPIDAT[7:0]**: 发送接收数据寄存器。
SPIDAT 用于发送和接收 SPI 传输数据。在主方式下, 向 **SPIDAT** 写数据时, 数据被放到传输移位寄存器时并启动发送, 在从方式下, 向 **SPIDAT** 写数据是预装要发送的数据。在主机或从机方式下, 读 **SPIDAT** 是返回接收缓冲器的数据。

管脚复用控制寄存器 IOMUX0 (FFE0H) ^{注1}

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMP0SEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit3 **SPIEN**: SPI 引脚复用控制信号
 0: P0.0, P0.1, P1.0, P1.5 做 GPIO 使用(默认)。
 1: 对应引脚复用成 SPI 功能脚
 MOSI >> P0.0, MISO >> P0.1, SCK >> P1.0, NSS >> P1.5

22.6 功能描述

22.6.1 信号说明

SPI 的全双工方式的接口: MOSI、MISO、SCK、NSS。半双工方式的信号线: MOMI, SISO, SCK, NSS, 其中 MOMI 与 MOSI 复用且只存在于主机方式, SISO 与 MISO 复用且只存在于从机方式。

✧ 串行时钟 (SCK)

串行时钟 (SCK) 信号是主机的输出和从机的输入, 用于同步主机和从机之间在 MOSI 和 MISO 线上的串行数据传输。当 SPI 作为主机时产生该信号。在从方式时, 当从机未被选中时 (NSS=1), SCK 信号被忽略。

✧ 主输出、从输入 (MOSI)

全双工模式 (SPC=0) 下, MOSI 用于从主机到从机的串行数据传输: 主机输出, 从机输入。

半双工模式 (SPC=1) 下, 作为主机时, MOSI 变为 MOMI, 其输入输出使能由控制位 BIDIROE 决定, 当 BIDIROE=0 时为输入, BIDIROE=1 则为输出。作为从机时, MOSI 不被 SPI 使用, 而是用作普通 IO。

◇ 主输入、从输出 (MISO)

全双工模式 (SPC=0) 下, MISO 用于从从机到主机的串行数据传输: 主机输入, 从机输出。半双工模式 (SPC=1) 下, 作为从机时, MISO 变为 SISO, 其输入输出使能由控制位 BIDIROE 决定, 当 BIDIROE=0 时为输入, BIDIROE=1 则为输出。作为主机时, MISO 不被 SPI 使用, 而是用作普通 I/O。

◇ 从选择 (NSS)

这是一个用于选择从机的可选管脚。

当工作在主机方式时, 如果 MODFEN = 0 时, NSS 作为从机选择输出位, 当与从机有数据传输的时候, 自动有效。如果 MODFEN = 1 且 SPC = 0 时, NSS 被配置成多主机方式冲突检测输入脚, 当 NSS 变低时, 表示产生主机冲突, MODF 置 1, 同时将 MSTEN 清零, SPI 变为从机方式, 并申请中断。

当工作在从机方式时, NSS 被配置成从机选择输入。当 NSS 变低时, 表示从机被选中准备与主机通信。

表 55 NSS 脚功能

SPIEN	MODFEN	SPC	主机方式 (MSTEN=1)	从机方式 (MSTEN=0)
0	X	X	普通 IO	普通 IO
1	0	0	从机选择输出	从机选择输入
1	0	1	从机选择输出	从机选择输入
1	1	0	多主机方式冲突检测输入	从机选择输入
1	1	1	普通 IO	从机选择输入

图 46~图 50 给出了不同方式下的典型连接图。

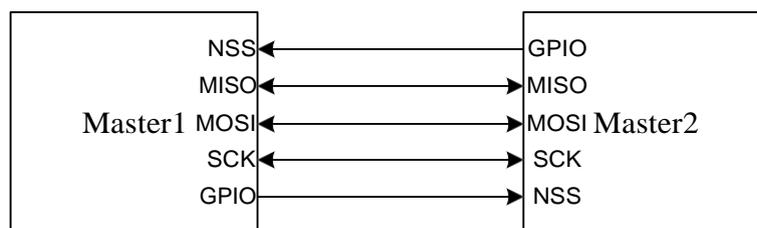


图 46 多主机连接图 (全双工方式)

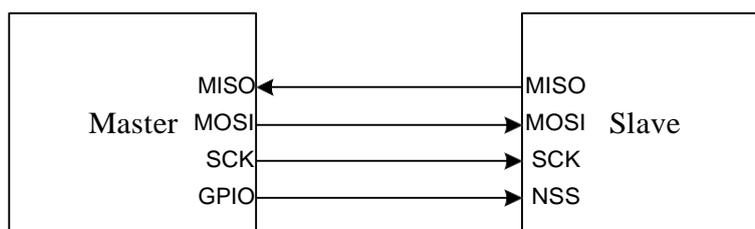


图 47 单主机和单从机连接图 (全双工方式)

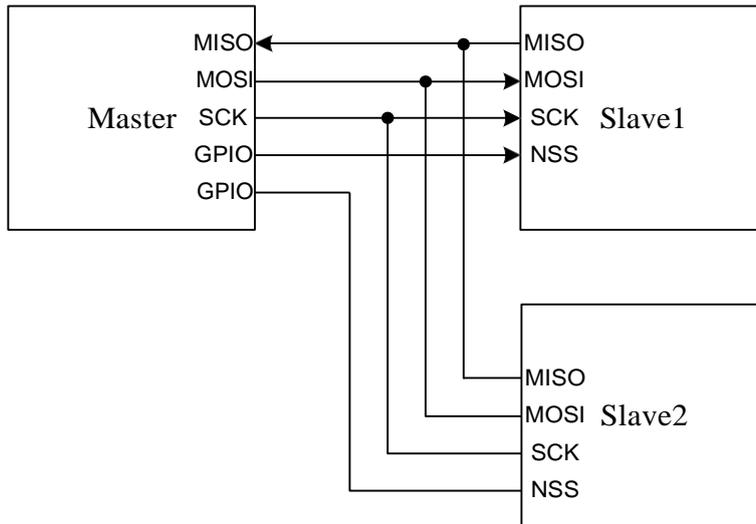


图 48 单主机和多从机连接图（全双工方式）

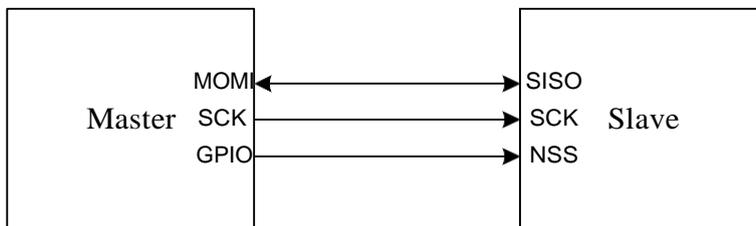


图 49 单主机和单从机连接图（半双工方式）

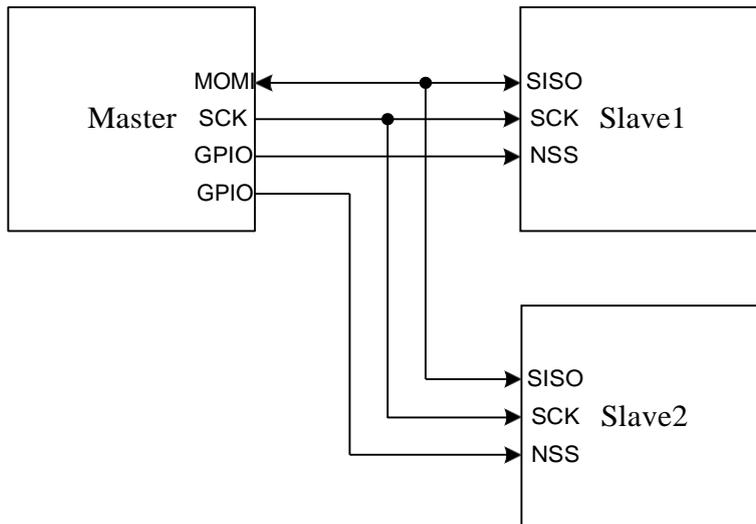


图 50 单主机和多从机连接图（半双工方式）

22.6.2 SPI 工作方式

◇ SPI 主方式

SPI 总线上的所有数据传输都由 SPI 主机启动。将 MSTEN 置 1，SPI 工作在主机方式。

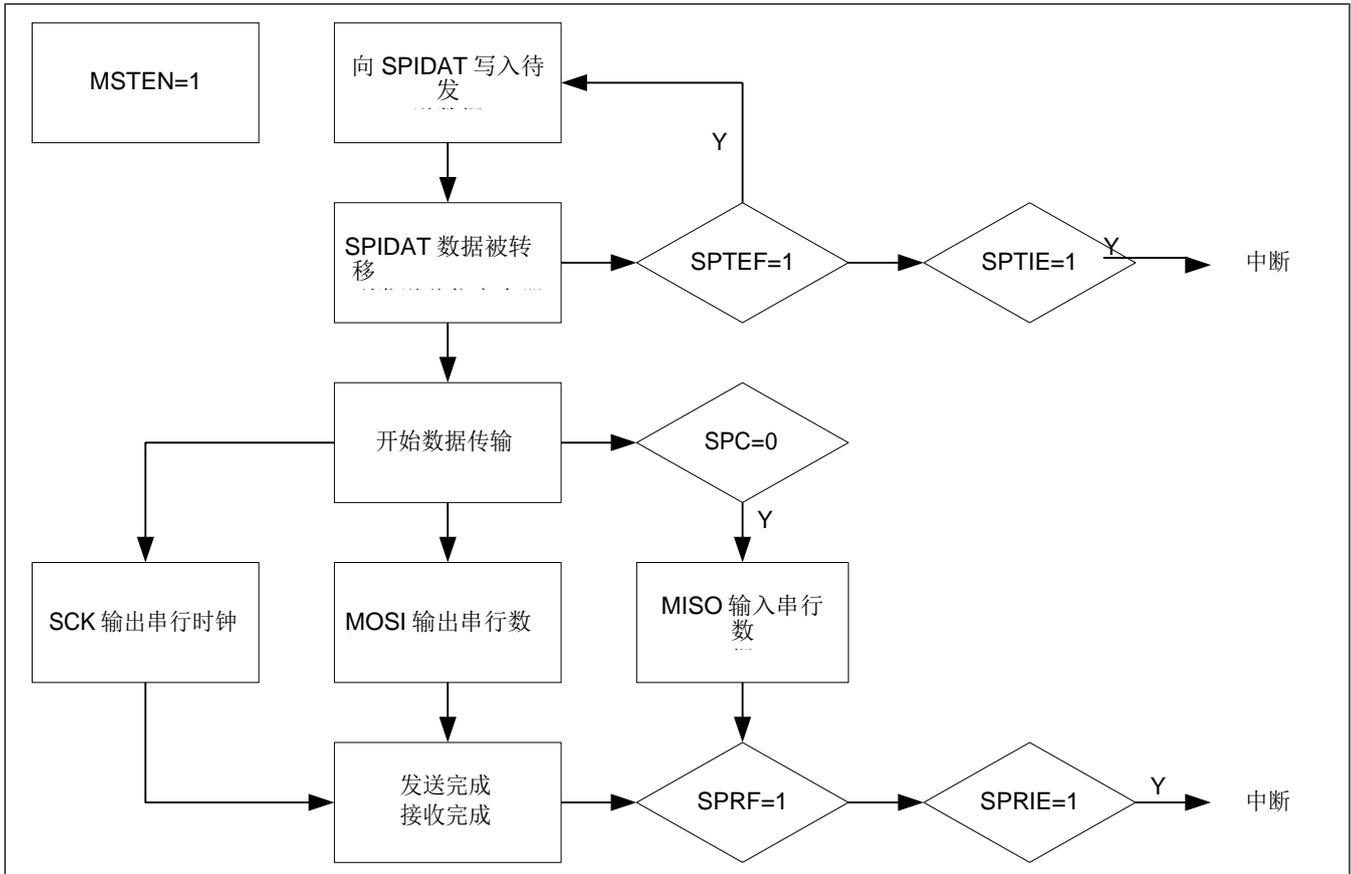


图 51 SPI 主机方式数据传输流程示意图

当处于主方式时，向 SPI 数据寄存器 SPIDAT 写入一个字节时是写发送缓冲器，随后 SPTEF 清零表示缓冲器有数据待发送。如果 SPI 传输移位寄存器为空，发送缓冲器的数据被传送到移位寄存器，数据传输开始，随后 SPTEF 置 1 表示发送缓冲器为空，可以向缓冲器中放下一个发送数据了，如果 SPTIE 为 1 时则申请中断。

数据被移到传输移位寄存器后，主机立即在 SCK 上输出串行时钟，同时在 MOSI 线上串行移出数据。如果 LSBF 为 1，移位寄存器的数据从低位开始发送；如果 LSBF 为 0，移位寄存器的数据从高位开始发送。

在全双工操作中，如果当主机在 MOSI 线上向从机发送数据时，被寻址的 SPI 从机可以同时在 MISO 线上向主机发送数据。在传输完成后，将接收到的数据从传输移位寄存器传到接收缓冲器，同时 SPRF 置 1，如果 SPI 中断允许则申请中断。因此 SPRF 标志即作为发送完成标志又作为接收数据完成标志。

SPI 可以工作在下面的三种主机方式：全双工多主机方式，全双工单主机方式和半双工单主机方式。当 SPC=0 且 MODFEN=1 时选择全双工多主机方式，数据输入输出分别在 MISO 和 MOSI 上传输，NSS 是输入脚，用于避免多主机同时启动传输而发生总线冲突。在该方式下，当 NSS 被拉为低电平时，MSTEN 被硬件清零，SPI 变为从机方式，同时 MODF 置 1，如果中断允许则申请中断。

当 SPC=0 且 MODFEN=0 时选择全双工单主机方式，数据输入输出分别在 MISO 和 MOSI 上传输，NSS 不被 SPI 使用，当普通 IO。

当 SPC=1 时选择半双工单主机方式，数据输入输出都在 MOMI（与 MOSI 复用）上传输，MISO 和 NSS 都不被 SPI 使用，当普通 IO。MODFEN 不起作用。在该方式下，MOMI 的输入输出由 BIDIROE 控制。当 BIDIROE=1 时，MOMI 作输出；当 BIDIROE=0 时，MOMI 作输入。在输出状态时，SPI 由写 SPIDAT 启动发送一个字节；在输入状态时，SPI 也由写 SPIDAT 来启动接收一个字节。

◇ SPI 从方式

将 MSTEN 置 0 时，SPI 工作在从机方式。

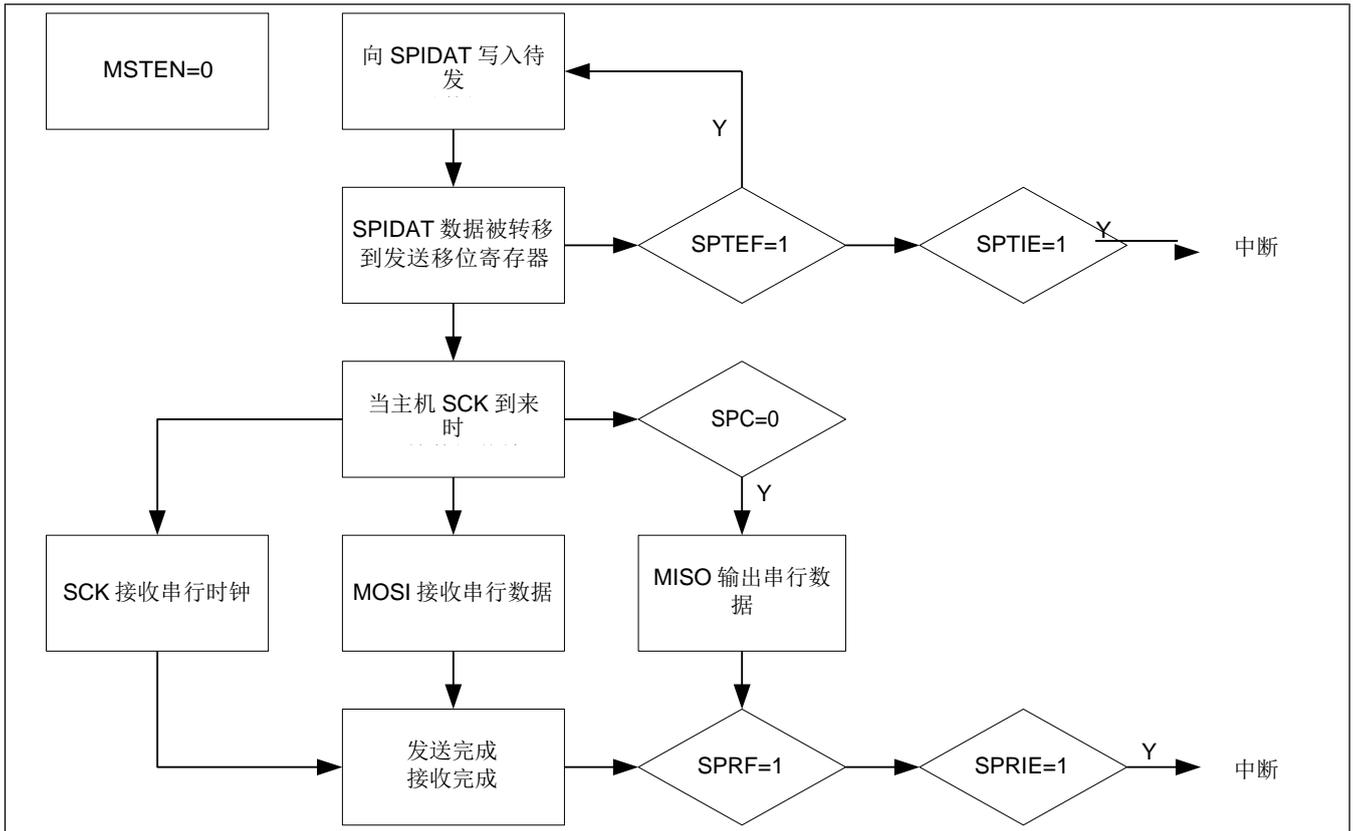


图 52 SPI 从机方式数据传输流程示意图

作为从机，SCK 由主机提供，从 MOSI 移入数据，从 MISO 移出数据。SPI 逻辑中的位计数器对 SCK 计数，当 8 位数据经过传输移位寄存器传输完成后，将数据传到接收缓冲器，同时 SPRF 置 1，如果 SPI 中断允许则申请中断。通过读 SPIDAT 寄存器来读取接收缓冲器中的数据。从机不能启动数据传输，通过写 SPIDAT 寄存器来预装要发送给主机的数据。写入 SPIDAT 的数据是双缓冲的，首先被放到发送缓冲器，随后 SPTEF 清零表示缓冲器有数据待发送。如果传输移位寄存器为空，发送缓冲器中的数据会立即被传送到传输移位寄存器，随后 SPTEF 置 1 表示发送缓冲器为空，可以向缓冲器中放下一个发送数据了，如果 SPTIE 为 1 时则申请中断。如果 LSBF 为 1，传输移位寄存器的数据从低位开始发送；如果 LSBF 为 0，传输移位寄存器的数据从高位开始发送。

注意：作为从机工作时，要发送的数据必须在一次传输之前写入 SPIDAT，在发送开始以后再写入的数据不会在当前字节传输过程从 MISO 端口输出。一次传输开始的概念：对于单次传输，指从机的 NSS 被拉低；对于连续传输，指上一个字节传输完成。

SPI 可以工作在下面的两种从机方式：全双工从机方式和半双工从机方式。当 SPC=0 时选择全双工从机方式，数据输入输出分别在 MOSI 和 MISO 上传输，NSS 作从机选择输入。当 NSS 为逻辑 0 时，SPI 被使能；当 NSS 为逻辑 1 时，SPI 被禁止。在 NSS 的下降沿，位计数器被复位。

当 SPC=1 时选择半双工从机方式，数据输入输出都在 SISO 上传输，NSS 作从机选择输入。在该方式下，SISO 的输入输出由 BIDIROE 控制。当 BIDIROE=1 时，SISO 作输出；当 BIDIROE=0 时，SISO 作输入。在输出状态时，需在主机启动传输之前将所要发送的数据放到 SPIDAT 寄存器中；在输入状态时，等待 SPRF 置 1 表示一个数据接收完成。当 NSS 为逻辑 0 时，SPI 被使能；当 NSS 为逻辑 1 时，SPI 被禁止。在 NSS 的下降沿，位计数器被复位。

22.6.3 中断源

如果 SPI 中断被允许，在下述 5 个标志位被置 1 时将产生中断。

SPI 中断使能分为如下 3 个层次：

- (1) 总使能开关 EA，位于寄存器 IE 的 bit7;
- (2) SPI 中断使能 ESPI0，位于寄存器 EIE1 的 bit0;
- (3) 标志位 SPRF、RXOV、WCOL、MODF 置位要产生中断请求，需将 SPRIE 置位；标志位 SPTEF 置位要产生中断请求，需将 SPTIE 置位。

下面分别描述各个标志位的置位、清零过程。

注意：下面的示意图均以 CPHA=1、CPOL=1，SCK 为外设时钟 PCLK 的 2 分频为例，来描述各标志位的置位、清零情况。其中，PCLK 为系统外设时钟，与系统主时钟 MCLK 同相，在 SLEEP 模式下并不停止。

1. 当一个字节传输完成，接收缓冲器满标志位 SPRF 置 1，如果 SPRIE=1，则申请中断。在软件读到 SPRF 为 1 后，再读 SPIDAT 寄存器时该标志位清零。该标志适用于所有方式。

（中断要求：只有软件读到 SPRF 为 1 后，并且清零，中断申请才停止，否则一直申请中断）注：原规格这样要求是防止在中断服务程序中，SPRF 在 SPIFLG 读出之后再置位，导致未被检测到而造成中断丢失。

现在增加 SPRIE 控制信号。进入中断服务程序以后，首先将 SPTIE 和 SPRIE 清零，再读 SPIFLG，处理对应中断。中断服务程序返回后，再打开 SPTIE 和 SPRIE，如果有在中断服务程序中未能被检测到的标志位为高电平，就会产生中断请求信号。（下面几个标志位同）

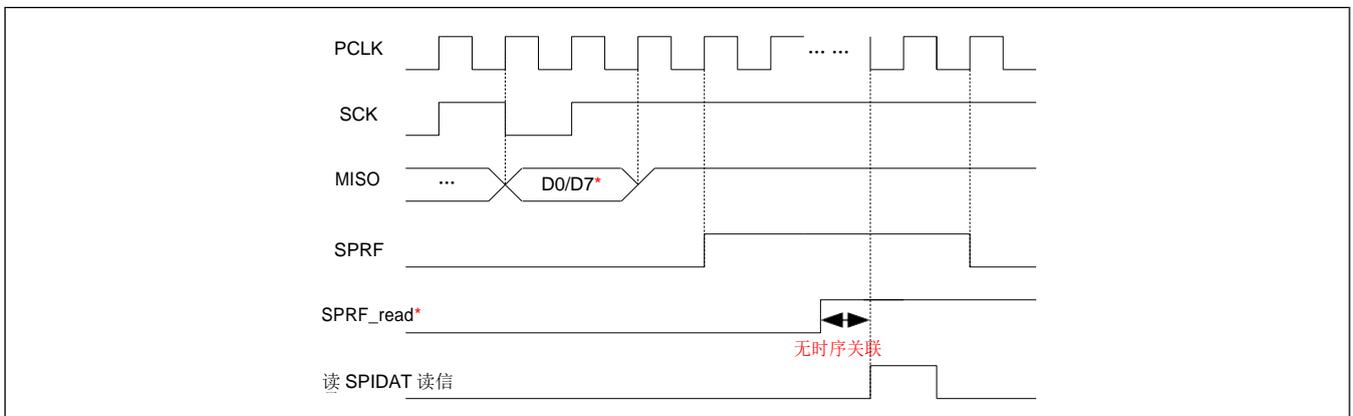


图 53 SPRF 置位/清零示意图

注：1) MISO 时序中，最后一个输入的数据由 LSBF=1/0 分别决定为 D7/D0；下同。

2) SPRF_read 是用软件读 SPRF 得到的控制位，只有此位为 1 后，再读 SPIDAT 方能将 SPRF 清零。因为 SPRF_read 是软件读出，这里没有明确跟时钟沿对应。

2. 当发送缓冲器由满变为空时，发送缓冲器空标志位 SPTEF 置 1。如果 SPTIE=1，则申请中断；如果 SPTIE=0，禁止中断。该标志适用于所有方式。（中断要求：当发送缓冲器由满变为空时产生中断，只有软件读到 1 后中断申请才停止，否则一直申请中断）同上。SPTEF 标志位在软件读到 1 后，对 SPIDAT 写数据，才会清零。

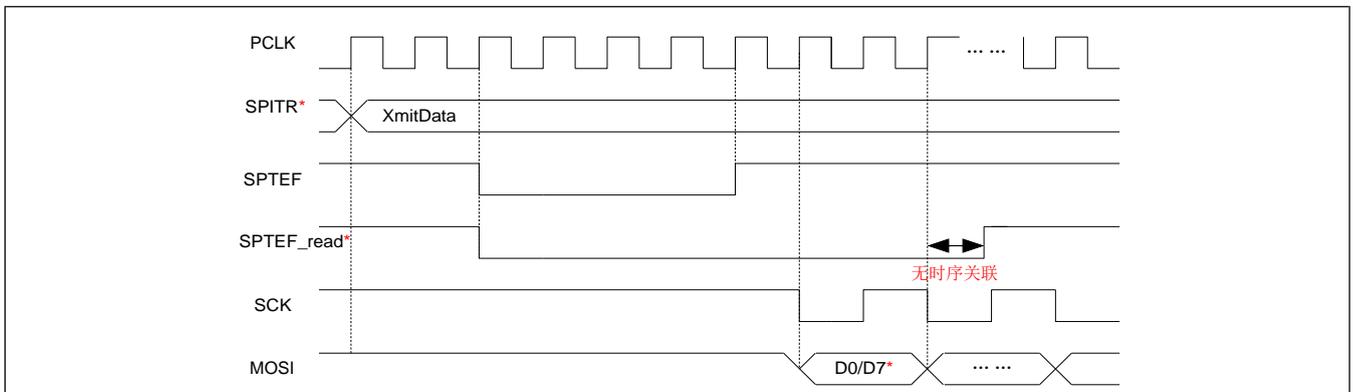


图 54 SPTEF 置位/清零示意图

注：1) SPITR 表示对 SPIDAT 写值，这个数据是将被发送的；

2) SPTEF_read 是用软件读 SPTEF 得到的控制位，只有此位为 1 后，再对 SPIDAT 写值方能将 SPTEF 清零。因为 SPTEF_read 是软件读出，这里没有明确跟时钟沿对应。

3. 当一次传输完成，接收缓冲器还保存着上次数据未被读取时，接收溢出标志位 RXOV 置 1，如果 SPRIE=1，则申请中断。该标志适用于所有方式。（中断要求：只有软件读到 RXOV 为 1 后，并且清零，中断申请才停止，否则一直申请中断）此标志位软件读到 1 写 0 才可以清零。

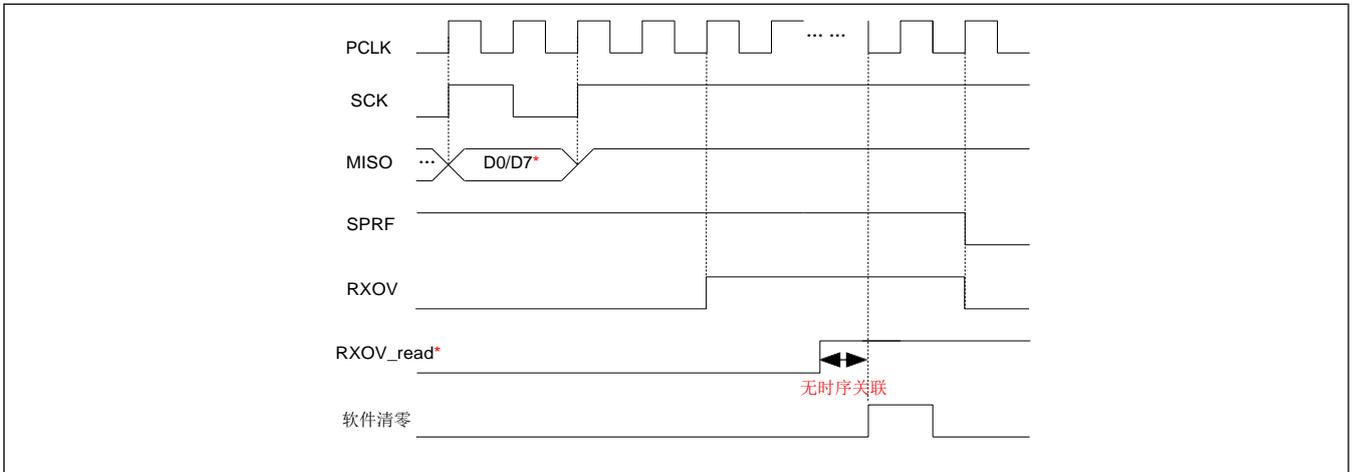


图 55 RXOV 置位/清零示意图

注：1) RXOV_read 是用软件读 RXOV 得到的控制位，只有此位为 1 后，再软件写 0 方能将 RXOV 清零。因 RXOV_read 是软件读出，这里没有明确跟时钟沿对应。

4. 当发送缓冲器里还有数据未移到传输移位寄存器，而又向发送缓冲器写数据时 WCOL 置 1，如果 SPRIE=1，则申请中断。该标志适用于所有方式。（中断要求：只有软件读到 WCOL 为 1 后，并且清零，中断申请才停止，否则一直申请中断）此标志位软件读到 1 写 0 才可以清零。

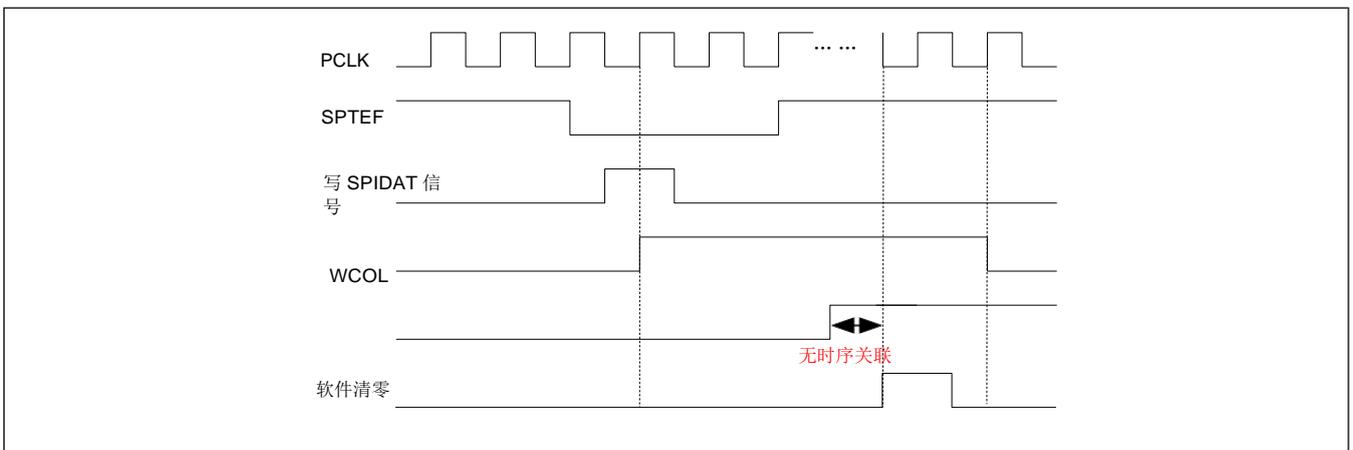


图 56 WCOL 置位/清零示意图

5. 当 MSTEN=1, SPC=0 且 MODFEN=1 时，SPI 被配置成全双工多主机方式，该方式下 NSS 被拉低时，同时 MSTEN 被硬件清零，SPI 变为从机方式，MODF 置 1，如果 SPRIE=1，则申请中断。（中断要求：只有软件读到 MODF 为 1 后，并且清零，中断申请才停止，否则一直申请中断）此标志位软件读到 1 写 0 才可以清零。

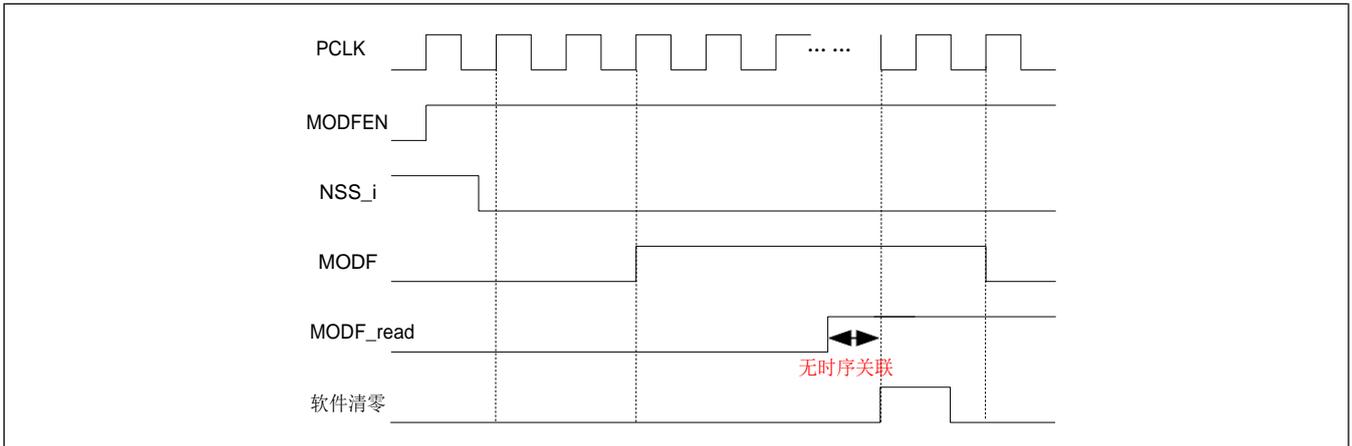


图 57 MODF 置位/清零示意图

注：当检测到 MODF 标志位置位（或者发生 MODF 中断），即系统检测到多主机模式错误，MSTEN 标志位被硬件清零，端口 SCK、MOSI 被自动设置为输入避免数据冲突。在 MODF 标志位被软件清零之前，SPI 不能进行数据传输，在开始新的传输过程前，必须将 MODF 清零，并用软件重新使能 SPI（先禁止再使能 SPIE）。

22.6.4 串行时序

SPI 可以通过时钟控制选择位 CPHA 和 CPOL 的配置成 4 种模式。CPHA 选择时钟相位，决定是第一个边沿锁存数据，还是第二个边沿锁存数据。CPOL 选择时钟极性，决定空闲时为高电平，还是空闲时为低电平。主机和从机必须配置为使用相同的时钟相位和极性。图 58 为主方式下时钟和数据线的时序关系。图 59 为从方式下的时钟和数据线的时序关系。

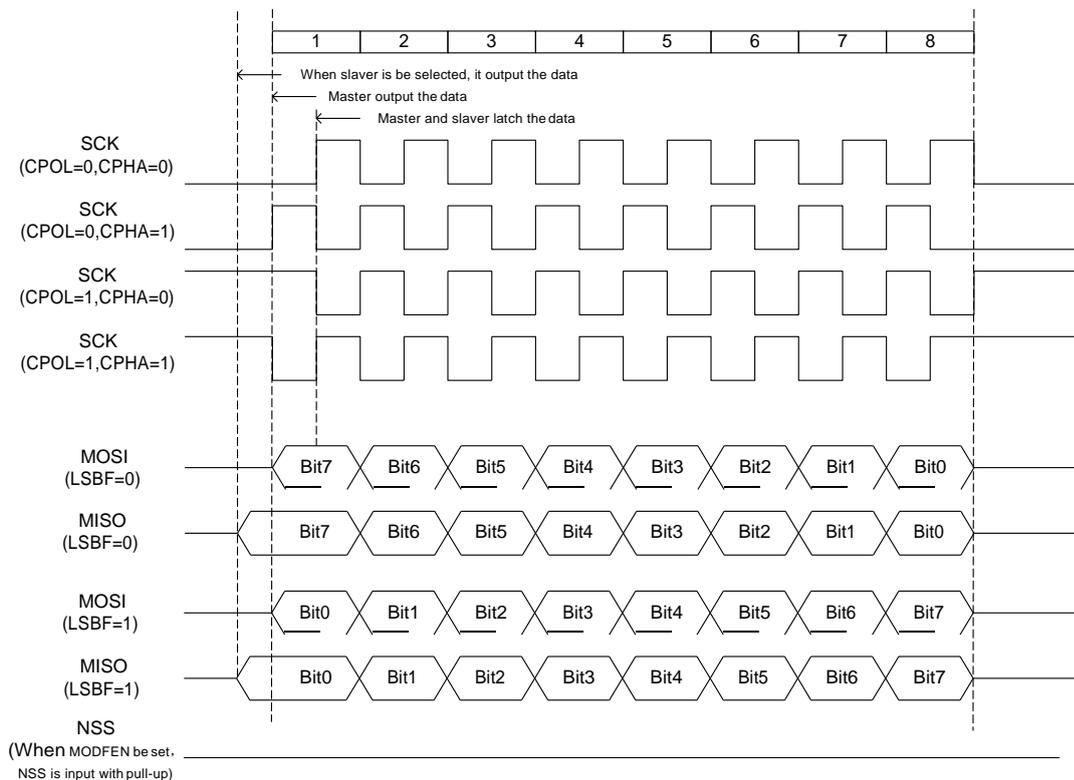


图 58 主方式数据和时钟时序图

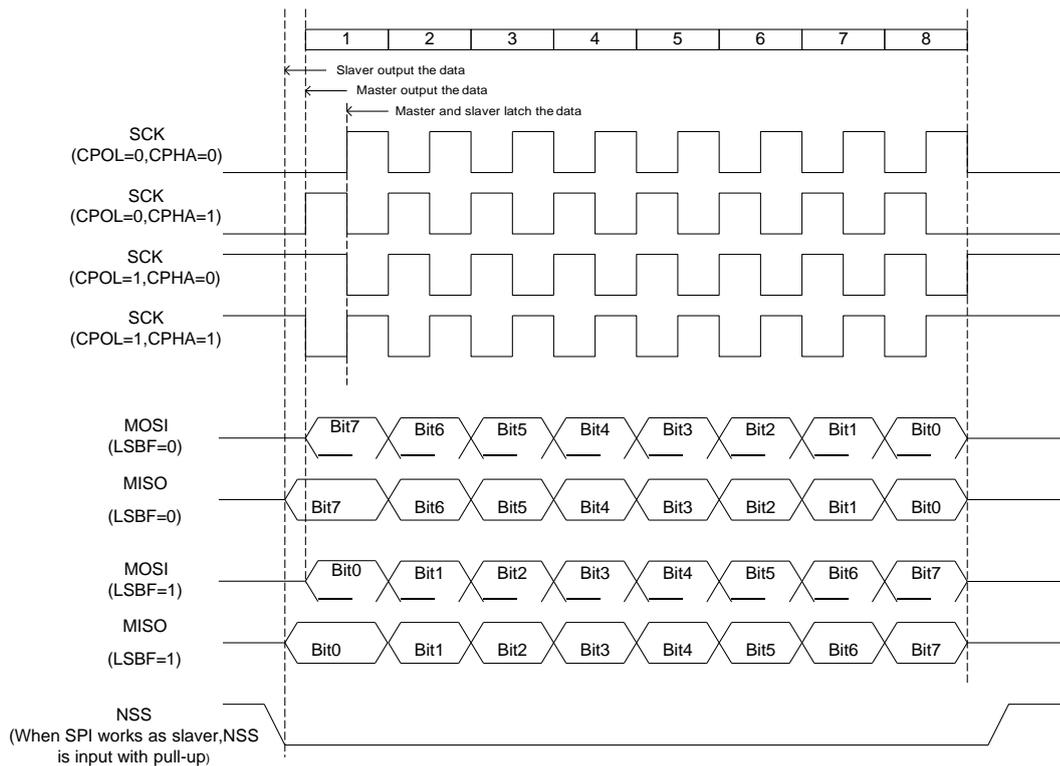


图 59 从方式数据和时钟的时序图

【说明】作为从机时，当NSS被拉低后，如果发送缓冲区不为空（SPTEF=0），则要发送数据的首位会立即输出到MISO端口。

22.6.5 波特率限制

作为主机时，其传输波特率由MCLK的分频来决定，分频系数SPCR[2:0]控制将MCLK分频作为SCK。由于需要采集SCK上升沿和下降沿，为了传输准确性SCK最快为MCLK的2分频。最慢则为256分频。当系统时钟为4MHz时，理论最快传输波特率达到2Mbps。**【注意】**此时需要从机响应时间（从接收到SCK有效沿，到发出有效数据时间）小于主机的一个MCLK周期，否则通信出错，主机接收到的数据发生移位。

作为从机时，传输波特率理论上由外部输入SCK频率来决定。由于是同步系统，需要用MCLK来同步外部输入的SCK，并捕获其上升沿和下降沿，因此外部输入SCK最快频率也要受限于MCLK频率，频率最高只能达到MCLK的4分频。详细分析参考下图。

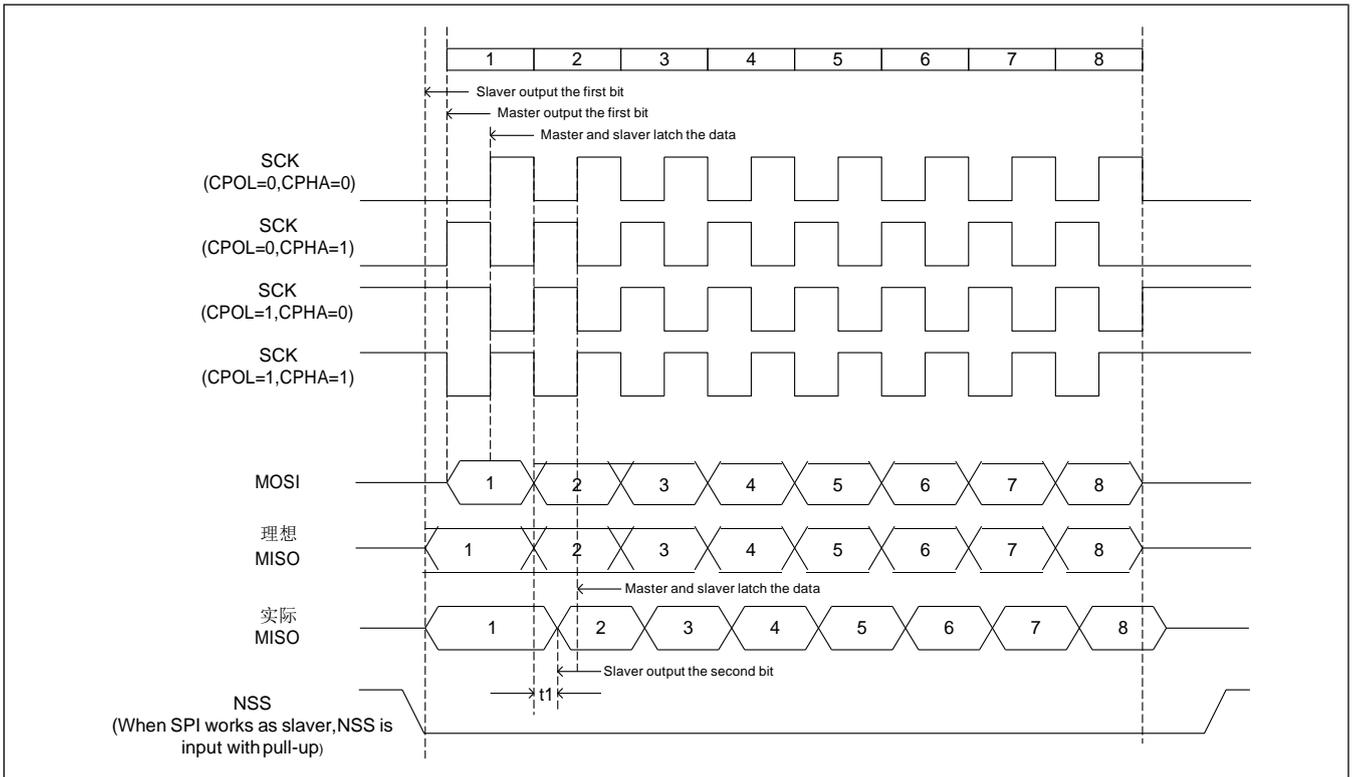


图 60 从方式波特率限制时序示意图

如上图所示：由于涉及到用内部 MCLK 同步 SCK，需要 1~2 个 MCLK 周期；另外需要采集 SCK 沿，也需要 1 个 MCLK 周期；因此实际从机输出 MISO 与理想状况下相比要滞后 t_1 时长， $t_1 \leq 3 \cdot TMCLK$ 。为保证数据锁存正确性，此数据输出沿必须在主机锁存数据时钟沿之前，因此外部 SCK 频率至少要为 MCLK 的 4 分频。也就是说，当 MCLK=4MHz 时，SPI 从机传输最大波特率为 1Mbps。

具体时钟参数请参考下面的图表。

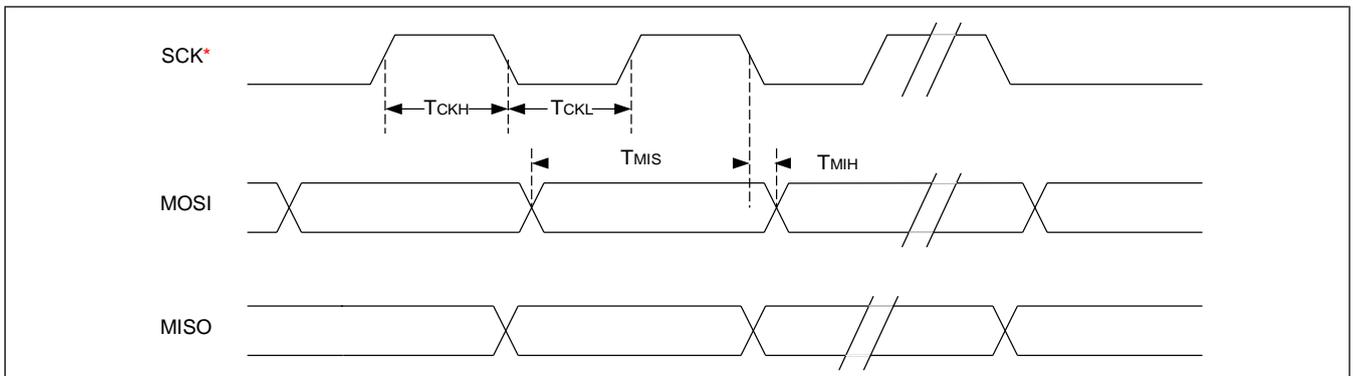


图 61 SPI 主机方式时序要求 (CPHA=0)

* 这是对应 CPOL=0 时的 SCK 波形，对于 CPOL=1，SCK 波形极性反相。

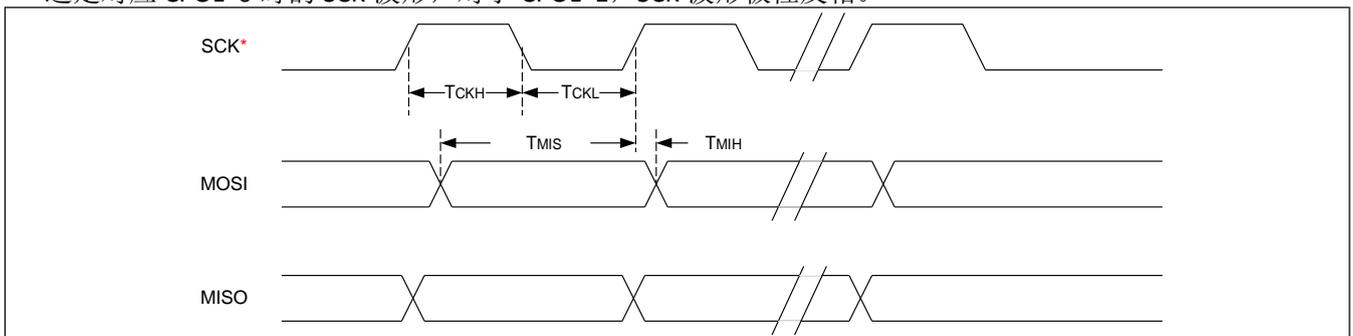


图 62 SPI 主机方式时序要求 (CPHA=1)

* 这是对应 CPOL=0 时 SCK 的波形, CPOL=1 时, SCK 波形极性反相。

表 56 SPI 主方式时序参数

参数	说明	最小值	最大值	单位
主机方式时序				
T_{MCKH}	SCK 高电平时间	$1 * T_{MCLK}$		ns
T_{MCKL}	SCK 低电平时间	$1 * T_{MCLK}$		ns
T_{MIS}	MISO 有效到 SCK 移位边沿	$1 * T_{MCLK} + 20$		ns
T_{MIH}	SCK 移位边沿到 MISO 发生改变	0		ns

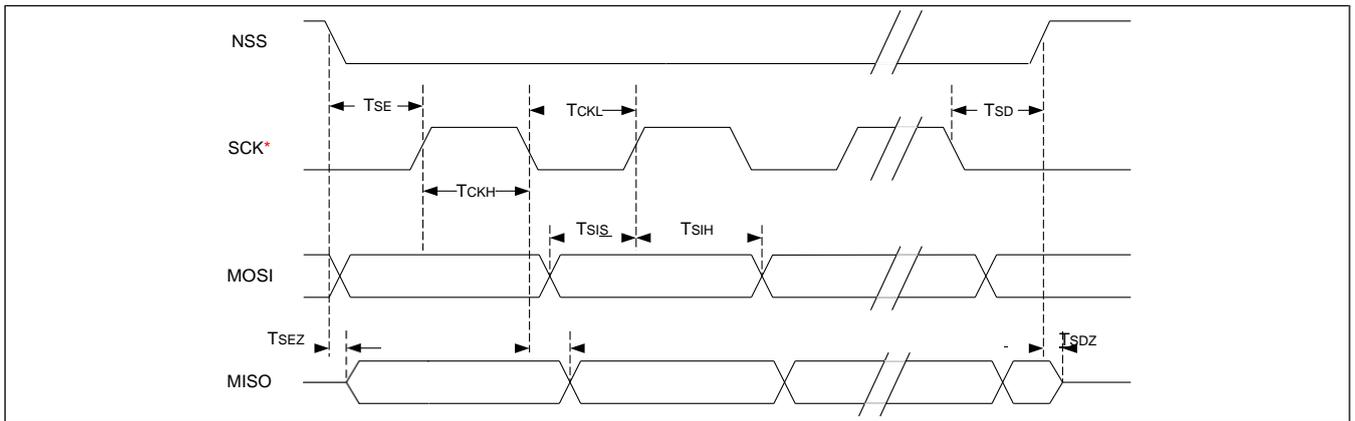


图 63 SPI 从机方式时序要求 (CPHA=0)

* 这是对应 CPOL=0 时的 SCK 波形, 对于 CPOL=1, SCK 波形极性反相。

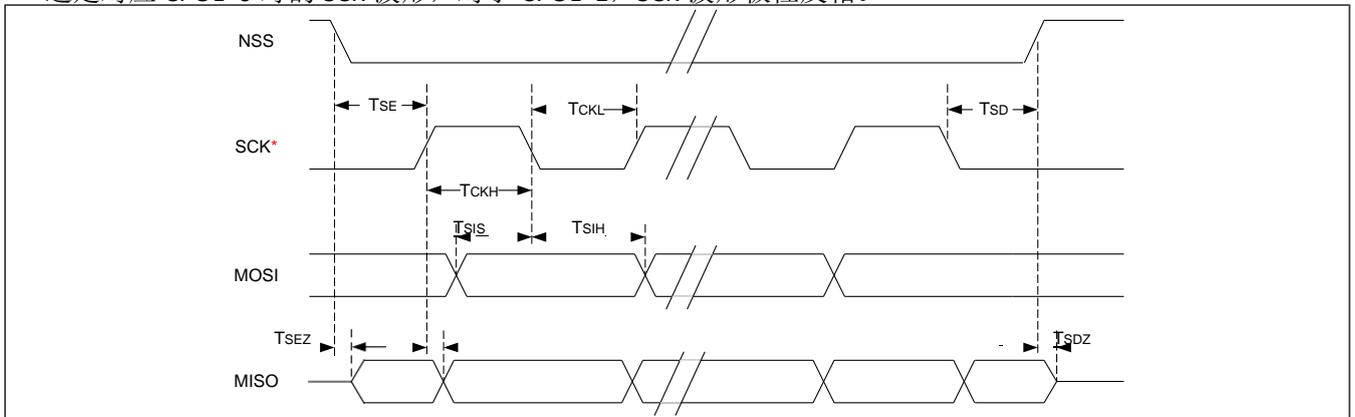


图 64 SPI 从机方式时序要求 (CPHA=1)

* 这是对应 CPOL=0 时 SCK 的波形, CPOL=1 时, SCK 波形极性反相。

表 57 SPI 从方式时序参数

参数	说明	最小值	最大值	单位
从方式时序 (见图 19-19 和图 19-20)				
T_{SE}	NSS 下降沿到第一个 SCK 边沿	$2 * T_{MCLK}$		ns
T_{SD}	最后一个 SCK 边沿到 NSS 上升沿	$2 * T_{MCLK}$		ns
T_{SEZ}	NSS 下降沿到 MISO 有效		$4 * T_{MCLK}$	ns
T_{SDZ}	NSS 上升沿到 MISO 变为高阻态		$4 * T_{MCLK}$	ns
T_{CKH}	SCK 高电平时间	$4 * T_{MCLK}$		ns

T_{CKL}	SCK 低电平时间	$4 * T_{MCLK}$		ns
T_{SIS}	MOSI 有效到 SCK 采样边沿	$2 * T_{MCLK}$		ns
T_{SIH}	SCK 采样边沿到 MOSI 发生改变	$2 * T_{MCLK}$		ns
T_{SOH}	SCK 移位边沿到 MISO 发生改变		$3 * T_{MCLK}$	
注: T_{MCLK} 为系统时钟 (MCLK) 周期。				

22.7 使用提示

- ◇ SPI 模块禁止会复位 SPIFLG 寄存器标志位，并清空发送/接收缓冲区数据。
- ◇ SPI 模块使能以后，作为主机使用时：只要满足 SPTEF=0（表明发送缓存不为空）就可以启动传输。则主机的从机选择信号 NSS 须在此之前由软件设置好，设置方法同 GPIO，且在多从机应用时不局限于 NSS 这一个引脚。
- ◇ SPI 作为主机使用，停止传输过程的方法是在最后一个想要发送的数据从发送缓冲区载入移位寄存器以后，读一次 SPIFLG（清除 SPTEF 引起的中断），而不对 SPIDAT 写值。
- ◇ SPI 作为从机使用时：当 NSS 被拉低，从机就进入传输等待状态，等 SCK 到来时在对应时钟沿从主机接收数据。
- ◇ 从机 NSS 被拉低时 SPTEF=0（表示从机发送缓冲区中有数据），则 3 个 MCLK 周期以后会将此数据载入发送移位寄存器，且数据的首位（最高位还是最低位由 LSBF 来控制）会同时输出到 MISO 端口，等待主机的 SCK 对应沿来锁存数据。从机后面的 7bit 数据发送、锁存分别由 SCK 的不同沿来触发，但是发送、锁存时间分别滞后最多 2 个 MCLK 周期。使用时必须保证从机发送的有效数据在主机的锁存沿之前。

23. ADC 控制器

12 位 AD 转换器主要用于对外部模拟信号进行采集,以实现系统状态检测并实施反馈控制。ADC 转换输入支持 14 路复用,其中外部 10 个 (P0.0~P0.7,P1.0/P1.1) 输入通道, 6 路给内部。由程序选择其中的一个通道输入转换信号, 结果保存在两个 8Bit 的寄存器中。转换时钟有 4 个时钟源可选。参考电压可以直接采用内部电源电压 VDD 或固定参考电压 VRH, 亦可由外部管脚 (P1.3) 输入, 支持不同的触发模式: 软件模式、外部引脚触发、定时器 T0~T2 触发、高级定时器 T3 触发以比较器触发, 同时支持全速模式。

23.1 基本特征

- ◇ 线性逐次比较结构实现 12 位转换精度
- ◇ 最大 14 路模拟通道
- ◇ 转换结果 12bit, 左右对齐格式可选
- ◇ 转换结束标志可产生中断
- ◇ 4 种转换时钟源选择
- ◇ 典型转换速率 1Msps VDD >=4.5V
- ◇ 内部带隙基准电压输入通道, 可实现电池电压检测;
- ◇ 支持多种工作模式: 软件模式, 外部触发模式(包括引脚、T0~T3、比较器)和全速模式;
- ◇ 支持阈值比较功能;

23.2 功能框图

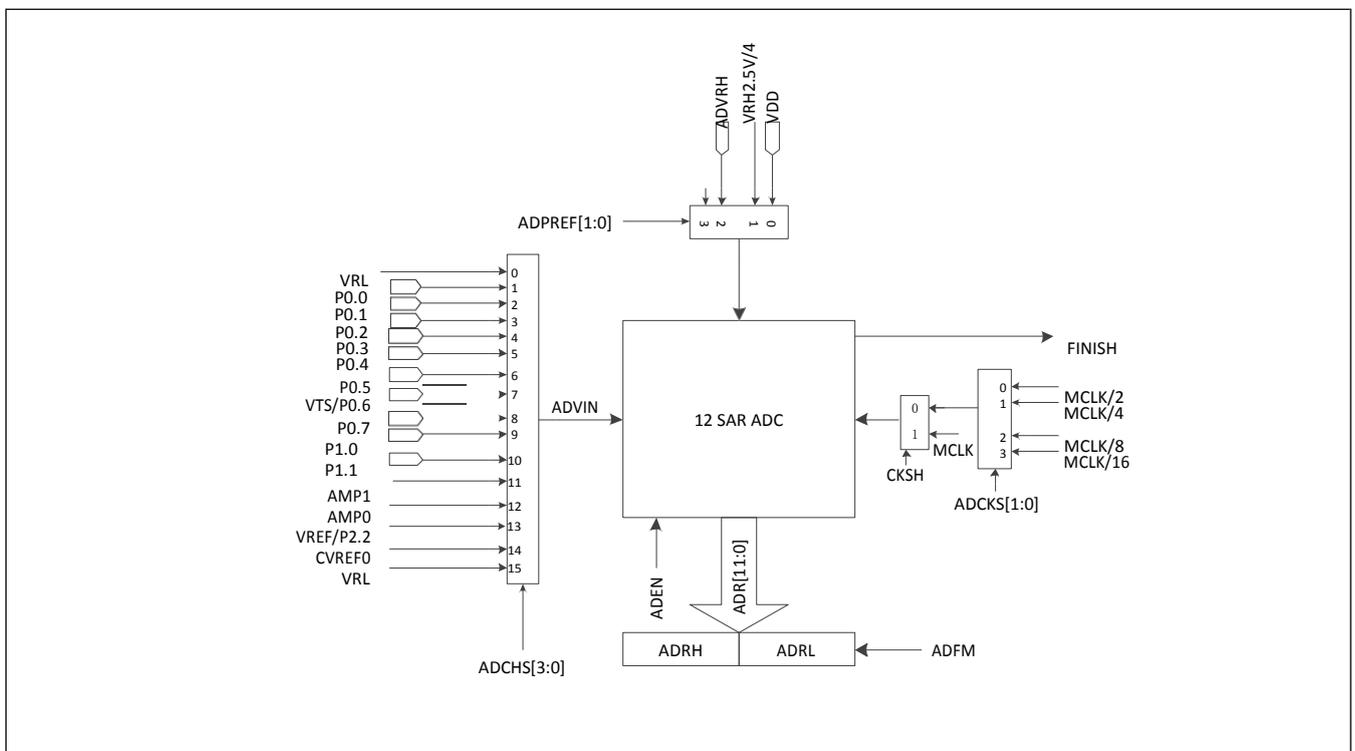


图 65 ADC 结构框图

23.3 管脚配置

ADC 模块跟 11 个管脚复用，具体配置见下表：

表 58 ADC 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
AD1~AD10	I	模拟信号输入	P0.0~P0.7, P1.0/P1.1	由 POAEN 和 P1AEN 控制
VTS	I/O	外部温度传感器电压	P0.6	由 POAEN[6]和 VTSEN 控制。 VTSEN=0, POAEN[6]==1 时候, 采样外部电压; VTSEN=1 时, 采样内部温度传感器。
VREF	I/O	VBG 参考电压输出	P2.2	由 P2AEN[2]和 VROE 控制。 当 VROE=1'b1, P2AEN[2]=1'b0 时, 采样 VREF; 当 VROE=1'b0, P2AEN[2]=1'b1 时, 采样外部输入电压。
ADVRH	I/O	外部参考电压输入/滤波电容/VRH 输出	P1.3	由 ADPREF[1:0]控制;
ADCTRIG	I	外部引脚触发输入	P0.4/P1.3	由 P0MDH/P1MDL 和 EXTSEL 控制。

23.4 寄存器说明

ADC 相关寄存器如表 59 所示。

表 59 ADC 器寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
ADCON	ADC 控制寄存器	√	R/W	0000_0u00B	D8H
ADRL	ADC 转换结果寄存器低位	x	R	xxxx_xxxxB	D9H
ADRH	ADC 转换结果寄存器高位	x	R	xxxx_xxxxB	DAH
CMPDATA	ADC 比较值高 8 位	x	W	xxxx_xxxxB	DAH
ADCSPD	ADC 速度配置寄存器	x	R/W	0000_0000B	FF9EH
ADCTRG	ADC 触发配置寄存器	x	R/W	u000_0000B	FFABH
ADCPLY	ADC 触发时延配置寄存器	x	R/W	0000_0000B	FFACH
ADMOD	ADC 工作模式控制	x	R/W	0000_0000B	FFADH
ADCFG	ADC 配置寄存器	x	R/W	0000_0000B	FFAEH

ADC 寄存器详细描述如下：

ADC 控制寄存器 ADCON (D8H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CHS				ADEN	ADGO	INTS	ADENTRG
访问权限:	W/R	W/R	W/R	W/R	W/R	R/W	R/W	R/W
复位值:	1	1	1	1	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7~Bit4 ADCHS[3:0]: AD 输入通道选择位。
 0000: 选择 VRL(模拟参考低电平)
 0001: 选择通道 1 (P0.0)。
 0010: 选择通道 2 (P0.1)。
 0011: 选择通道 3 (P0.2)。
 0100: 选择通道 4 (P0.3)。
 0101: 选择通道 5 (P0.4)。
 0110: 选择通道 6 (P0.5)。
 0111: 选择通道 7 (P0.6) 或内部 VTS 电压。
 1000: 选择通道 8 (P0.7)。
 1001: 选择通道 9 (P1.0)。
 1010: 选择通道 10(P1.1)。
 1011: 选择内部运放 1 结果输入。
 1100: 选择内部运放 0 结果输入。
 1101: 选择通道 P2.2 或 VBG。
 1110: 选择内部比较器 0 参考电压 CVREF。
 1111: 选择 VRL (模拟参考低电平)。

Bit3 ADEN: AD 使能位, Timer0 中断模式下会自动开启;
 0: 关闭。
 1: 使能。

Bit2 ADGO: AD 软件模式启动转换控制位/当前状态查询位。
 写:
 0: 无效。
 1: 启动 AD 转换。
 读:
 0: AD 转换结束或当前没有进行数据转换。
 1: AD 正在进行转换。

Bit1 INTS, AD 中断标志写 1 清除;
 0: 没有中断
 1: 产生中断

Bit0 ADTRGEN: 触发置位 ADEN 控制
 0: 触发置位 ADEN 功能关闭。(ADEN 需要软件设置)
 1: 触发置位 ADEN 功能开启。(在触发模式下, 触发置位 ADEN)

ADC 配置寄存器 ADMODE (FFADH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	CMPDIR	ADMODE[1:0]		STOPWK	ADCLKSL[1:0]		EC
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7 保留
- Bit6 CMPDIR ADC 结果比较方向选择
 0: CMPDATA < ADOUT 时, 比较结果为 1
 1: CMPDATA >= ADOUT 时, 比较结果为 1
- Bit5~Bit4 ADMODE (AD 工作模式) 选择
 00: ADGO 置位, 软件模式;
 01: 触发模式: 每次触发, 即开始一次新的转换;
 10: 全速模式
 方式 1: 每次转换完成, 只要读走转换结果, 新的转换即开始;
 方式 2: 比较使能开启 (EC = 1) 时, 每次转换完成, 若比较结果不满足要求 (如 CMPDIR = 1 时, ADCOUT < CMPDATA), 新的转换随即开始。
 11: 保留
- Bit3 STOPWK: Stop 模式唤醒使能控制
 1: Stop 唤醒使能; (ADCCLK 需要选择 RCL, 配置 RCLCFG=0 使 RCL 在 STOP 模式下开启)。
 0: Stop 唤醒禁止;
 在 STOP 唤醒使能情况下, 当采样值超出选定的阈值的时候会产生 STOP 唤醒信号。
- Bit2: Bit1 ADCCLK 时钟源选择
 00: MClk
 01: RCL
 10: RCH
 11: 保留
- Bit0 EC: 比较使能, 当比较使能时, AD 会连续采样直到采样的值大于预先设置好的值时, 才会产生采样结束中断。若 STOP 中断唤醒使能, AD 会连续采样直到采样的值大于预先设置好的值时, 才会产生唤醒中断。
 0: 比较不使能;
 1: 比较使能;

ADC 配置寄存器 ADCFG (FFAEH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ADPREF		VCM_S	ADFM	INTEN	VRHSEL	ADCKS[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7~Bit6 ADPREF[1:0]: AD 正端参考电压选择位。
 00: VDD。
 01: VRH (来自内部 PMU 模块中, 可以有 2 个电压 2.5V/4V 可选)。
 10: ADVRH (来自外部管脚 P1.3)。
 11: VRH 和 ADVRH 同时打开, 用于 VRH 给 AD 提供电压源时, 可通过外部管脚外挂电容。
- Bit5 VCM_S: 片内 Vcm 来源选择
 0: Vcm 来自电源电压

- 1: Vcm 来自参考电压
- Bit4 ADFM: AD 转换结果对齐方式。
 0: 左对齐, AD 转换结果高 8bit 存放在 ADRH 中, 低 4bit 放在 ADRL[7:4]。
 1: 右对齐, AD 转换结果低 8bit 存放在 ADRL 中, 高 4bit 放在 ADRH[3:0]。
- Bit3 INTEN: 中断使能控制
 0: 屏蔽中断;
 1: 使能中断; 。
- Bit2 VRHSEL: VRH 选择
 0: VRH=2.5v;
 1: VRH = 4V;
- Bit1~Bit0 ADCKS[1:0]: AD 转换时钟选择位。(与 CKSH 配合使用)
 00: ADCCLK/2 (CKSH=0)。
 01: ADCCLK/4 (CKSH=0)。
 10: ADCCLK/8 (CKSH=0)。
 11: ADCCLK/16 (CKSH=0)。
 xx: ADCCLK/1 (CKSH=1)。

注: AD 最高转换时钟为 16MHZ, MCLK 频率过高时, 必须通过配置 ADCKS 降低 ADC 工作时钟

AD 转换结果低 8 位寄存器 ADRESL (D9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADRESL[7:0]							
访问权限:	R	R	R	R	R	R	R	R
复 位 值:	×	×	×	×	×	×	×	×
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

AD 转换结果高 8 位寄存器 ADRESH (DAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADRESH[7:0]							
访问权限:	R	R	R	R	R	R	R	R
复 位 值:	×	×	×	×	×	×	×	×
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

AD 结果比较高 8 位寄存器 CMPDATA (DAH) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CMPDATA[7:0]							
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7~Bit0 AD 比较高 8 位数据; 在比较使能情况下, ADC 采样结果高 8 位数据, 将与该寄存器的值进行比较, 根据比较结果决定是否产生中断或者 STOP 唤醒或者产生 PWM 刹车信号;

注 1:	注:只写寄存器, 地址与 ADRESH 相同。
------	-------------------------

AD 速度配置寄存器 ADCSPD (FF9EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	LPMODE	LSPD	CKSH	RESSEL[1:0]		ADHSP	SMPCNT[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7** LPMODE 低功耗模式
 0: 正常工作模式(默认)
 1: 低功耗模式
 LPMODE=1 情况下, 每次转换结束 ADC 自动进入低功耗模式。
- Bit6** LSPD: 低速运行模式
 0: 正常工作模式(默认)
 1: 低速运行模式
 当 ADC 分频时钟小于 1MHz 时候, 设置 LSPD 为 1, 可以减小 ADC 的运行功耗。
- Bit5** CKSH: ADC 转换时钟选择, 参见 ADCKS 的用法。
- Bit4~Bit3** RESSEL[1:0]: 精度选择位
 0x: 12 位 (模式)
 10: 11 位
 11: 10 位
 当 ADC 工作于最高频率(1MSPS, 时钟频率 16MHz), 而 ADC 输入在模拟值相差很大的通道间跳转时, conv_st 的脉宽可能需要加宽到 4 或 5 个时钟周期, 这时, 分辨率需要降低。采样脉冲宽度增加一个时钟周期, ADC 分辨率应当降低一位, 否则 ADC 的转换率会降低。
- Bit2** ADHSP: ADC 高速模式选择位
 0: ADC 工作在正常模式;
 1: ADC 工作在高速模式, 支持 1MSPS;
 当 ADC 需工作于最高频率时(1MSPS, 时钟频率 16MHz), ADHSP 需设为 '1'。如 ADC 工作于较低频率, ADHSP 应设为 '0'。
- Bit1~Bit0** SMPCNT[1:0]: 采样脉冲宽度选择位。
 00: 2*ADCLK。
 01: 3*ADCLK。(默认)
 10: 5*ADCLK。
 11: 7*ADCLK。

ADC 外部触发配置寄存器 ADCTRG (FFABH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	ADCPLY8	EXTSEL	TRGOSRC[2:0]		TRGOTYP[1:0]		
访问权限:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	×	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7 保留。
- Bit6 ADCDLY8: 触发时延的第 8 位, 参见寄存器 ADCDLY。
- Bit5 EXTSEL: 外部触发引脚选择
 0: P0.4
 1: P1.3
- Bit4~Bit2 TRGOSRC[2:0]: 触发源的选择
 000: 外部引脚 P1.3/P0.4。(默认)
 001: 定时器 0 中断
 010: 定时器 1 中断
 011: 定时器 2 中断
 100: 定时器 3 中断
 101: 比较器 0 结果
 其他: 外部引脚
- Bit1~Bit0 TRGOTYP[1:0]: 触发极限选择。
 00: 上升沿触发。(默认)
 01: 下降沿触发。
 10: 高电平触发。
 11: 低电平触发。

ADC 外部触发时延寄存器 ADCDLY (FFACH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ADCDLY[7:0]							
访问权限:	R	R/W						
复位值:	×	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7~Bit0 ADCDLY[7:0] 外部触发时延, 与 ADCTRG.6(ADCDLY8)组成 9 位延时计数器。
 延时时间 = (ADCDLY8,ADCDLY) / FADC, 其中 FADC 为 AD 外设时钟。

23.5 功能概述

23.5.1 工作模式

QF08L18 的 ADC 支持三种不同的模式:

- 软件模式: 使能 ADC(ADEN=1)情况下, 每次配置 ADGO, 进行一次转换, ADGO 转换结束后硬件自动清 0;
- 触发模式: 每次触发即开始一次新的 AD 采样 (ADGO 由硬件置 1, ADEN 是否硬件置位由 ADENTRG 决定), 支持外部引脚触发、定时器触发、比较器触发等;
- 全速模式: 支持两种全速工作方式。

1. 读方式：每次转换完成,将转换结果读回（对 ADRESH 进行读操作），即开始新的 AD 采样（ADEN, ADGO 由硬件置 1）；

2. 比较方式：置位比较使能（EC =1），每次转换完成，若比较结果不满足要求（如 CMPDIR = 1 时, ADCOUT <CMPDATA），新的转换随即开始。

23.5.2 触发机制选择

3 种触发机制供选择：软件触发、外部触发、比较结果触发。其中外部触发源包括：外部引脚、定时器 0/1/2/3、比较器 0。触发极限包括：上升沿/下降沿/高电平/低电平触发。触发时延：ADCDLY[7:0] 与 ADCTRG.6(ADCDLY8)组成 9 位延時計数器，

外部触发延时时间 = (ADCDLY8,ADCDLY) / FADC，其中 FADC 为 AD 外设时钟比较结果触发：当该次 AD 转换结果不满足预设条件时，硬件再次触发 ADC 转换，直至满足结果比较条件，在正常模式或低功耗模式下均可进行。

23.5.3 参考电源选择

QF08L18 的 ADC 支持不同的参考电压选择，有 ADPREF(ADCFG[7:6])选择控制，如图 13-2 所示；当 ADPREF 为 2' b00 时候，选择 VDD 为参考电压，但 ADPREF 为 2' b01 时候，选择 VRH 作为参考电压，该电压来自内部 PMU 模块中，可以有 2 个电压 2.5V/4V 可选，由 VRH_SEL 选择位控制。当 ADPREF=2' b10 时候，ADVRH 直接来自外部管脚 P1.3；当 ADPREF=2' b11：VRH 和 ADVRH 同时打开，用于 VRH 给 AD 提供电压源时，可通过外部管脚 P1.3 外挂电容。

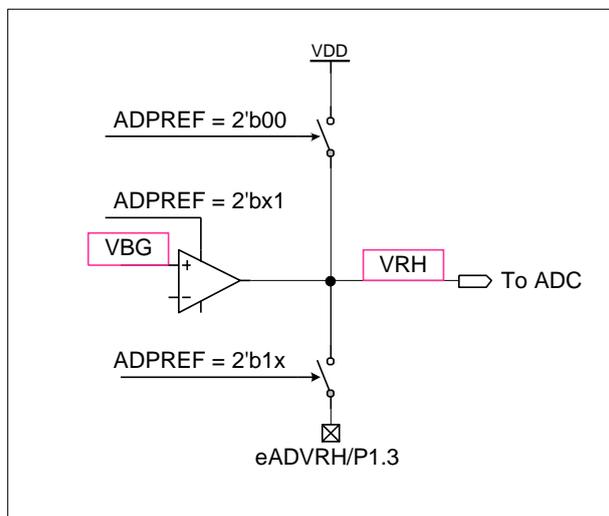


图 66 ADC 参考电压框图

23.5.4 VTS 采样配置

ADC 的通道 7 主要用于温度传感器的输出电压采样，通道 7 的采样根据配置的不同可以选择不同的源，主要由 VTSEN, POAEN[6]两位寄存器决定。VTSEN 是内部温度传感器的输出使能，POAEN[6] 为 P0.6 引脚模拟通道使能，如图 13-3 所示。当 POAEN[6]=0, VTSEN=1' b1 时，通道 7 直接对 VTS 采样；当 VTS=1' b0, POAEN[6]=1' b1，通道 7 对 P0.6 引脚进行采样。

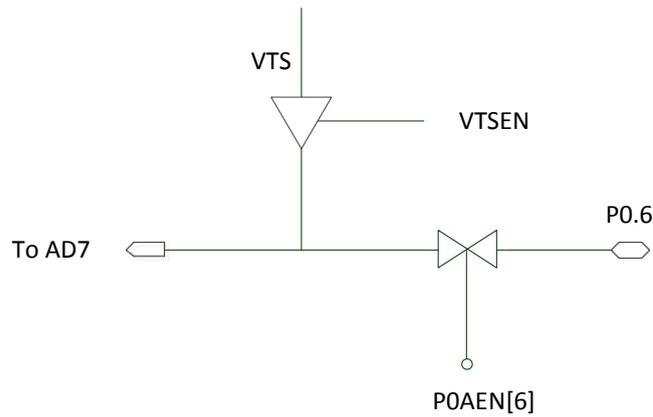


图 67 通道 7 结构

23.5.5 ADC 不同工作模式配置参考代码

1. 软件模式:

```

Void main()
{
    Unsigned char Adc_Datah, Adc_Datal;
    xADCMOD = 0x00; // 软件触发模式
    ADCON = 0x58; // 选择通道 P0.4 ,使能 ADC
    ADGO = 1; // 触发
    while(ADGO == 1);
    Adc_Datah = ADRESH;
    Adc_Datal = ADRESL;
    While(1);
}
    
```

2. 触发模式: (定时器 0 中断触发, 也可配置 TRGOSRC[2:0]选择其他触发源)

```

void ISR_Timer0() interrupt 1
{
    TF0 = 0;
    TR1 = 0;
    TH0 = 0x55; // 重配初值
    TLO = 0xaa;
    TR1 = 1;
}

void ISR_AdcEoc() interrupt 13
{
    unsigned char result_l, result_h;
    if(!(xADCMOD & 0x01))
    {
        result_h = ADRESH; //read high 8bits
        result_l = ADRESL; //read low 8bits
    }
}
    
```

```

    if(ADCON|0x02)//write clear
    {
        ADCON |=0x02;
    }
}

Void main()
{
    ADCON |= (9<<4); // AD 转换通道选择 P1.0
    xADCMOD = 0x10;
    xADCTRG = (1<<2) | (1<<0); //配置触发源和极限,下降沿触发
    xTIMPRS = 0x00;
    TMOD = 0x01; // Timer0 16 计数
    TR0 = 0;
    TH0 = 0x55; // 配初值
    TLO = 0xaa;
    ADCON |= 1<<3; //使能 ADC
    ET0 = 1; // 使能定时器 0 中断
    EIE1 |= 1<<7; //使能 ADC 中断
    EIP1 |= 1<<7; //设置 ADC 中断高优先级
    xADCFG |= 1<<3;
    EA = 1;
    TR0 = 1; // 启动定时器
    While(1);
}

```

3. 全速转换模式 0（每次转换完成，只要读走转换结果，新的转换随即开始）

```

Void main()
{
    unsigned char read, Adc_Datah, Adc_Datal;
    xADCMOD = 0x20; // 全速模式
    ADCON = (1<<4) | (1<<3); //ADCEN 通道 P0.0
    read = ADRESH; // 读 ADRESH 触发一次转换
    while(ADGO == 1);
    Adc_Datah = ADRESH;
    Adc_Datal = ADRESL;
    While(1);
}

```

4. 全速转换模式 1（当 ADC 转换结果大于或小于某个设定值时，ADC 将持续转换）

```

void ISR_AdcEoc() interrupt 13
{
    unsigned char result_l, result_h;
    if(!(xADCMOD & 0x01))
    {
        result_h = ADRESH; //read high 8 bits
        result_l = ADRESL; //read low 8 bits
    }
    if(ADCON|0x02)//write clear
    {
        ADCON |=0x02;
    }
}

```

```

Void main()
{
    xADCMOD = (1<<6)|(2<<4)|(1<<0); // 全速模式，比较使能，比小转换
    CMPDATAH = 0x01;
    CMPDATAL = 0x77; // ADC 转换值小于 0x177 时，重新发起新的转换
    EIE1 |= 1<<7; //使能 ADC 中断
    EA = 1;
    xADCFG |= 1<<3; 使能中断
    ADCON |= 1<<3;
}

```

5. 低功耗持续转换 (Stop 模式下，当 ADC 转换结果未达到某设定阈值时，持续转换，达到后唤醒系统,该模式下 ADC 时钟只能选择 RCL)

```

void ISR_AdcEoc() interrupt 13
{
    unsigned char result_l,result_h;
    if(!(xADCMOD & 0x01))
    {
        result_h = ADRESH; //read high 8bits
        result_l = ADRESL; //read low 8bits
    }
    if(ADCON|0x02)//write clear
    {
        ADCON |=0x02;
    }
}

```

```

Void main()
{
    ADCON &= ~(1<<3); //ADCEN
    EIE1 |= 1<<7; //使能 ADC 中断
    EA = 1;
    xADCFG |= 1<<3; 使能中断
    CMPDATAH = 0x01;
    CMPDATAL = 0x77;
    xADCMOD = (1<<6)|(2<<4)|(1<<0); // 全速模式，比较使能，比小转换

    xSYSCFG &= 0xFE;//enable RCL
    ADCON |= 1<<3; //ADCEN
    WPKEY = 0x37; // 进入 Stop 模式
    PCON |= 1<<1;
    While(1);
}

```

24. DAC 控制器

QF08L18 集成了一个 10 位精度的数模转换转换器(DAC)。响应速度大于 1MHZ, 内置输出驱动。DAC 输出电压可作为两路运放的参考电压, 作为两路比较器的正向端 CPP 输入, 也可输出到外部引脚 P2.2。

24.1 基本特征

- ◇ 10 位数据右对齐
- ◇ 同步更新功能
- ◇ 外部触发转换
- ◇ 软件触发转换
- ◇ PMU 模块的基准电压 VRH, 决定 DAC 输出电压的上限。

24.2 功能框图

24.3 管脚配置

DAC 模块跟 4 个管脚复用, 具体配置见下表:

表 60 DAC 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
DAO	O	模拟信号输出	P2.2	由 P2AEN[2]控制。
Trg0	I	外部触发引脚输入	P0.1	由 DACTRL.TRIGSRC 选择。
Trg1	I	外部触发引脚输入	P0.7	
Trg2	I	外部触发引脚输入	P2.3	

24.4 寄存器说明

➤ DAC 相关寄存器如表 13-2 所示

表 61 DAC 器寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
DACCTRL	DAC 控制寄存器	x	R/W	0000_0000B	FF6BH
DACDATL	DAC 转换结果低位寄存器	x	R/W	0000_0000B	FF6CH
DACDATH	DAC 转换结果高位寄存器	x	R/W	uuuu_uu00B	FF6DH

DAC 寄存器详细描述如下:

DAC 控制寄存器 DACCTRL (FF6BH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	VRHSEL	TRIGSRC			TRIGMODE		DACOUTEN	DACEN
访问权限:	W/R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7 VRHSEL: DAC 参考电压选择

- 0: 2.5V
1: 4V
- Bit6~Bit4 TRIGSRC[2:0]: DAC 转换触发源选择位。(DACEN 为 '1' 时不能改变 TRIGSRC[2:0])
 000: 选择软件模式。(默认)
 001: 选择 acmp0 触发。
 010: 选择 acmp1 触发。
 011: 选择高级定时器 T3 触发。
 100: 选择 timer2 触发。 101: 选择引脚 P0.1 触发。
 110: 选择引脚 P0.7 触发。
 111: 选择引脚 P2.3 触发。
- Bit3~Bit2 TRIGMODE: DAC 触发模式选择;
 00: 软件模式, DACDATL/H 寄存器的数据在写 DACDATH 寄存器的时候生效。
 01: 上升沿触发, DACDATL/H 更新数据在上升延触发以后生效。
 10: 下降沿触发, DACDATL/H 更新数据在下降沿触发后生效。
 11: 双边沿触发, DACDATL/H 更新数据在上升或者下降沿触发后生效。
- Bit1 DACOUTEN: DAC 引脚输出使能。
 0: DAC 不从 P2.2 输出。
 1: DAC 输出到引脚 P2.2。
- Bit0 DACEN: DAC 使能信号;
 0: DAC 模块关闭。
 1: DAC 模块开启。

DAC 数据寄存器 DACDATL (FF6CH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DACDATL[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7~Bit0 DAC 低字节数据装载寄存器
DAC 数据寄存器 DACDATH (FF6DH) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	-	DACDATH	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	U	U	U	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit1~Bit0 DAC 高字节数据装载寄存器

注 1:

注:软件模式下, 写 DACDATH 以后, 数据立刻生效, 因此需要先配置好 DACHATL 寄存器

24.5 功能概述

24.5.1 工作模式

QF08L18 的 DAC 支持 2 种不同的数据装载模式:

DAC 控制器内部存在映射 DACDATH/DACDATL 的影子寄存器 DOR[9:0], DAC 将 DOR 的数据转化为模拟电压输出, 数据从 DACDATH/DACDATL 装载到影子寄存器 DOR 有以下方式:

- 写装载(软件模式): TEGOMODE 为 0 时, 写入 DACDATH/DACDATL 的数据立即 load 到 DOR; 外部触发装载: TEGOMODE 不为 0 时, 配置装载触发源 (必须在 DACEN 使能前完成配置), 写入 DACDATH/DACDATL, 等待触发源触发, 完成装载。

24.5.2 DAC 输出电压

数字输入被线性地转换为模拟输出电压, 若以 VRH 做参考电压, 其输出电压范围为 0 到 VRH。DAC 通道引脚上的模拟输出电压满足以下关系:

$$\text{DAC 输出} = \text{VRH} \times \text{DOR} / 1024$$

25. 模拟比较器 ACMP

25.1 基本特征

QF08L18 中的模拟比较器具备以下特征：

- ◇ 轨到轨的工作电压范围。
- ◇ 低输入失调电压。
- ◇ 可选择的中断触发源：比较器上升沿、下降沿或任意边沿都可以触发中断。
- ◇ 比较器输出滤波可选择，可滤除 1.5 μs 左右的毛刺。
- ◇ 比较器输出极性可选择。
- ◇ 内置电阻分压，提供 16 级参考电平供比较器正端输入。带隙基准电压可用作电阻分压源。

25.2 工作模式

上电后，比较器默认关闭。通过将 CPEN (CP0CON.4) 置 1，开启比较器。

SLEEP 和 STOP 模式下，比较器仍可以工作（消耗电流），但无法产生中断。

25.3 管脚配置

模拟比较器模块用到 4 个外部复用引脚，分别是 CPP、CPN0、CPN1、和 CPO，其配置如下表。

表 62 ACMP 管脚复用配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
CPP	A	比较器正端输入	P1.7	CPPS[1:0] = 01。
CPN0	A	比较器负端输入 0	P2.4	CPNS = 0（默认）。
CPN1	A	比较器负端输入 1	P0.5	CPNS = 1。
CPO	O	比较器输出	P1.4/P2.1	CPOEN (TESTCON.2)，CMPOSEL (IOMUX.0)

25.4 功能框图

模拟比较器模块的功能框图如下图所示：

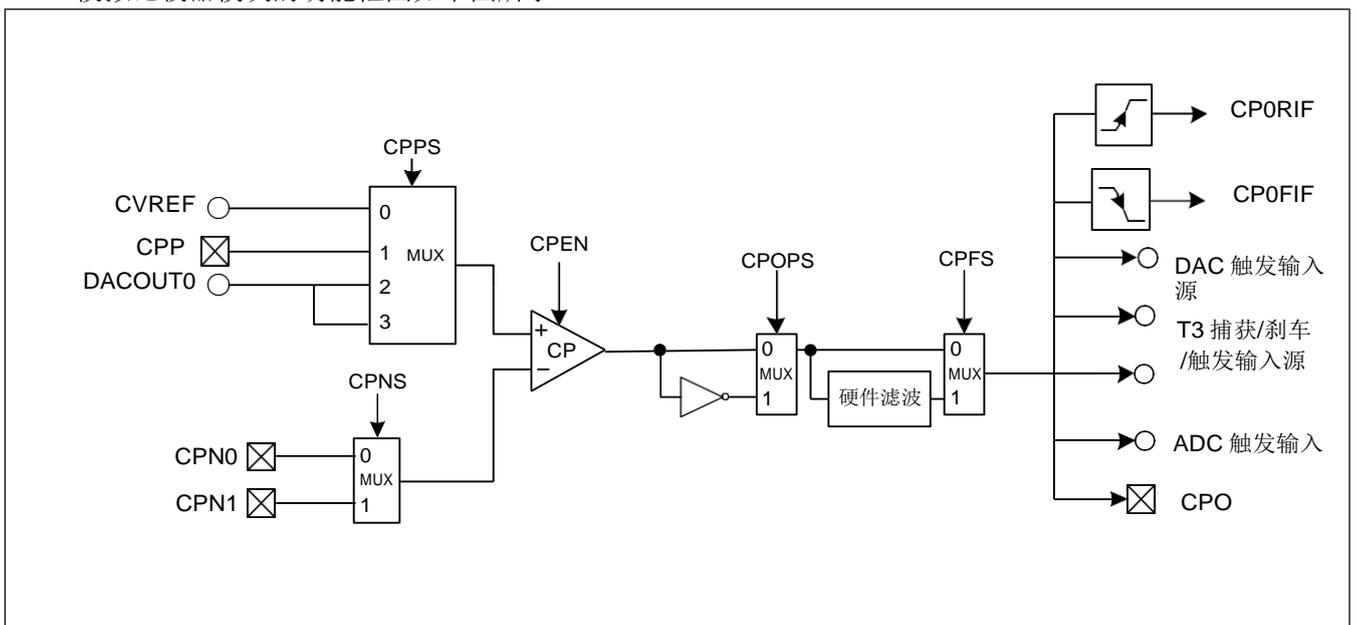


图 68 模拟比较器功能框图

上图中 CVREF 来自内部参考电压模块，该模块结构图如下：

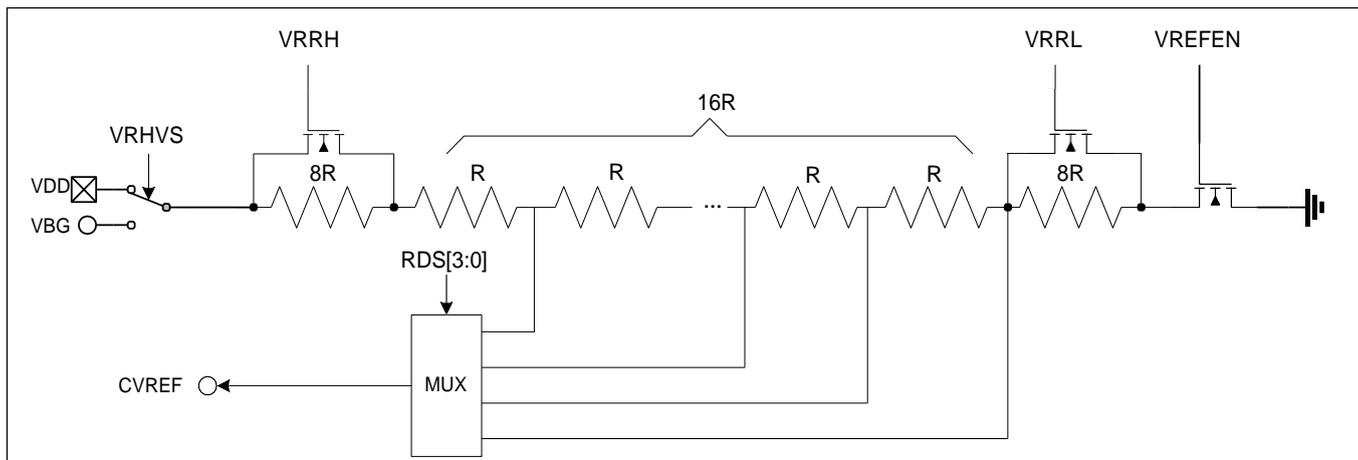


图 69 内部参考电压示意图

25.5 寄存器说明

模拟比较器的相关寄存器如表 63 所示：

表 63 模拟比较器寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
CPOCON	模拟比较器控制寄存器 ^①	x	R/W	0000_0000B	AEH
CPOVRCON	模拟比较器内部参考电压控制寄存器	x	R/W	0000_0000B	AFH
CPFRHS	模拟比较器响应时间配置寄存器	x	R/W	0000_0000B	ADH
ACPDLY0	比较器使能触发时延寄存器 0	x	R/W	0000_0000B	FF7BH
ACPDLY1	比较器使能触发时延寄存器 1	x	R/W	uuuu_uuu0B	FF7CH
TESTCON	测试控制寄存器	x	R/W	0000_0000B	FFAFH
IOMUX0	引脚复用寄存器	x	R/W	0000_0000B	FFE0H

模拟比较器寄存器的详细说明如下：

模拟比较器控制寄存器 CPOCON (AEH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CPO	CPFS	CPOPS	CPEN	—	TRIGEN	CPORIF	CP0FIF
访问权限:	R	R/W	R/W	R/W	R-0	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7 CPO: 比较器输出状态位。
 0: 低电平, 表示正端电压 < 负端电压或比较器未使能 (默认)。
 1: 高电平, 表示正端电压 > 负端电压。

Bit6 CPFS: 比较器输出滤波选择位。
 0: 无滤波 (默认)。
 1: 有滤波。

- Bit5 CPOPS: 比较器输出极性选择位。
 0: 正相（默认）。
 1: 反相。
- Bit4 CPEN: 比较器使能位。 0: 关闭比较器，比较器输出低电平（默认）。
 1: 开启比较器。
- Bit3 保留。
- Bit2 TRIGEN: 触发 CPEN 使能控制
 0: 触发 CPEN 使能关闭，CPEN 只能通过软件置位。
 1: 触发 CPEN 使能关闭，CPEN 可通过软件或高级定时器触发 CPEN 置位。
 从 T3 触发到 CPEN 使能，可通过 ACPDLY0/1 寄存器配置延时。
- Bit1 CPORIF: 比较器输出上升沿中断标志位。
 0: 没有出现上升沿。
 1: 出现上升沿，如果使能中断，可产生中断，需软件读 1 写 0 清标志位。
- Bit0 CPOFIF: 比较器输出下降沿中断标志位。
 0: 没有出现下降沿。
 1: 出现下降沿，如果使能中断，可产生中断，需软件读 1 写 0 清标志位。

模拟比较器内部参考电压控制寄存器 CPOVRCON (AFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	RDS[3:0]				VRRH	VRRL	VRHVS	VREFEN
访问权限:	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7~Bit4 RDS[3:0]: 内部参考电压选择位，与 VRRH 和 VRRL 配合，可以实现各种电压，详见下表。

VRRH	VRRL	CVREF ^①
0	0	$\frac{8 + RDS[3:0]}{32} \times V$
0	1	$\frac{RDS[3:0]}{24} \times V$
1	0	$\frac{8 + RDS[3:0]}{24} \times V$
1	1	$\frac{RDS[3:0]}{16} \times V$

- Bit3 VRRH: 分压电阻高选择位。
- Bit2 VRRL: 分压电阻低选择位。
- Bit1 VRHVS: 内部参考电压源选择位。
 0: 选择电源电压 VDD（默认）。
 1: 选择基准电压 VBG。
- Bit0 VREFEN: 内部参考电压使能位。
 0: 关闭内部参考电压（默认）。
 1: 使能内部参考电压。

注 1: CVREF 的公式中，当 VRHVS=0 时，VS=VDD；当 VRHVS=1 时，VS=VBG。

响应时间配置寄存器 CPFRRHS (ADH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CPPS[1:0]		CPNS	—	—	—	FREN	HYSEN
访问权限:	R/W	R/W	R/W	R-0	R-0	R-0	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit6 CPPS[1:0]: 比较器正端输入选择位
 00: 比较器正端选择内部参考电压 CVREF 作为输入; (默认)
 01: 比较器正端选择 CPP 作为输入;
 1x: 比较器正端选择 DACOUT0 作为输入;

Bit5 CPNS 比较器负端输入选择位
 0: CN0 P2.4 输入
 1: CN1 P0.5 输入

Bit1 FREN: 比较器响应时间配置,
 0: 相应时间正常 (默认)
 1: 响应时间减小

Bit0 HYSEN: 比较器迟滞使能信号
 0: 迟滞关闭 (默认)
 1: 迟滞使能

触发时延寄存器 ACPDLY0 (FF7BH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ACPDLY[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit0 ACPDLY[7:0]: 触发时延低 8 位, 与 ACPDLY1.0 构成 9 位计时器。
 高级定时器 T3 触发触发 ACMP 使能 (置位 CPEN), 从触发到使能比较器经过一段延时, 延时时间可配, 最大支持 512 个系统时钟。

触发时延寄存器 ACPDLY1 (FF7CH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	-	-	-	-	-	-	ACPDLY[8]
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复位值:	U	U	U	U	U	U	U	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit0 ACPDLY[8]: 触发时延第 9 位
 参见 ACPDLY0

测试控制寄存器 TESTCON (FFAFH) ^{注1}

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	LVRTE	—	CKTE	CPOEN1	CPOEN0	CKOS[1:0]	
访问权限:	R-0	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复位值:	U	0	U	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; C(上标): 特殊复位源							

Bit2 CPOEN0: 比较器 0 结果输出使能位。
 0: 禁止输出。
 1: 允许输出, IOMUX0.0 决定输出引脚位置。

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
------	---------------------------------------

管脚复用控制寄存器 IOMUX0 (FFE0H) ^{注1}

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit0 ACMPOSEL: 比较器 0 的比较结果输出引脚控制
 0: P1.4 做 CPO 使用(ACMP0 的使能位 CPEN 必须为 1, 否则 P1.4 仍做 GPIO)。
 1: P2.1 做 CPO 使用(ACMP0 的使能位 CPEN 必须为 1, 否则 P2.1 仍做 GPIO)。
 备注: 当 P2.1 同时满足 ACMP0 和 ACMP1 的 CPO 输出的条件时, P2.1 复用成 ACMP1 的 CPO 输出

25.6 功能描述

图 15-3 给出了单个比较器的模拟输入电平和数字输出之间的关系。如 VIN+ 上的模拟电压低于 VIN- 上的模拟电压, 比较器输出数字低电平。如果 VIN+ 上的模拟电压高于 VIN- 上的模拟电压, 比较器输出数字高电平。通过与 IO 或其它数字模块(如带捕获功能的定时器 T2)配合, 模拟比较器还能够实现很多有用的测量功能, 从而提高应用的灵活性并降低系统成本。

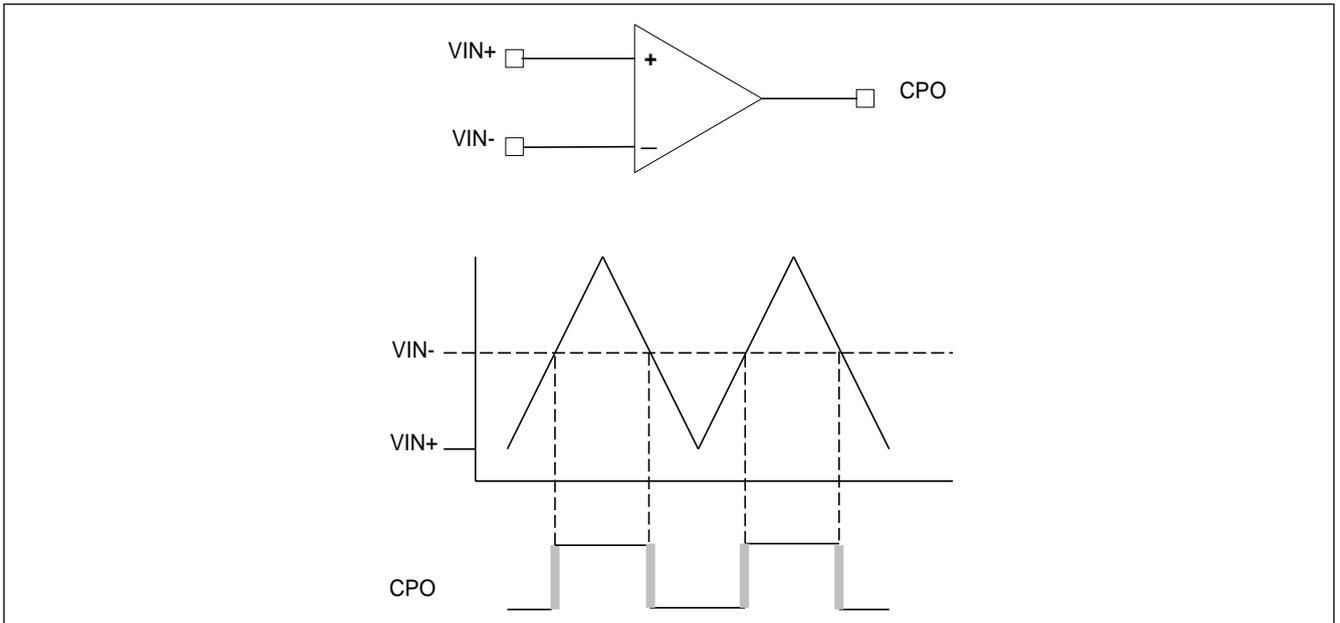


图 70 单个比较器比较原理

上图中比较器输出波形的灰色线条区表示因输入偏移和响应时间导致的不确定状态。

25.6.1 比较器使能

复位后比较器默认关闭，不消耗电流。将 CPEN (CP0CON.4) 置 1 可开启比较器操作。

25.6.2 比较器输出选择

可通过读模拟比较器输出 CPO 来监视比较器输出，也可以直接输出到管脚，请参考 16.3 管脚配置。比较器输出可以作为 T2EX 的捕获输入以实现很多低成本的应用，请参考定时器 T2。比较器输出可选择是否经过硬件滤波模块：当 CPFS (CP0CON.6) 置 1 时，CPO 经过硬件滤波后再输出。该硬件滤波的典型值是 1.5 μ s，但随温度和电压变化较大。

25.6.3 比较器输入选择

QF08L18 的模拟比较器模块有两种基本配置：

- ✧ 两个外部电压比较。
- ✧ 外部电压和内部参考电压比较。

两个外部电压比较时，比较器正端输入选择 CPP；比较器负端可选择 CPN0 或 CPN1。外部电压与内部参考电压比较时，比较器正端输入选择内部参考电压 CVREF；比较器负端可选择 CPN0 或 CPN1。具体设置请参考 25.3 管脚配置。

25.6.4 比较器中断

比较器 0 有上升沿和下降沿检测器，所以输出值的任何变化都可产生中断。通过读比较器输出标志位 CPO，可以得到比较器输出的值。CPO 由 0 变 1，即发生上升沿跳变时，会触发比较器上升沿中断请求，标志位 CP0RIF 置 1，如果中断允许（对应中断使能位 EIE1.5 置 1）则触发中断；CPO 由 1 变 0，即发生下降沿跳变时，会触发比较器下降沿中断请求，标志位 CP0FIF 置 1，如果中断允许（对应中断使能位 EIE1.5 置 1）则触发中断。标志位 CP0FIF 和 CP0RIF 需要软件清零，且软件清零之前，需要先对该位做读取操作，即读到 1 后再清 0。

25.7 使用提示

既然比较器的核心功能是比较两个模拟电压，选择好 CP+/CP- 的输入信号，使能比较器后就可以得到比较结果。如果模拟比较器有一端来自外部管脚时，必须先把该管脚设置成模拟输入（输入模式，模拟通道开启）。

当选择内部电阻分压做比较器输入时，在比较过程中切换电阻分压比可能导致比较器输出出现短暂的跳变。因此建议需要切换电阻分压比时先关闭模拟比较器然后切换，完成切换后在开启模拟比较器。用到比较器中断时，每次重新开启前都必须清 CP0RIF 与 CP0FIF 两个标志。而有些应用中不希望关闭比较器，那么切换后等待 $2\ \mu\text{S}$ 再读取比较器输出（如用比较器做多个按键检测时）。

待机模式下，如果比较器已提前使能，那么进入待机模式后比较器依旧工作。同样，如果比较器相关中断已经使能，那么比较器中断出现后将唤醒 CPU 进入正常工作模式。

停机模式下，比较器也可以工作，配置与待机模式下配置相同。但是由于电路系统时钟已关闭，比较器中断无法采样，也就无法唤醒。因此在停机模式下为了减低电流必须关闭所有的模拟模块。

如果在睡眠或停止模式下发生复位，那么比较器将复位到初始状态。

26. 模拟比较器 ACMP1

26.1 基本特征

QF08L18 中的模拟比较器具备以下特征：

- ◇ 轨到轨的工作电压范围。
- ◇ 低输入失调电压。
- ◇ 可选择的中断触发源：比较器上升沿、下降沿或任意边沿都可以触发中断。
- ◇ 比较器输出滤波可选择，可滤除 $1.5 \mu\text{s}$ 左右的毛刺。
- ◇ 比较器输出极性可选择。
- ◇ 内置电阻分压，提供 16 级参考电平供比较器正端输入。带隙基准电压可用作电阻分压源。

26.2 工作模式

上电后，比较器默认关闭。通过将 CPEN (CP1CON.4) 置 1，开启比较器。

SLEEP 和 STOP 模式下，比较器仍可以工作（消耗电流），但无法产生中断。

26.3 管脚配置

模拟比较器模块用到 3 个外部复用引脚，分别是 CPP、CPN0、和 CPO，其配置如下表。

表 64 ACMP 管脚复用配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
CPP	A	比较器正端输入	P1.6	CPPS[1:0] = 01。
CPN0	A	比较器负端输入 0	P0.7	CPNS = 0 (默认)。
CPO	O	比较器输出	P1.3/P2.1	CPOEN1 (TESTCON.3)，CMP1SEL (IOMUX.1)

26.4 功能框图

模拟比较器模块的功能框图如图 71 图 71 模拟比较器功能框图所示：

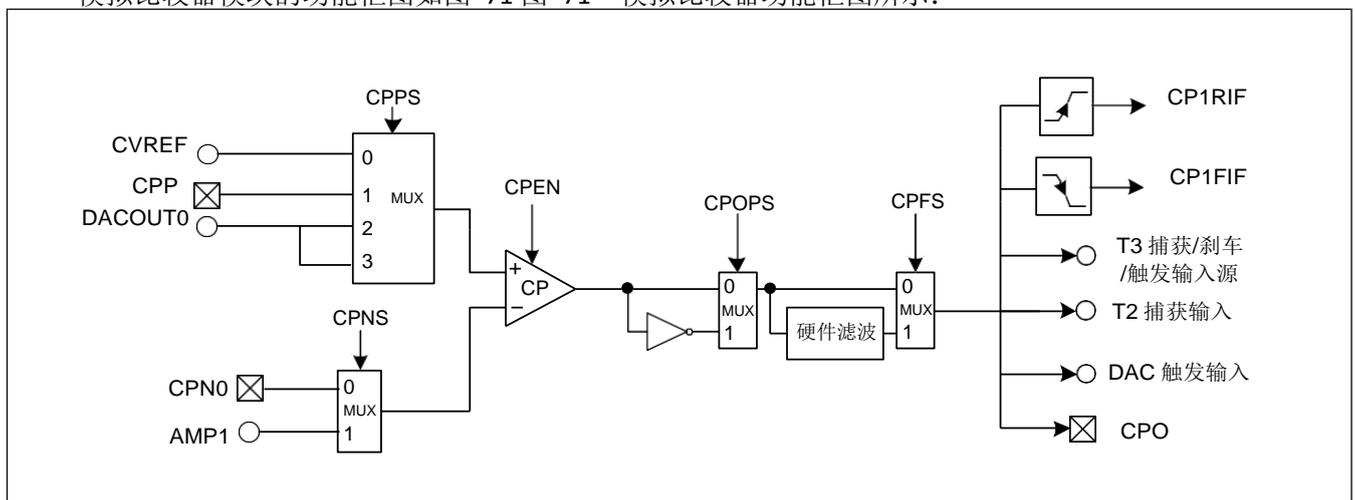


图 71 模拟比较器功能框图

上图中 CVREF 来自内部参考电压模块，该模块结构图如下：

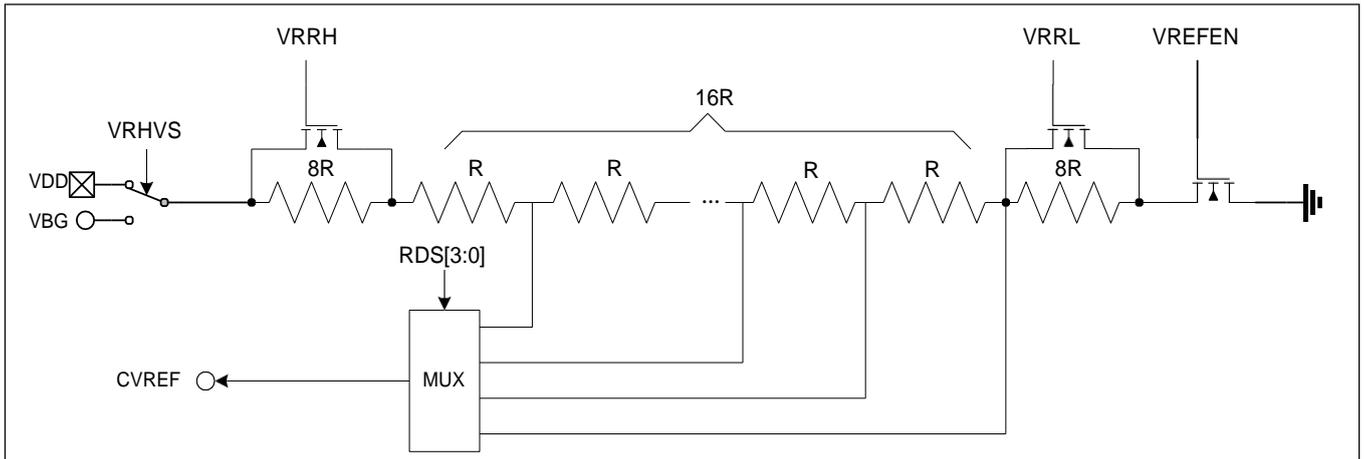


图 72 内部参考电压示意图

26.5 寄存器说明

模拟比较器的相关寄存器如表 65 所示：

表 65 模拟比较器寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
CP1CON	模拟比较器控制寄存器 ^①	x	R/W	0000_0000B	EAH
CP1VRCON	模拟比较器内部参考电压控制寄存器	x	R/W	0000_0000B	EBH
CP1FRHS	模拟比较器响应时间配置寄存器	x	R/W	0000_0000B	E9H
ACP1DLY0	比较器使能触发时延寄存器 0	x	R/W	0000_0000B	FF7DH
ACP1DLY1	比较器使能触发时延寄存器 1	x	R/W	uuuu_uuu0B	FF7EH
TESTCON	测试控制寄存器	x	R/W	0000_0000B	FFAFH
IOMUX0	引脚复用寄存器	x	R/W	0000_0000B	FFE0H

模拟比较器寄存器的详细说明如下：

模拟比较器控制寄存器 CP1CON (EAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CPO	CPFS	CPOPS	CPEN	—	TRIGEN	CPORIF	CP0FIF
访问权限:	R	R/W	R/W	R/W	R-0	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit7** CPO: 比较器输出状态位。
 0: 低电平, 表示正端电压 < 负端电压或比较器未使能 (默认)。
 1: 高电平, 表示正端电压 > 负端电压。
- Bit6** CPFS: 比较器输出滤波选择位。
 0: 无滤波 (默认)。
 1: 有滤波。
- Bit5** CPOPS: 比较器输出极性选择位。
 0: 正相 (默认)。
 1: 反相。
- Bit4** CPEN: 比较器使能位。

- 0: 关闭比较器, 比较器输出低电平 (默认)。
 1: 开启比较器。

Bit3 保留。

Bit2 TRIGEN: 触发 CPEN 使能控制

- 0: 触发 CPEN 使能关闭, CPEN 只能通过软件置位。
 1: 触发 CPEN 使能关闭, CPEN 可通过软件或高级定时器触发 CPEN 置位。
 从 T3 触发到 CPEN 使能, 可通过 ACP1DLY0/1 寄存器配置延时。

Bit1 CPORIF: 比较器输出上升沿中断标志位。

- 0: 没有出现上升沿。
 1: 出现上升沿, 如果使能中断, 可产生中断, 需软件读 1 写 0 清标志位。

Bit0 CPOFIF: 比较器输出下降沿中断标志位。

- 0: 没有出现下降沿。
 1: 出现下降沿, 如果使能中断, 可产生中断, 需软件读 1 写 0 清标志位。

模拟比较器内部参考电压控制寄存器 CP1VRCON (EBH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	RDS[3:0]				VRRH	VRRL	VRHVS	VREFEN
访问权限:	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7~Bit4 RDS[3:0]: 内部参考电压选择位, 与 VRRH 和 VRRL 配合, 可以实现各种电压, 详见下表。

VRRH	VRRL	CVREF ^①
0	0	$\frac{8 + RDS[3:0]}{32} \times V$
0	1	$\frac{RDS[3:0]}{24} \times V$
1	0	$\frac{8 + RDS[3:0]}{24} \times V$
1	1	$\frac{RDS[3:0]}{16} \times V$

Bit3 VRRH: 分压电阻高选择位。

Bit2 VRRL: 分压电阻低选择位。

Bit1 VRHVS: 内部参考电压源选择位。

- 0: 选择电源电压 VDD (默认)。
 1: 选择基准电压 VBG。

Bit0 VREFEN: 内部参考电压使能位。

- 0: 关闭内部参考电压 (默认)。
 1: 使能内部参考电压。

注 1: CVREF 的公式中, 当 VRHVS=0 时, VS=VDD; 当 VRHVS=1 时, VS=VBG。

响应时间配置寄存器 CP1FRHS (E9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
--------	------	------	------	------	------	------	------	------

位 定义:	CPPS[1]	CPPS[0]	CPNS	—	—	—	FREN	HYSEN
访问权限:	R/W	R/W	R/W	R-0	R-0	R-0	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

- Bit7~Bit6** CPPS[1:0]: 比较器正端输入选择位
 00: 比较器正端选择内部参考电压 CVREF 作为输入; (默认)
 01: 比较器正端选择 CPP 作为输入;
 1x: 比较器正端选择 DACOUT0 作为输入;
- Bit5** CPNS 比较器负端输入选择位
 0: CN0 P0.7 输入
 1: CN1 运放 1 的输出作为比较器负端输入
- Bit1** FREN: 比较器响应时间配置,
 0: 相应时间正常 (默认)
 1: 响应时间减小
- Bit0** HYSEN: 比较器迟滞使能信号
 0: 迟滞关闭 (默认)
 1: 迟滞使能

触发时延寄存器 ACP1DLY0 (FF7DH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ACP1DLY[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

- Bit7~Bit0** ACP1DLY[7:0]: 触发时延低 8 位, 与 ACP1DLY1.0 构成 9 位计时器。
 高级定时器 T3 触发触发 ACMP 使能 (置位 CPEN), 从触发到使能比较器经过一段延时, 延时时间可配, 最大支持 512 个系统时钟。

触发时延寄存器 ACP1DLY1 (FF7EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	-	-	ACPDLY[8]
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复 位 值:	U	U	U	U	U	U	U	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

- Bit0** ACPDLY[8]: 触发时延第 9 位
 参见 ACP1DLY0

测试控制寄存器 TESTCON (FFAFH) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
--------	------	------	------	------	------	------	------	------

位 定 义:	—	LVRTE	—	CKTE	CPOEN1	CPOEN0	CKOS[1:0]	
访问权限:	R-0	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	0	U	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; C (上标): 特殊复位源							

Bit3 **CPOEN1:** 比较器 1 结果输出使能位。
 0: 禁止输出。
 1: 允许输出, IOMUX0.1 决定输出引脚位置。

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
-------------	---------------------------------------

管脚复用控制寄存器 IOMUX0 (FFE0H) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UART1EN[1:0]		UARTOEN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit1 **ACMP1SEL:** 比较器 1 的比较结果输出引脚控制
 0: P1.3 做 CPO 使用(ACMP1 的使能位 CPEN 必须为 1, 否则 P1.3 仍做 GPIO)。
 1: P2.1 做 CPO 使用(ACMP1 的使能位 CPEN 必须为 1, 否则 P2.1 仍做 GPIO)。
 备注: 当 P2.1 同时满足 ACMPO 和 ACMP1 的 CPO 输出的条件时, P2.1 复用成 ACMP1 的 CPO 输出

26.6 功能描述

图 73 给出了单个比较器的模拟输入电平和数字输出之间的关系。如 VIN+ 上的模拟电压低于 VIN- 上的模拟电压, 比较器输出数字低电平。如果 VIN+ 上的模拟电压高于 VIN- 上的模拟电压, 比较器输出数字高电平。通过与 IO 或其它数字模块 (如带捕获功能的定时器 T2) 配合, 模拟比较器还能够实现很多有用的测量功能, 从而提高应用的灵活性并降低系统成本。

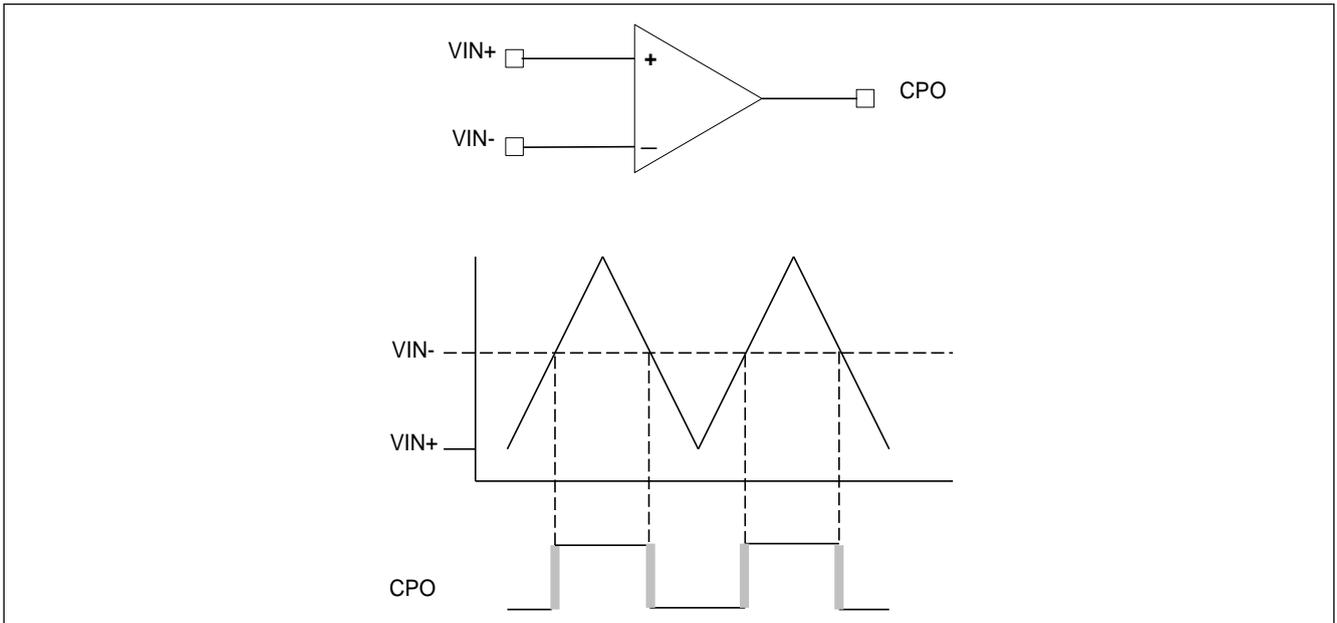


图 73 单个比较器比较原理

上图中比较器输出波形的灰色线条区表示因输入偏移和响应时间导致的不确定状态。

26.6.1 比较器使能

复位后比较器默认关闭，不消耗电流。将 CPEN (CP1CON.4) 置 1 可开启比较器操作。

26.6.2 比较器输出选择

可通过读模拟比较器输出 CPO 来监视比较器输出，也可以直接输出到管脚，请参考 16.3 管脚配置。比较器输出可以作为 T2EX 的捕获输入以实现很多低成本的应用，请参考定时器 T2。比较器输出可选择是否经过硬件滤波模块：当 CPFS (CP1CON.6) 置 1 时，CPO 经过硬件滤波后再输出。该硬件滤波的典型值是 1.5 μ s，但随温度和电压变化较大。

26.6.3 比较器输入选择

QF08L18 的模拟比较器模块有两种基本配置：

- ◇ 两个外部电压比较。
- ◇ 外部电压和内部参考电压比较。

两个外部电压比较时，比较器正端输入选择 CPP；比较器负端可选择 CPN0 或 CPN1。外部电压与内部参考电压比较时，比较器正端输入选择内部参考电压 CVREF；比较器负端可选择 CPN0 或 CPN1。具体设置请参考 26.3 管脚配置。

26.6.4 比较器中断

比较器 0 有上升沿和下降沿检测器，所以输出值的任何变化都可产生中断。通过读比较器输出标志位 CPO，可以得到比较器输出的值。CPO 由 0 变 1，即发生上升沿跳变时，会触发比较器上升沿中断请求，标志位 CP0RIF 置 1，如果中断允许（对应中断使能位 EIE1.6 置 1）则触发中断；CPO 由 1 变 0，即发生下降沿跳变时，会触发比较器下降沿中断请求，标志位 CP0FIF 置 1，如果中断允许（对应中断使能位 EIE1.6 置 1）则触发中断。标志位 CP0FIF 和 CP0RIF 需要软件清零，且软件清零之前，需要先对该位做读取操作，即读到 1 后再清 0。

26.7 使用提示

既然比较器的核心功能是比较两个模拟电压，选择好 CP+/CP- 的输入信号，使能比较器后就可以得到比较结果。如果模拟比较器有一端来自外部管脚时，必须先把该管脚设置成模拟输入（输入模式，模拟通道开启）。

当选择内部电阻分压做比较器输入时，在比较过程中切换电阻分压比可能导致比较器输出出现短暂的跳变。因此建议需要切换电阻分压比时先关闭模拟比较器然后切换，完成切换后在开启模拟比较器。用到比较器中断时，每次重新开启前都必须清 CP0RIF 与 CP0FIF 两个标志。而有些应用中不希望关闭比较器，那么切换后等待 2 μ S 再读取比较器输出（如用比较器做多个按键检测时）。

待机模式下，如果比较器已提前使能，那么进入待机模式后比较器依旧工作。同样，如果比较器相关中断已经使能，那么比较器中断出现后将唤醒 CPU 进入正常工作模式。

停机模式下，比较器也可以工作，配置与待机模式下配置相同。但是由于电路系统时钟已关闭，比较器中断无法采样，也就无法唤醒。因此在停机模式下为了减低电流必须关闭所有的模拟模块。

如果在睡眠或停止模式下发生复位，那么比较器将复位到初始状态。

27. 运算放大器 OPA0/OPA1

27.1 基本特征

QF08L18 内置两个运算放大器(OPA0/OPA1), 其正负端可以通过软件配置接偏置电压, 偏置电压可选择 2.5V, 4V 或者 DAC 输出的任意偏置电压, OPA0 的正负端分别从 P1.5, P1.4 引脚输入, 输出与引脚 P2.2 的模拟通道相连, 并连接到 ADC 通道 13; OPA1 的正负端分别从 P0.5 和 P1.6 引脚引入, 输出与引脚 P1.7 的模拟通道相连, 并连接到 ADC 的通道 12, 两个运放都支持偏置自动校正。

27.2 功能框图

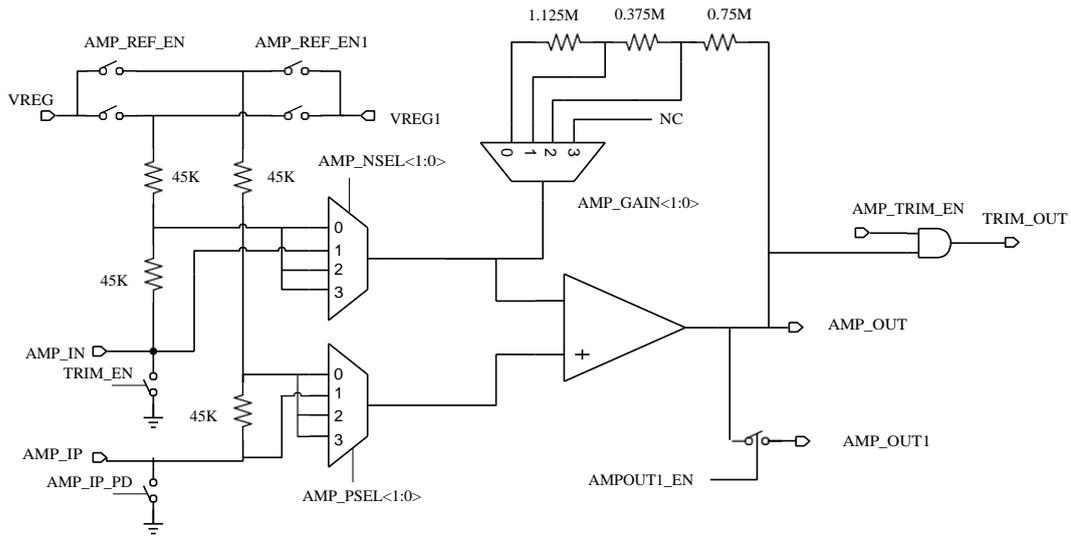


图 74 运放整体框图

27.3 管脚配置

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
运算放大器 OPA0				
OPP	I	放大器正端输入	P1.5	由 P1AEN 控制。
OPN	I	放大器负端输入	P1.4	由 P1AEN 控制。
OPO	O	放大器输出, 同时到 AD13	P2.2	由 P2AEN 控制。
运算放大器 OPA1				
OPP	I	放大器正端输入	P0.5	由 POAEN 控制。
OPN	I	放大器负端输入	P1.6	由 P1AEN 控制。
OPO	O	放大器输出, 同时到 AD12	P1.7	由 P1AEN 控制。

27.4 寄存器

表 66 OPA0 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
AMPCTRL0	OPA 运放控制寄存器 0	x	R/W	0001_1000	FF40H
AMPCTRL1	OPA 运放控制寄存器 1	x	R/W	0000_0000	FF41H

AMPTRIM	OPA 校准寄存器	x	R/W	0000_0000	FF42H
---------	-----------	---	-----	-----------	-------

表 67 OPA1 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
AMP1CTRL0	OPA1 运放控制寄存器 0	x	R/W	0001_1000	FF43H
AMP1CTRL1	OPA1 运放控制寄存器 1	x	R/W	0000_0000	FF44H
AMP1TRIM	OPA1 校准寄存器	x	R/W	0000_0000	FF45H

OPA0 寄存器描述如下:

AMPCTRL0 控制寄存器(FF40H):

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AMP_GAIN		-	AMP_NSEL	-	AMP_PSEL	MODS	AMP_EN
访问权限:	R/W		R-0	R/W	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7: Bit6 AMP_GAIN: 反馈电阻或者放大倍数选择;
 00: 输出端连接 2.25M 反馈电阻到负端;
 01: 输出端连接 1.125M 反馈电阻与负端相连;
 10: 输出端连接 0.75M 反馈电阻与负端相连;
 1x: 反馈开路;

Bit4 AMP_NSEL: 运放负端输入选择。
 0: 运放负端接输入 45K 电阻。(默认)
 1: 运放负端直接外部输入。

Bit2 AMP_PSEL: 运放正端输入选择。
 0: 运放正端接输入 45K 电阻。(默认)
 1: 运放正端直接外部输入。

Bit1 AMP_IP_PD: 正向端接地选择信号
 0: 运放正端 AMP_IP 不与地相连;
 1: 运放正端 AMP_IP 与地相连。

Bit0 AMP_EN: 运放使能信号。
 0: 运放关闭(默认)。
 1: 运放使能。

AMPCTRL1 控制器寄存器(FF41H):

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	AMPOUT1_EN	REF_SEL	REF_EN
访问权限:	R-0	R-0	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit2 AMPOUT1_EN: 运放电压输出到引脚使能控制
 0: 不使能
 1: 使能, 输出到 P2.2(置位 P2AEN[2])
- Bit1 REF_SEL:偏置电压源选择。
 0: 来自 PMU 的 VRH_OP;
 1: 来自 DAC 的 DAC_OUT;
- Bit0 REF_EN: AMP_IN, AMP_IP 偏置电压使能。
 0: AMP_IN, AMP_IP 无内置偏置。
 1: AMP_IN, AMP_IP 带有偏置。

AMPTRIM 校正寄存器(FF42H):

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AMP_TRIM_EN	TRIM_OUT	保留	AMP_CAL				
访问权限:	R/W	R	R	R/W				
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

注 1: 该寄存器只有在 AMPCTRL1 TRIMULK 置 1 后才可操作;

- Bit7: AMP_TRIM_EN: AMP 校正使能
 0: 关闭 (默认)
 1: 开启, AMP_IN 与地短接; 在正常工作情况下, 如果要将运放负端接地, 也可以将该位设置为 1;
- Bit6: TRIM_OUT: 校正结果输出。
 0:AMP 负端输入电压大于正端输入电压。
 1:AMP 正端输入电压大于负端输入电压。
- Bit5 保留
- Bit4: Bit0 AMP_CAL: AMP 的修调值。

注: 写寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。

OPA1 寄存器描述如下:
AMP1CTRL0 控制寄存器(FF43H):

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AMP_GAIN		-	AMP_NSEL	-	AMP_PSEL	MODS	AMP_EN
访问权限:	R/W		R-0	R/W	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit7: Bit6 AMP_GAIN:反馈电阻或者放大倍数选择;
 00: 输出端连接 2.25M 反馈电阻到负端;
 01: 输出端连接 1.125M 反馈电阻与负端相连;
 10: 输出端连接 0.75M 反馈电阻与负端相连;
 1x: 反馈开路;
- Bit4 AMP_NSEL: 运放负端输入选择。
 0: 运放负端接输入 45K 电阻。(默认)

- 1: 运放负端直接外部输入。
- Bit2 AMP_PSEL: 运放正端输入选择。
 0: 运放正端接输入 45K 电阻。(默认)
 1: 运放正端直接外部输入。
- Bit1 AMP_IP_PD: 正向端接地选择信号
 0: 运放正端 AMP_IP 不与地相连;
 1: 运放正端 AMP_IP 与地相连。
- Bit0 AMP_EN: 运放使能信号。
 0: 运放关闭(默认)。
 1: 运放使能。

AMP1CTRL1 控制器寄存器(FF44H):

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	AMPOUT1_EN	REF_SEL	REF_EN
访问权限:	R-0	R-0	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit2 AMPOUT1_EN: 运放电压输出到引脚使能控制
 0: 不使能
 1: 使能, 输出到 P1.7(置位 P1AEN[7])
- Bit1 REF_SEL:偏置电压源选择。
 0: 来自 PMU 的 VRH_OP;
 1: 来自 DAC 的 DAC_OUT;
- Bit0 REF_EN: AMP_IN, AMP_IP 偏置电压使能。
 0: AMP_IN, AMP_IP 无内置偏置。
 1: AMP_IN, AMP_IP 带有偏置。

AMP1TRIM 校正寄存器(FF45H):

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AMP_TRIM_EN	TRIM_OUT	保留	AMP_CAL				
访问权限:	R/W	R	R	R/W				
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

注 1: 该寄存器只有在 AMP1CTRL1 TRIMULK 置 1 后才可操作;

- Bit7: AMP_TRIM_EN: AMP 校正使能
 0: 关闭 (默认)
 1: 开启, AMP_IN 与地短接; 在正常工作情况下, 如果要将运放负端接地, 也可以将该位设置为 1;
- Bit6: TRIM_OUT: 校正结果输出。
 0:AMP 负端输入电压大于正端输入电压。
 1:AMP 正端输入电压大于负端输入电压。

Bit5 保留
 Bit4: Bit0 AMP_CAL: AMP 的修调值。

注：写寄存器时，要先操作写保护控制寄存器 WPKEY，解除写保护后写入。

27.5 功能概述

27.5.1 校正过程

1. 设置 AMPxCTRL0 寄存器的值为 0xF3，且 AMP_IN 和 AMP_IP 均接地，反馈电阻接入（根据实际电路选择 NSEL 和 PSEL 的值），反馈开环；
2. 设置 AMPxCTRL1 寄存器，按照实际应用配置；
2. 设置 AMP_TRIM_EN，使能修调；
3. 配置寄存器 AMPTRIM(该寄存器受 WPKEY 寄存器保护)，将 AMP_CAL 的值由零开始逐渐增加，每写入一个新的值，判断 TRIM_OUT 是否发生跳变，若未发生跳变,继续增加 AMP_CAL 的值，直到 TRIM_OUT 的值发生跳变,修调结束。

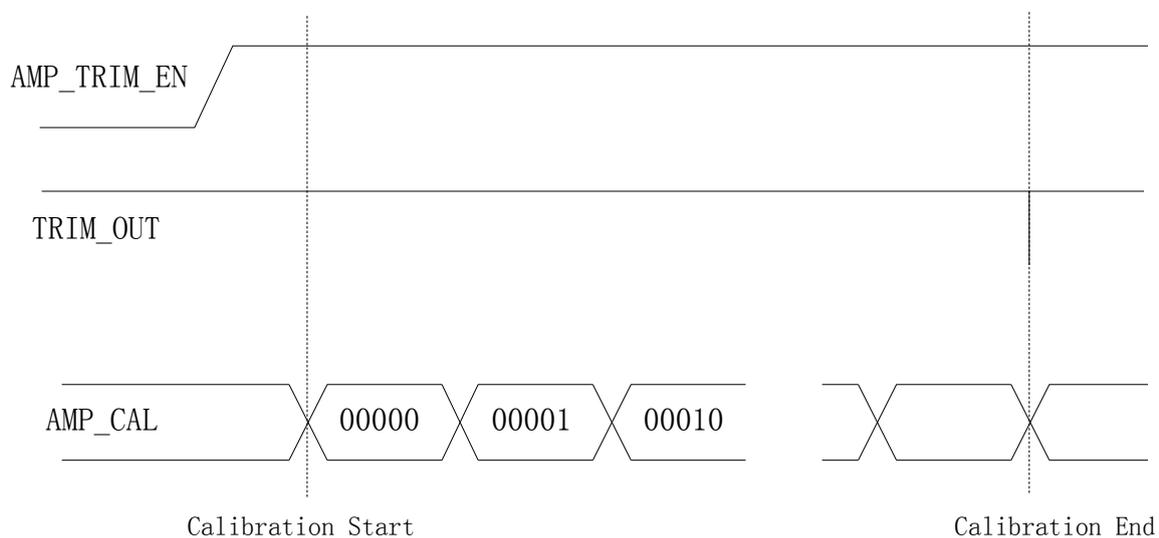


图 75 校正流程

27.5.2 带偏置闭环模式(x50)

在配置 AMP_GAIN =00, REF_EN=1, PSEL=0, NSEL=0,配置 REF_SEL 选择偏置源，运放工作在带有偏置电压的固定放大模式，如下图所示。

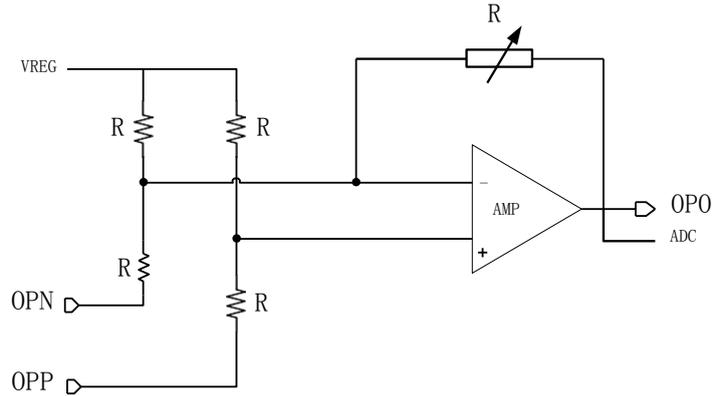


图 76 固定放大模式框架图

27.5.3 开环模式

配置 MODS = 1, REF_EN=0, AMP_GAIN = 11, AMP_PSEL = 0, AMP_NSEL = 0

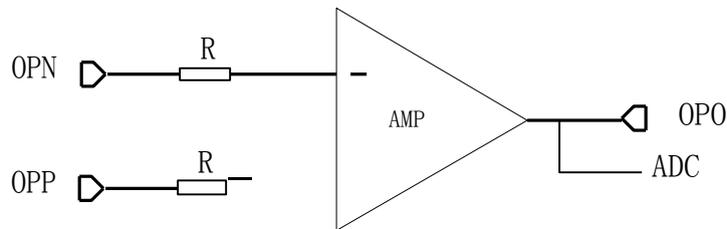


图 77 开环模式框架图

27.5.4 单端模式(负端接地, 25 倍放大)

在配置 AMP_GAIN = 01, REF_EN=1, PSEL=0, NSEL=0, TRIM_EN=1, 配置 REF_SEL 选择偏置源, 运放工作在带有偏置电压的固定放大模式, 如下图所示。

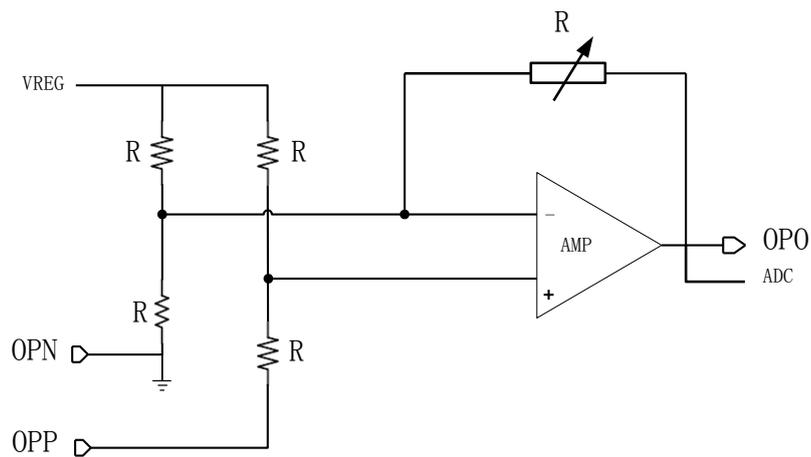


图 78 单端模式框架图

28. 电气特性

28.1 绝对最大值

如果器件工作条件超过“绝对最大值”，就可能会对器件造成永久性损坏。这些值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其可靠性会受到影响。

表 68 电压特性

参数	符号	测试条件	最小值	典型值	最大值	单位
电源电压	V_{DD}	-	-0.3	-	5.5V	V
输入电压	V_{IN}	-	-0.3	-	$V_{DD}+0.3$	

注：所有电压都以 V_{SS} 为参考。

表 69 电流特性

参数	符号	测试条件	最小值	典型值	最大值	单位
流入 V_{DD} 的总电流	I_{VDD}	-	-	-	80	mA
流出 V_{SS} 的总电流	I_{VSS}	-	-	-	80	
管脚注入电流	I_{INJ}	$V_{IN} > V_{DD}$ 或 $V_{IN} < V_{SS}$	-4	-	4	
		$V_O > V_{DD}$ 或 $V_O < V_{SS}$	-4	-	4	
总注入电流	ΣI_{INJ}	-	-20	-	20	

表 70 热特性

参数	符号	测试条件	最小值	典型值	最大值	单位
环境温度	T_A	-	-40	-	85	°C
存储温度	T_{STG}	-	-55	-	125	
结温	T_J	-	-	-	150	
热阻	θ_{JA}	-	-	78	-	°C/W
总功耗	P_D	-	-	-	500	mW

表 71 ESD 保护和 Latch-up 免疫特性

参数	符号	测试条件	最小值	典型值	最大值	单位
HBM	V_{HBM}	MIL-STD-883H	± 6000	-	-	V
MM	V_{MM}	JESD22-A115	± 200	-	-	
CDM	V_{CDM}	JESD22-C101E	± 1000	-	-	
Latch-up 触发电流	I_{LAT}	JEDEC standard NO.78D 2011.11	± 100	-	-	mA
V_{DD} 过压	V_{LAT}		TBD	-	-	V

28.2 推荐工作条件

表 72 工作条件

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V_{DD}	-	1.8	-	5.5	V
CPU 时钟频率	F_{CPU} 注1	$V_{DD} > 1.8V$	0	-	4	MHz
		$V_{DD} > 3.0V$			16	
上电复位释放电压	V_{POR}	-	-	1.8	-	V
上电复位延迟时间	t_{PWRT}	-	1	20	-	ms
VDD 上升速率	S_{VDD}	确保能够产生内部上电复位信号	0.1	-	-	V/ms
RAM 保持电压	V_{DR}	$T_A = -40 \sim 85^\circ C$	1.8	-	-	V

注 1: 不同电压条件下, 需要设置 Flash 的读时延

28.3 直流电气特性

本芯片典型工作电压 3.3V / 5.0V, 除非特别指明, 否则典型值是在 $V_{DD}=3.0V$ 注 1、 $T_A=25^\circ C$ 条件的测试结果。直流电气特性还在不断完善中, TBD 部分将会逐步更新。

表 73 电流特性 (3.3V)

参数	符号	测试条件	最小值	典型值		最大值	单位
				C ¹	N ¹		
		MCLK=1MHz, RCH/16	-	1.0	1.5	-	mA
		MCLK=2MHz, RCH/8	-	1.2	1.8	-	
		MCLK=4MHz, RCH/4	-	1.6	2.4	-	
		MCLK=8MHz, RCH/8		2.5	3.6		
		MCLK=16MHz, RCH/1		6.4	7.4		
		MCLK 采用外部晶振 CRY, 工作时, 最小增益	-	+0.15	-	-	
待机电流	I_{SLEEP}	MCLK=0.5MHz, RCH/32	-	0.5	-	mA	
		MCLK=1MHz, RCH/4	-	0.53	-		
		MCLK=2MHz, RCH/2	-	0.6	-		
		MCLK=4MHz, RCH/1	-	0.7	-		
		MCLK=8MHz, RCH/1		0.9			
		MCLK=16MHz, RCH/1		0.13			
		MCLK 采用外部晶振 CRY, 工作时最小增益	-	+0.15	-	uA	
停机电流	I_{STOP}	所有模块关闭	-	1	-	uA	

注 1: C:表示 Cache 开启, N 表示 Cache 不开启;

注: 测量电流特性时遵循下列条件:

- * 所有 IO 都设置成输出低电平, 无负载, 对 SRAM 进行循环访问。
- * 除非特别指明, 所有外设都关闭。

表 74 电流特性 (5V)

参数	符号	测试条件	最小值	典型值	最大值	单位
----	----	------	-----	-----	-----	----

				C ¹	N ¹		
		MCLK=1MHz, RCH/16	-	1.5	2.0	-	mA
		MCLK=2MHz, RCH/8	-	1.7	2.5	-	
		MCLK=4MHz, RCH/4	-	2.3	3.3	-	
		MCLK=8MHz, RCH/8		3.8	5.0		
		MCLK=16MHz, RCH/1		7.8	9.0		
		MCLK 采用外部晶振 CRY, 工作时, 最小增益	-	+0.17		-	
待机电流	I _{SLEEP}	MCLK=0.5MHz, RCH/32	-	0.75	-	mA	
		MCLK=1MHz, RCH/4	-	0.8	-		
		MCLK=2MHz, RCH/2	-	0.9	-		
		MCLK=4MHz, RCH/1	-	1.0	-		
		MCLK=8MHz, RCH/1		1.4			
		MCLK=16MHz, RCH/1		2.1			
		MCLK 采用外部晶振 CRY, 工作时最小增益	-	+0.17	-	uA	
停机电流	I _{STOP}	所有模块关闭	-	1	-	uA	

注: 测量电流特性时遵循下列条件:

- * 所有 IO 都设置成输出低电平, 无负载。
- * 除非特别指明, 所有外设都关闭。

表 75 I/O 特性

参数	符号	测试条件		最小值	典型值	最大值	单位	
高电平输入电压	V _{IH}	所有 IO		0.7*V _{DD}	-	V _{DD}	V	
低电平输入电压	V _{IL}	所有 IO				0.3 V _{DD}		
输入迟滞	V _{HYS}	所有 IO			TBD		mv	
输出管脚拉电流	I _{OH}	V _{DD} =3V, V _{OH} =0.7*V _{DD}	弱驱动 (DS=0)	T0 类型 ^{注 1}	-	3	-	mA
				T4 类型	-	3	-	mA
				T8 类型	-	3	-	mA
			强驱动 (DS=1)	T0 类型	-	11	-	mA
				T4 类型	-	11	-	mA
				T8 类型	-	20	-	mA
		V _{DD} =5V, V _{OH} =0.7*V _{DD}	弱驱动 (DS=0)	T0 类型	-	6.5	-	mA
				T4 类型	-	6.5	-	mA
				T8 类型	-	6.5	-	mA
			强驱动 (DS=1)	T0 类型	-	20	-	mA
				T4 类型	-	20	-	mA
				T8 类型	-	40	-	mA
输出管脚灌电流	I _{OL}	V _{DD} =3V, V _{OL} =0.3*V _{DD}	弱驱动 (DS=0)	T0 类型	-	4	-	mA
				T4 类型	-	4	-	mA
				T8 类型	-	4	-	mA
			强驱动 (DS=1)	T0 类型	-	16	-	mA
				T4 类型	-	16	-	mA

参数	符号	测试条件		最小值	典型值	最大值	单位	
		$V_{DD}=5V,$ $V_{OL}=0.3*V_{DD}$	弱驱动 (DS=0)	T8 类型	-	50	-	mA
				T0 类型		9		mA
				T4 类型		9		mA
			强驱动 (DS=1)	T8 类型		9		mA
				T0 类型	-	30	-	mA
				T4 类型	-	30	-	mA
			T8 类型	-	90	-	mA	
总电流	I_{total}	-	所有端口	-	TBD	-	mA	
端口内置上拉电阻	R_{pu}	$V_{IN}=0V$	T0 类型	-	20	-	kΩ	
			T4 类型		30			
			T8 类型		30			
端口输入漏泄电流 (高温)	I_{IL}	$V_{SS} < V_{PIN} < V_{DD}, T_A=85^\circ C$		-	±20	±100	nA	
滤波宽度	$T_{PW}(IO)$	外部复位脚		8	10	23	us	

注 1: T0 类型为与 RST 复用的 IO(P3.0); T4,T8 IO 功能相同, 其中 T8 为强驱动 IO: P0.0、P0.1、P0.3、P1.0、P1.1、P1.2、P1.5

表 76 系统监控与复位特性

参数	符号	测试条件	最小值	典型值	最大值	单位
带隙基准电压	V_{BG}	1.8~5.5V, -40~85°C	1.24	1.25	1.26	V
低压复位电压(LVR)	V_{LVR}	LVRS=000	-	1.8	-	V
		LVRS=001	-	2.0	-	V
		LVRS=010	-	2.5	-	
		LVRS=011	-	2.6	-	
		LVRS=100	-	2.8	-	
		LVRS=101	-	3.0	-	
		LVRS=110	-	3.5	-	
		LVRS=111	-	4.0	-	
LVR 释放迟滞电压	$V_{HYS}(LVR)$	-	-	100	-	mV
LVR 模块工作电流	I_{LVR}	SLEEP 模式开启	-	20	-	uA
LVD 检测电压	V_{LVD}	LVLS= 000	-	2.1	-	V
		LVLS = 001	-	2.4	-	
		LVLS = 010	-	2.5	-	
		LVLS = 011	-	2.7	-	
		LVLS = 100	-	2.9	-	
		LVLS = 101	-	3.1	-	
		LVLS = 110	-	3.6	-	
		LVLS = 111	-	4.5	-	
LVD 释放迟滞电压	$V_{HYS}(LVD)$	-	100	-	200	mV

参数	符号	测试条件	最小值	典型值	最大值	单位
LVD 模块工作电流	I_{LVD}	SLEEP 模式开启	-	40	-	μA
低功耗低压检测 (LPLVD)	V_{LVD}	LPLVDSET=000	-	2	-	V
		LPLVDSET=001	-	2.2	-	
		LPLVDSET=010	-	2.5	-	
		LPLVDSET=011	-	2.8	-	
		LPLVDSET=100	-	3.0	-	
		LPLVDSET=101	-	3.5	-	
		LPLVDSET=110	-	4	-	
LPLVD 释放迟滞电压	$V_{HYS(LPLVD)}$	-	100	270	-	
LVD 模块工作电流	I_{LPLVD}	STOP 下开启 LPLVD	-	2	-	μA

表 77 模拟比较起特性

参数	符号	测试条件	最小值	典型值	最大值	单位	
典型值工作条件为 $V_{DD}=3.0V$, 温度=25°C, $V_{cm}=V_{DD}/2$ 。							
输入失调电压* (CPP 上升沿)	V_{os}	-	-10	0	10	mV	
输入共模电压	V_{cm}	响应时间<160ns	0	-	V_{DD}	V	
共模抑制比	CMRR	室温 25°C	-	1	-	mV/V	
比较器迟滞电压	V_{hyster}		-	15	-	mV	
启动延迟时间	T_{str}		-	0.5	1	us	
响应时间	上升沿	T_{rt}	VDD 做分压电阻基准	-	100	200	ns
	下降沿			-	100	200	ns
工作电流	I_{cmp}	-	-	25	35	μA	
CVREF 稳定时间	T_{scvr}	-	-	1	-	us	

表 78 振荡与时钟特性

参数	符号	测试条件	最小值	典型值	最大值	单位
经过校准的 RCH 频率	F_{RCH}	1.8~5.5V, -10~50°C	15.8	16	16.2	MHz
		1.8~5.5V, -40~85°C	15.7	16	16.25	
RCH 工作电流	I_{RCH}	5.0V, 25°C	-	100	300	μA
RCL 频率	F_{RCL}	1.8~5.5V, -40~85°C	-	32	-	KHz
RCL 工作电流	I_{RCL}	-	-	0.4	-	μA

表 79 ADC 特性

参数	符号	测试条件	最小值	典型值	最大值	单位
ADC 工作电压	V_{avdd}	1.8~5.5V, -10~50°C	2.0 ^{注1}			V
ADC 工作电流	I_{ADC}	5.0V, 25°C				μA
ADC 采样电压			5 ^{注2}		VREF	V
ADC 分辨率	N_R	-		12		位

参数	符号	测试条件	最小值	典型值	最大值	单位
ADC 采样率	V_{ain}	-	-	500	1000 ^{注3}	KSPS
ADC 使能时间	T_{adcen}	-	-	10	-	uS
DNL(Differential non-linearity error)	DNL	-	-	3	-	LSB
INL(Integral non-linearity error)	INL	-	-	+/-3	-	LSB
OE (Offset Error)	OE	-	-	+/-2	-	LSB

注 1: 当电压低于 2.7V 时, 建议采用 VDD 作为参考电压, 内部参考电压最低为 2.5V

注 2: 5mv 分辨精度样片要求 MCU 处理 Sleep 状态, 量产片正常工作模式即可。

注 3: 分辨率降低到 10 位

29. 历史版本

版本	日期	修改说明
Rev 1.0	2018.09.10	第一版，该版本只作为与客户交流规格所用，设计内容有可能进行调准
Rev1.2	20190619	修改一些笔误，修改第十章 stop 模式说明
Rev1.3	20190707	添加电气特性
Rev1.4	2019.7.29	更新 OCRMP 寄存器
Rev1.5	2019.9.24	更新 OCRMP[3:2]寄存器，P1.1-》P1.2
Rev1.6	2019.9.27	1. 更新 Feature 10 位 ADC->10 位 DAC 2. 调准图编号
Rev1.7	2019.10.12	1. 芯片量产改版更新文档，更新 OPA 运放描述，运放支持单端模式、除去固定放大倍数模式。